

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 23/48	(11) 공개번호 특 1990-0017160	(43) 공개일자 1990년 11월 15일
(21) 출원번호	특 1990-0004476	
(22) 출원일자	1990년 04월 02일	
(30) 우선권주장	3910910.0 1989년 04월 05일 독일(DE)	
(71) 출원인	452.110 1989년 12월 14일 독일(DE) 로베르트 보쉬 게엠베하 할프 베렌스, 위르겐 프리트만	
(72) 발명자	독일연방공화국, 데-7000 스투트가르트 10, 페.오.복스 10 60 50 디에테르 사이플러	
(74) 대리인	독일연방공화국, 데-7410 로이트링겐, 파울-힌데미쓰-스트라체 1 이병호, 최달용	
심사청구 : 없음		

(54) 하이브리드 반도체 구조 및 그 형성방법

요약

내용 없음

대표도

도2

명세서

[발명의 명칭]

하이브리드 반도체 구조 및 그 형성방법

[도면의 간단한 설명]

제2도는 캐리어 기판상에 반도체 칩을 제공하기 전의 전개 투시도.
제3도는 접속 패드가 있는 금속화된 표면 영역을 갖고 있는 캐리어 기판의 개략 수직 단면도,
제4도는 접속 패드 또는 랜드위의 금속화된 접착 영역을 포함하는 집적 회로의 일부에 대한 수직 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

캐리어 플레이트 기판(11); 상기 캐리어 플레이트 기판(11)의 표면에 있는 복수의 캐리어 접속 패드(13); 반도체 칩 또는 웨이퍼 기판(10) 상기 칩 또는 웨이퍼 기판(10)의 표면에 있는 복수의 칩 접속 패드(16)를 갖고 있는 하이브리드 반도체 구조 형성 방법에서, 상기 기판중 적어도 하나의 표면위에 광-경화 가능한 전기적 절연 접착제 층(30;50)을 제공하고; 상기 각각의 패드(13, 16)위에 있는 상기 층의 영역이 노출되지 않고 있는 동안 상기 접착층(30;50)을 광-마스킹 기술로 노출시켜 상기 각각의 패드 위의 상기 영역내의 상기 층이 접착체로서 경화되지 않게 유지시키고; 상기 전기적 절연층의 상기 패드(13, 16)위의 상기 접착체로서 경화되지 않는 영역내로 금속 파우더를 주입시켜 상기 영역이 전기적으로 전도되게 하고; 상기 기판(11, 10)의 패드(13, 16)가 서로 나란하게 하고, 상기 적어도 한 기판의 각각의 패드위의 상기 전기적 전도 접착 영역이 다른 기판의 패드에 대향해 연결되게 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(10)을 서로 연결시키므로써, 반도체 칩 또는 웨이퍼 기판(10)의 접속 패드(16)와 캐리어 플레이트 기판(11)의 접속 패드(13)가 전기적으로 접속되어 캐리어 패드(13)와 칩 패드(16) 사이에 전기적 및 기계적 접속이 형성하게 하는 것을 포함하는 하이브리드 반도체 구조 형성 방법.

청구항 2

제1항에 있어서, 금속 파우더를 상기 패드(13, 16)위의 상기 잔여 접착 영역내로 주입시키는 단계가 조립동안 바이브레이션, 세이킹 또는 원신력 또는 압력으로 상기 파우더를 상기 영역에 제공하는 것을 포

함하는 하이브리드 반도체 구조 형성 방법.

청구항 3

제1항에 있어서, 상기 금속 파우더는 실버 파우더를 포함하는 것.

청구항 4

제1항에 있어서, 상기 기판중 적어도 한 기판상에 패시베이팅 층(28, 40)을 형성하는 한편 패시베이팅 층이 없는 각각의 표면의 각 패드(13, 16)를 남기고 그후 상기 광-경화 가능한 전기적 절연 접착층을 상기 패시베이팅 층위에 제공하는 상기 단계를 실행하는 단계를 포함하는 하이브리드 반도체 형성 방법.

청구항 5

제1항에 있어서, 상기 기판중 적어도 하나는 각각의 기판 표면상의 상기 패드로부터 뿔어 있는 접속 라인(14, 26, 27)을 포함하며, 하이브리드 반도체 구조 형성 방법은 각각의 표면과 각각의 접속라인에 걸쳐서 패시베이팅 층을 형성하는 한편 패시베이팅 층이 없는 각각의 패드(13, 16)를 남기고 그후 상기 광-경화가능한 전기적 절연 접착층을 패시베이팅 층위에 제공하는 상기 단계를 실행하는 단계를 포함하는 것.

청구항 6

제1항에 있어서, 상기 기판중 적어도 하나는 각각의 기판의 표면상의 각각의 패드로부터 뿔어 있는 접속 라인(14:26, 27)을 포함하며, 상기 광-경화가능한 전기적 절연 접착층을 제공하는 상기 단계는 상기 접속 라인 위에 상기 접착제를 제공하는 단계를 포함하는 것.

청구항 7

제1항에 있어서, 상기 기판의 패드들을 서로 나란하게 배열하는 단계가 $20\mu\text{m}$ 보다 작은 배열 공차를 가지고 서로 마주보는 상기 표면과 상기패드를 일렬로 하는 단계를 포함하는 것.

청구항 8

제1항에 있어서, 상기 접착층(50)은 캐리어 플레이트 기판(11)에 제공되는 것.

청구항 9

제8항에 있어서, 상기 절연 접착층을 제공하는 상기 단계를 실행하기 전에 상기 캐리어 플레이트 기판(11)상에 패시베이팅 층(40)을 제공하는 한편 패드(13)는 패시베이트되지 않게 하는 단계 및, 반도체 칩 기판(17)의 표면을 패시베이팅 하는 한편 그위의 패드(10)는 패시베이트 되지 않게 남기는 단계를 더 포함하는 하이브리드 반도체 구조 형성 방법

청구항 10

제8항에 있어서, 상기 패시베이팅 층(40)의 두께보다 큰 두께를 갖고 있는보강 재료(13')로 상기 패드(13)를 보강하는 단계를 포함하며, 상기 보강재료는 니켈, 실버, 골드중 적어도 하나로 형성되는 것.

청구항 11

제1항에 있어서, 상기 접착층(30)은 상기 반도체 칩 또는 웨이퍼 기판(10)상에 제공되는 것.

청구항 12

제11항에 있어서, 상기 접착제를 포함하는 단계를 실행하기 전에 상기 반도체 칩 또는 웨이퍼 기판(10)의 상기 패드(16)는 패시베이팅 되지 않게 남겨두는 단계 및, 상기 패시베이팅 층의 두께보다 큰 두께를 갖고 있는 보강 재료(16')로 접속 패드(16)를 보강하는 단계를 더 포함하며, 상기 보강 재료는 선택적으로 니켈, 실버, 골드중 적어도 하나로 형성되는 것.

청구항 13

제1항에 있어서, 상기 전기적 절연-광-경화 가능한 접착제를 제공하는 상기 단계는 상기 접착제를 상기 캐리어 플레이트 기판(11) 및 상기 반도체 칩 또는 웨이퍼 기판(17)위에 제공하는 단계를 포함하며; 상기 노출 단계는 상기 층들중 적어도 하나의 층을 노출시키는 한편 상기 경화되지 않는 두 기판의 각 패드(13, 16)위의 영역은 남겨두는 단계를 포함하며, 상기 금속파우더 주입 단계는 상기 금속파우더를 상기 각각의 패드위의 상기 영역중 적어도 한 영역내로 주입시키는 단계를 포함하는 것.

청구항 14

제1항에 있어서, 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(17)을 서로 연결하는 상기 단계는 상기 패드를 제외하고 열적으로 결합되고 전기적으로 절연되는 합성 구조를 형성하기 위해 각각의 기판의 전체 표면이 표면 접촉이 형성되게 상기 기판들은 연결하는 단계를 포함하는 것.

청구항 15

제1항에 있어서, 상기 광-경화가능한 층을 제공하는 상기 단계는 상기: 두 기판(11, 10)의 표면위에서 실행되고; 상기 노출 단계는 상기 기판중 단지 한 기판의 표면위에서 실행되는데 상기 기판중 다른 기판 위에 제공된 전체 표면은 경화 않아 끈적끈적하게 남겨두며; 상기 기판들을 연결하는 상기 단계는 상기

기판들이 상기 표면과 접촉되게 연결하는 단계를 포함하며, 그러므로써 경화되지 않고 끈적끈적한 표면이 다른 기판의 경화된 표면 부분들에 정착되어 기계적 및 열적으로 결합된 합성 반도체 구조를 형성하는 것.

청구항 16

제1항에 있어서, 상기 패드위의 경화되지 않은 접착 영역내로 주입된 금속 파우더의 파티클 사이즈는 1 내지 5 μm정도인 것.

청구항 17

캐리어 플레이트 기판(11) ; 상기 캐리어 플레이트 기판(11)의 표면상의 복수의 캐리어 접속 패드(13); 반도체 칩 또는 웨이퍼 기판(10); 상기 칩 또는 웨이퍼 기판(10)의 표면상의 복수의 칩 접속 패드(16)를 갖는 하이브리드 반도체 구조 형성 방법에서, 방사선 에너지에 의한 방사선에 의해 끈적끈적한 표면과 들러붙지 않는 표면 사이에서 그 특성이 변화되는 재료의 층을 상기 기판중 적어도 한 기판의 표면위에 제공하고; 패드(13, 16) 위에는 끈적끈적한 표면을 형성하고 그 재료의 나머지 위에는 끈적거리지 않는 표면을 형성하기 위해, 상기 재료에 선택적으로 방사선을 가하고; 상기 전기적 절연층의 각각의 패드(13, 16)위의 접착제의 끈적거리는 부분내로 금속 파우더를 주입시켜 상기 끈적거리는 영역이 전기적으로 전도되게 하고 상기 기판(11, 10)의 패드(13, 16)를 서로 나란히 배열하고; 반도체 칩 또는 웨이퍼 기판(10)의 접속 패드(16)와 캐리어 플레이트 기판(11)의 접속 패드(13)가 전기적으로 접속되게 상기 적어도 한 기판의 각각의 패드위의 전기적 전도 접착 영역이 다른 기판의 패드에 대항해 연결하기 위하여 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(10)을 서로 연결하는 단계를 포함하여, 캐리어 패드(13)와 칩 패드 사이에 전기적 및 기계적 접속이 형성되고 상기 캐리어 플레이트 기판(11)과 상기 반도체 칩 또는 웨이퍼 기판(10)의 연결시 끈적거리는 접속이 형성되는 하이브리드 반도체 구조 형성 방법.

청구항 18

제1항에 있어서, 상기 접착층은 방사선 에너지에 의한 방사선으로 경화되며 경화되지 않는 상태에서는 상기 패드위에서 그 층을 통해 상기 금속 파우더가 침투될 수 있는 특성을 갖고 있는 재료로 구성되며, 그러므로써 상기 영역이 전기적으로 전도성이 되는 것.

청구항 19

제8항에 있어서, 상기 방사선 에너지는 자외선 빛을 포함하는 것.

청구항 20

캐리어 플레이트 기판(11)의 표면상의 복수의 캐리어 접속 패드(13); 반도체 칩 또는 웨이퍼 기판(10); 상기 반도체 칩 또는 웨이퍼 기판(10)의 표면상의 복수의 칩 접속 패드(16)를 갖고 있는 합성 하이브리드 반도체 구조에서, 상기 기판중 적어도 하나의 기판상의 패드(13, 16) 위에 분산된 금속 파우더에 의해 전기적으로 전도성이 되는 끈적거리는 재료층 및, 상기 기판들중 적어도 한 기판상에서 상기 패드의 영역을 제외한 그 판을 덮는 전기적 절연 재료층을 포함하며, 상기 기판들은 서로 마주보고 있으며 상기 전기적 전도성의 끈적거리는 재료에 의해 전기적으로 접속되는 상기 패드들로 서로에 대항해 연결되는 합성 하이브리드 반도체 구조.

청구항 21

제20항에 있어서, 경화된 절연 재료층 아래에 있는 상기 기판중 한 기판의 표면상에 형성되는 패시베이팅 층(28, 40)을 더 포함하는 합성 하이브리드 반도체 구조.

청구항 22

제20항에 있어서, 상기 기판중 적어도 한 기판의 표면상에 위치해 있고 상기 전기적으로 절연인 경화된 절연층 아래 배치된 접속 라인(14:26, 27)을 더 포함하는 합성 하이브리드 반도체 기판.

청구항 23

제22항에 있어서, 상기 기판중 적어도 한 기판의 표면위에 그리고 상기 적어도 한 기판상의 접속 라인위에 제공된 패시베이팅 층(25, 40)을 더 포함하며, 상기 경화된 절연 재료는 상기 패시베이팅 층위에 제공되는 것.

청구항 24

제20항에 있어서, 상기 캐리어 플레이트 기판(11)은 재료; 알루미늄 옥사이드(A1₂O₃); 알루미늄 니트라이드(AIN); 글라스; 실리콘중 적어도 하나를 포함하는 것.

청구항 25

제27항에 있어서, 니켈, 실버, 골드중 적어도 하나를 포함하여 상기 패드(13, 16)위에 제공되는 보강 재료층(13', 16')을 더 포함하는 합성 하이브리드 반도체 구조.

청구항 26

제21항에 있어서, 니켈, 실버, 골드중 적어도 하나를 포함하며 상기 패턴(13, 16)위에 제공되어 상기 패시베이팅 층 위로 뻗어 있는 보강 재료층(13', 10')을 포함하는 합성 하이브리드 반도체 구조.

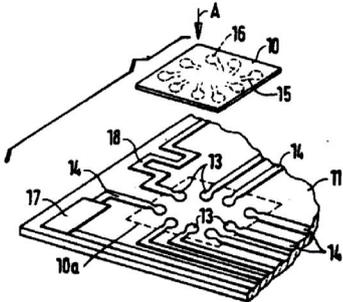
청구항 27

제20항에 있어서, 상기 기판상의 복수의 패드는 단지 20 μ m까지의 공차를 갖는 간격을 갖고 있는 것

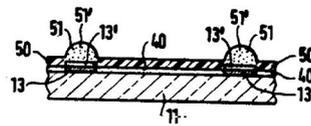
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3



도면4

