



(12) 发明专利申请

(10) 申请公布号 CN 118137985 A

(43) 申请公布日 2024.06.04

(21) 申请号 202211728338.X

(22) 申请日 2022.12.29

(30) 优先权数据

111146268 2022.12.02 TW

111146684 2022.12.06 TW

(71) 申请人 立积电子股份有限公司

地址 中国台湾台北市内湖区堤顶大道二段
407巷20弄1号3楼12

(72) 发明人 陈智圣 赵宇轩

(74) 专利代理机构 上海市锦天城律师事务所

31273

专利代理师 陆少凡

(51) Int. Cl.

H03F 1/32 (2006.01)

H03F 3/68 (2006.01)

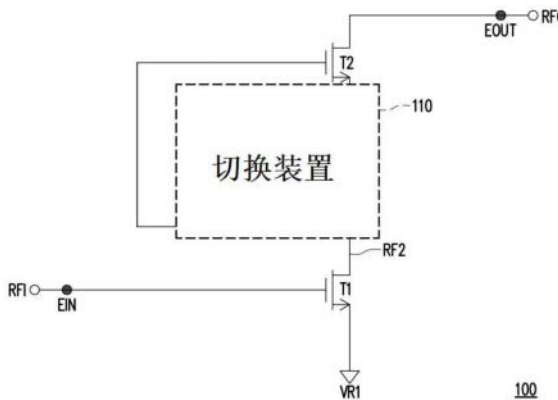
权利要求书3页 说明书7页 附图8页

(54) 发明名称

放大电路

(57) 摘要

放大电路包括第一晶体管、第二晶体管以及切换装置。第一晶体管的控制端耦接至放大电路的输入端，第一晶体管的第一端耦接至第一参考端，其中放大电路的输入端接收第一射频信号。第二晶体管的第一端耦接至第一晶体管的第二端，第二晶体管的第二端耦接至放大电路的输出端，其中放大电路的该输出端输出放大信号。第一晶体管放大第一射频信号以在第一晶体管的第二端产生第二射频信号。切换装置执行切换动作以传递第二射频信号至第二晶体管的第一端以及第二晶体管的控制端的其中之一者。



100

1. 一种放大电路,其特征在于,包括:

一第一晶体管,具有第一端、第二端以及控制端,该第一晶体管的控制端耦接至该放大电路的输入端,该第一晶体管的第一端耦接至一第一参考端,其中该放大电路的该输入端接收一第一射频信号;

一第二晶体管,具有第一端、第二端以及控制端,该第二晶体管的第一端耦接至该第一晶体管的第二端,该第二晶体管的第二端耦接至该放大电路的输出端,其中该放大电路的该输出端输出一放大信号;以及

一切换装置,耦接至该第一晶体管的第二端、该第二晶体管的第一端以及该第二晶体管的控制端,

其中该第一晶体管放大该第一射频信号以在该第一晶体管的第二端产生一第二射频信号,该切换装置执行切换动作以传递该第二射频信号至该第二晶体管的第一端以及该第二晶体管的控制端的其中之一者。

2. 如权利要求1所述的放大电路,其特征在于,其中该切换装置包括:

一第一电感,耦接在该第一晶体管的第二端与该第二晶体管的第一端间;

一第一开关,耦接在该第一晶体管的第二端与该第二晶体管的控制端间;

一第二开关,与该第一电感并联耦接;

一第一电容;以及

一第三开关,与该第一电容串联耦接于该第二晶体管的第一端与一第二参考端间。

3. 如权利要求2所述的放大电路,其特征在于,其中该切换装置还包括:

一第二电容,与该第一开关串联耦接在该第一晶体管的第二端与该第二晶体管的控制端间。

4. 如权利要求3所述的放大电路,其特征在于,其中该第一开关以及该第二开关分别受控于一第一控制信号以及一第二控制信号以被导通或截止,

其中当该第一开关截止且该第二开关导通时,该第二射频信号经由该第二开关传递至该第二晶体管的第一端,

当该第一开关导通且该第二开关截止时,该第二射频信号经由该第一开关传递至该第二晶体管的控制端。

5. 如权利要求1所述的放大电路,其特征在于,其中该第一晶体管与该第二晶体管共用一直流电流。

6. 如权利要求4所述的放大电路,其特征在于,其中当该第二射频信号被传递至该第二晶体管的控制端时,该第一电感对该第二射频信号为高阻抗状态,该第一电容对该第二射频信号为低阻抗状态,该第二电容对该第二射频信号为低阻抗状态。

7. 如权利要求6所述的放大电路,其特征在于,其中当该第一开关导通时,该第一开关对该第二射频信号为低阻抗状态;当该第二开关导通时,该第二开关对该第二射频信号为低阻抗状态;当该第三开关导通时,该第三开关对该第二射频信号为低阻抗状态。

8. 如权利要求4所述的放大电路,其特征在于,其中该第三开关受控于一第三控制信号,该第三开关根据该第三控制信号以被导通或截止,当该第一开关导通时,该第三开关被导通,使该第二晶体管经由该第一电容耦接至该第二参考端。

9. 如权利要求8所述的放大电路,其特征在于,其中该切换装置还包括:

一第四开关,其中该第二晶体管的第一端、该第三开关、该第一电容以及该第二参考端依序耦接,该第三开关与该第一电容耦接于一节点,该第四开关耦接在该节点与该第二晶体管的控制端间。

10. 如权利要求9所述的放大电路,其特征在于,其中第四开关受控于一第四控制信号,该第四开关根据该第四控制信号以被导通或截止,当该第二开关导通时,该第四开关导通,使该第二晶体管的控制端经由该第一电容耦接至该第二参考端。

11. 如权利要求4所述的放大电路,其特征在于,其中该切换装置还包括:

一第一操作电阻,耦接在该第一开关的第一端与第二端间;以及

一第二操作电阻,耦接在该第二开关的第一端与第二端间。

12. 如权利要求1所述的放大电路,其特征在于,还包括:

一第三晶体管,具有第一端、第二端以及控制端,该第三晶体管的第一端耦接至该第一晶体管的第一端,该第三晶体管的第二端耦接至该第一晶体的第二端,该第三晶体管的控制端耦接至该第一晶体管的控制端;以及

一第五开关,耦接在该第一晶体管的第一端与该第三晶体管的第一端间,或耦接在该第一晶体的第二端与该第三晶体的第二端间,或耦接在该第一晶体管的控制端与该第三晶体管的控制端间。

13. 如权利要求1所述的放大电路,其特征在于,还包括:

一第四晶体管,具有第一端、第二端以及控制端,该第四晶体管的第一端耦接至该第二晶体管的第一端,该第四晶体的第二端耦接至该第二晶体的第二端,该第四晶体管的控制端耦接至该第二晶体管的控制端;以及

一第六开关,耦接在该第二晶体管的第一端与该第四晶体管的第一端间,或耦接在该第二晶体的第二端与该第四晶体的第二端间,或耦接在该第二晶体管的控制端与该第四晶体管的控制端间。

14. 如权利要求13所述的放大电路,其特征在于,其中该第一晶体管的控制端耦接至一第一偏压信号端,该第一偏压信号端用以接收一第一偏压信号,该第二晶体管的控制端耦接至一第二偏压信号端,该第二偏压信号端用以接收一第二偏压信号。

15. 如权利要求14所述的放大电路,其特征在于,还包括:

一第一电阻;以及

一第二电阻,

其中该第一晶体管的控制端经由该第一电阻以耦接至该第一偏压信号端,该第二晶体管的控制端经由该第二电阻以耦接至该第二偏压信号端。

16. 如权利要求3所述的放大电路,其特征在于,还包括:

一中间匹配网络,包括:

一第二电感,耦接在该第一晶体的第二端与该第二晶体管的控制端间,并与该第二电容串联耦接;

一第三电容,其中该第一开关与该第二电容共同耦接至一节点,该第三电容耦接在该节点与一第三参考端间;

一第四电容,耦接在第二晶体管的控制端以及一第四参考端间。

17. 如权利要求3所述的放大电路,其特征在于,还包括:

- 输入匹配网络,耦接至该放大电路的输入端;以及
- 输出匹配网络,耦接至该放大电路的输出端。

18. 如权利要求14所述的放大电路,其特征在于,其中该第二晶体管的第二端耦接至一第一电源电压端,用以接收一第一电源电压信号。

19. 一种放大电路,其特征在于,包括:

- 输入端,用以接收一第一射频信号;
- 输出端,用以输出一放大信号;
- 第一晶体管,具有第一端、第二端以及控制端,其中该第一晶体的控制端耦接该输入端,该第一晶体的第一端接至一第一参考端;
- 第二晶体管,具有第一端、第二端以及控制端,其中该第二晶体的第二端耦接至该输出端;
- 第一电感,耦接在该第一晶体的第二端以及该第二晶体的第一端间;
- 第一开关,耦接在该第一晶体的第二端与该第二晶体的控制端间;
- 第二开关,与该第一电感并联耦接;
- 第一电容;以及
- 第三开关,与该第一电容串联耦接,该第一电容与该第三开关耦接于该第二晶体的第一端与一第二参考端间。

20. 如权利要求19所述的放大电路,其特征在于,还包括:

- 第二电容,与该第一开关串联耦接在该第一晶体的第二端与该第二晶体的控制端间。

放大电路

技术领域

[0001] 本发明是有关于一种放大电路,且特别是有关于一种可在两种不同的工作模式间进行切换的放大电路。

背景技术

[0002] 在已知的技术领域中,可应用单级或多级放大电路。单级放大电路可满足低功率消耗的要求,惟其提供的增益可能有限。多级放大电路可提供较佳的增益,惟可能消耗较高的功率。此外,为了解决上述的问题,举例而言,可应用两级放大器来建构放大电路。然而,在两级放大器的电路架构下,放大电路操作的仍可能具有线性度不佳的问题。

发明内容

[0003] 本发明提供放大电路的诸多实施例,可在至少两种不同的工作模式间进行切换,从而较佳的兼顾功率消耗、增益、及/或线性度。

[0004] 本发明实施例的放大电路包括第一晶体管、第二晶体管以及切换装置。第一晶体管具有第一端、第二端以及控制端。第一晶体的控制端耦接至放大电路的输入端,第一晶体管的第一端耦接至第一参考端,其中放大电路的输入端接收第一射频信号。第二晶体管具有第一端、第二端以及控制端。第二晶体管的第一端耦接至第一晶体的第二端,第二晶体的第二端耦接至放大电路的输出端,其中放大电路的该输出端输出放大信号。切换装置耦接至第一晶体的第二端、第二晶体管的第一端以及第二晶体的控制端。其中,第一晶体管放大第一射频信号以在第一晶体的第二端产生第二射频信号。切换装置执行切换动作以传递第二射频信号至第二晶体管的第一端以及第二晶体的控制端的其中之一者。

[0005] 本发明另一实施例的放大电路包括输入端、输出端、第一晶体管、第二晶体管、第一电感、第一开关、第二开关、第一电容以及第三开关。输入端用以接收第一射频信号。输出端用以输出放大信号。第一晶体管具有第一端、第二端以及控制端,其中第一晶体的控制端耦接放大电路的输入端,第一晶体管的第一端接至第一参考端。第二晶体管具有第一端、第二端以及控制端,其中第二晶体的第二端耦接至放大电路的输出端。第一电感耦接在第一晶体的第二端以及第二晶体管的第一端间。第一开关耦接在第一晶体的第二端与第二晶体的控制端间。第二开关与第一电感并联耦接。第三开关与第一电容串联耦接,第一电容与第三开关耦接于第二晶体管的第一端与第二参考端间。

[0006] 基于上述,本发明的实施例藉由切换装置可使放大电路在不同的模式间进行切换。如此一来,放大电路可视需求适应性的切换,例如可工作在一般模式或低电流模式,从而提升放大电路的工作效益。

附图说明

[0007] 图1绘示本发明一实施例的放大电路的示意图。

图2绘示本发明一实施例的放大电路的电路示意图。

图3绘示本发明另一实施例的放大电路的电路示意图。

图3A以及图3B绘示图3中放大电路在不同工作模式下的动作方式的示意图。

图4至图8绘示本发明多个实施例的放大电路的电路示意图。

【符号说明】

100、200、300、400、500、700、800:放大电路

110、210、310、410、510、710、810:切换装置

820:中间匹配网络

840:输入匹配网络

830:输出匹配网络

BVE1、BVE2:偏压信号端

C1~C7、C01、C02:电容

EIN:输入端

EOUT:输出端

L1~L4、LI1、LI2:电感

N1、N2:节点

R1、R2:操作电阻

RA1、RA2:电阻

RF1、RF2:射频信号

RF0:放大信号

SW1~SW8:开关

T1、T2、T3、T4:晶体管

VC1~VC6:控制信号

VDD:电源电压信号

VG1、VG2:偏压信号

VR1~VR5:参考端

具体实施方式

[0008] 请参照图1,图1绘示本发明一实施例的放大电路100的示意图。放大电路100包括输入端EIN及输出端EOUT,其中输入端EIN用以接收射频信号RF1,经放大后在输出端EOUT输出放大信号RF0。放大电路100包括晶体管T1、T2以及切换装置110。在一些实施例中,晶体管T1包括控制端、第一端及第二端,其中控制端耦接至放大电路100的输入端EIN,第一端耦接至参考端VR1,且第二端耦接至切换装置110。切换装置110耦接在晶体管T1与晶体管T2之间。具体而言,晶体管T2包括控制端、第一端及第二端,其中第一端可经由切换装置110耦接至晶体管T1的第二端。晶体管T2的第二端耦接至放大电路100的输出端EOUT。进一步讲,晶体管T2的控制端亦可经由切换装置110耦接至晶体管T1的第二端。

[0009] 在一些实施例中,晶体管T1可用以放大射频信号RF1,并在晶体管T1的第二端产生另一射频信号RF2,即第二射频信号RF2。切换装置110可执行切换动作,以使得第二射频信号RF2选择性的传递至晶体管T2的第一端或传递至晶体管T2的控制端,从而实现放大电路100不同的工作模式。晶体管T2可根据第二射频信号RF2以在放大电路100的输出端EOUT上

产生放大信号RF0。在细节上,放大电路100可工作在一般模式或是低电流模式。在一般模式中,切换装置110可选择性的将第二射频信号RF2传递至晶体管T2的第一端。在低电流模式中,切换装置110可选择性的将第二射频信号RF2传递至晶体管T2的控制端。

[0010] 请参照图2,图2绘示本发明一实施例的放大电路200的电路示意图。在放大电路200中,切换装置210耦接于晶体管T1的第二端、晶体管T2的第一端、以及晶体管T2的控制端。在本实施例中,切换装置210包括电感L1、开关SW1~SW3、以及电容C1。如图2所示,电感L1耦接在晶体管T1的第二端与晶体管T2的第一端间。开关SW2与电感L1并联耦接。开关SW1耦接在晶体管T1的第二端与晶体管T2的控制端间。开关SW3与电容C1串联耦接于晶体管T2的第一端与参考端VR2间。在进一步的实施例中,电感L1可包括第一端及第二端,其中第一端耦接于晶体管T1的第二端,且第二端耦接于晶体管T2的第一端。开关SW2可包含第一端、第二端、及控制端,其中开关SW2的第一端耦接于电感L1的第一端,开关SW2的第二端耦接于电感L1的第二端,亦即,开关SW2与电感L1并联耦接。

[0011] 在一些实施例中,举例而言,开关SW1、开关SW2、及/或开关SW3可实施为晶体管开关。开关SW1~SW3可分别受控于多个控制信号VC1~VC3,以分别被导通或截止。举例而言,开关SW2的控制端可用以接收控制信号VC2,且根据该控制信号VC2而导通或截止。类似的,开关SW1及开关SW3的控制端可分别用以接收控制信号VC1及VC3,且分别根据该控制信号VC1及VC3而导通或截止。

[0012] 在一些实施例中,参考端VR1以及VR2可以是相同的接地端,或者也可以是不同的端点。应注意,在图2所示的实施例中,开关SW3位于晶体管T2的第一端与电容C1之间,然而本发明不限于此,在其他实施例中,开关SW3以及电容C1的位置可互换。也就是说,电容C1可位于晶体管T2的第一端与开关SW3之间。

[0013] 当放大电路200操作在一般模式时,开关SW2可被导通,且开关SW1可被截止。在此情形中,处于导通状态的开关SW2形成电感L1的旁路(bypass)电路。对第二射频信号RF2而言,在晶体管T1的第二端与晶体管T2的第一端之间形成低阻抗路径,且在晶体管T1的第二端与晶体管T2的控制端之间形成高阻抗路径。因此,第二射频信号RF2实质上可经由处于导通状态的开关SW2传递至晶体管T2的第一端,以在放大电路200的输出端EOUT产生放大信号RF0。在上述一般模式中,晶体管T1与晶体管T2呈叠接(cascode)型态,使得放大电路200具有较佳的输入输出隔绝性,减少输入信号与输出信号之间的耦合,从而使得放大电路200可工作于更大的带宽。在该一般模式中,开关SW3可被截止。

[0014] 在一些情形中,例如为了降低功率消耗,放大电路200可工作于低电流模式,在此情形中,放大电路200可改变晶体管T1与晶体管T2的耦接关系,以达成期望的增益。当放大电路200操作在低电流模式时,开关SW2可被截止,且开关SW1可被导通。在此情形中,对第二射频信号RF2而言,在晶体管T1的第二端与晶体管T2的第一端之间形成高阻抗路径,且该高阻抗路径包含电感L1,以及在晶体管T1的第二端与晶体管T2的控制端之间形成低阻抗路径。因此,第二射频信号RF2实质上可经由处于导通状态的开关SW1传送至晶体管T2的控制端,以在放大电路200的输出端EOUT产生放大信号RF0。在上述低电流模式中,晶体管T1与晶体管T2呈串接(cascade)型态,使得放大电路200输入端EIN的射频信号RFI依序经晶体管T1及晶体管T2两级放大后,在输出端EOUT产生放大信号RF0,从而达成期望的增益。在此低电流模式中,开关SW2处于截止状态,电感L1可实质上阻隔第二射频信号RF2被传送至晶体管

T2的第一端,亦即电感L1对第二射频信号RF2实质上为高阻抗状态,用以减少第二射频信号RF2经由电感L1的损耗。此外,在低电流模式中,开关SW3可被导通,使得晶体管T2的第一端经由电容C1耦接至参考端VR2,其中电容C1对第二射频信号RF2实质上为低阻抗状态。举例而言,电感L1对第二射频信号RF2的阻抗可为高于第一预设值的高阻抗状态,电容C1对第二射频信号RF2的阻抗为低于第二预设值的低阻抗状态,其中第一预设值大于第二预设值。

[0015] 附带一提的,在上述一般模式中,晶体管T1以及晶体管T2呈叠接关系,晶体管T1以及晶体管T2可共用直流电流。进一步讲,在低电流模式中,电感L1可容许直流通,使得即使晶体管T1以及晶体管T2呈串接关系仍可共用直流电流,藉此减少功率消耗。

[0016] 如上所述,在一般模式中,放大电路200的晶体管T1与晶体管T2呈叠接(cascode)型态,使得放大电路200可在较大操作电流的情况下,提供较大的增益。另一方面,为减低功率消耗,放大电路200可工作在低电流模式,亦即工作于较小的操作电流,藉由切换装置210的切换动作来改变晶体管T1与晶体管T2的耦接关系,使得晶体管T1与晶体管T2呈串接(cascade)型态,从而达成期望的增益。因此,本案实施例的放大电路可因应不同的操作电流来达成期望的增益,从而提升系统的整体效益。

[0017] 请参照图3,图3绘示本发明另一实施例的放大电路300的电路示意图。放大电路300包括晶体管T1、T2以及切换装置310。放大电路300与放大电路200的电路架构相类似,相同的部分不多赘述。与放大电路200不相同的,放大电路300中的切换装置310中另包括电容C2。电容C2与开关SW1串接于晶体管T1的第二端与晶体管T2的控制端间。在图3的实施例中,电容C2耦接在开关SW1与晶体管T2的控制端间,在其他实施例中,电容C2与开关SW1的位置可互换。也就是说,开关SW1可耦接在电容C2与晶体管T2的控制端间。关于放大电路300的动作细节,请参照图3A以及图3B,其分别绘示放大电路300在不同工作模式下的动作方式的示意图。

[0018] 在图3A中,放大电路300操作在一般模式,亦即,放大电路300可工作于较大的操作电流,从而获得较高的增益。在此情形中,开关SW2可被导通,开关SW1、SW3可被截止,放大电路300的晶体管T1、T2呈叠接(cascode)状态。晶体管T1放大所接收的射频信号RF1以产生第二射频信号RF2。第二射频信号RF2可经由导通的开关SW2被传送至晶体管T2的第一端。晶体管T2可根据第二射频信号RF2来产生放大信号RF0。在本实施例中,开关SW2对第二射频信号RF2实质上呈低阻抗,开关SW1对第二射频信号RF2实质上呈高阻抗。

[0019] 在图3B中,放大电路300操作在低电流模式,亦即,放大电路300可工作于较小的操作电流,以减小功率消耗。在此情形中,开关SW2可被截止,开关SW1、SW3可被导通。放大电路300的晶体管T1、T2呈串接(cascade)状态。晶体管T1放大所接收的射频信号RF1以产生第二射频信号RF2。第二射频信号RF2可经由导通的开关SW1以及电容C2被传送至晶体管T2的控制端。晶体管T2可根据第二射频信号RF2来产生放大信号RF0。在本实施例中,电容C2对第二射频信号RF2实质上呈低阻抗状态,且电容C2可用以阻隔传输信号的直流成分。举例而言,电容C2对第二射频信号RF2的阻抗为低于第三预设值的低阻抗状态,其中第一预设值大于第三预设值。如上所述,电容C1对第二射频信号RF2的阻抗为低于第二预设值的低阻抗状态,其中第二预设值以及第三预设值可相同或不同,并可分别取决于电容C1以及C2的电容值。

[0020] 在上述实施方式中,当开关SW1、SW2、及/或SW3导通时,对第二射频信号RF2为低阻

抗状态。

[0021] 请参照图4,图4绘示本发明另一实施例的放大电路的电路示意图。放大电路400包括晶体管T1、T2以及切换装置410。放大电路400与放大电路300的电路架构相类似,相同的部分不多赘述。与放大电路300不相同的,放大电路400中的切换装置410中另包括开关SW4。如图4所示,在开关SW3与电容C1之间可存在节点N1(亦即,开关SW3与电容C1可皆耦接至节点N1),且开关SW4可耦接在节点N1与晶体管T2的控制端间。进一步讲,晶体管T2的第一端、开关SW3、电容C1、及参考端VR2可依序耦接,且节点N1位于开关SW3与电容C1之间。在本实施例中,开关SW4受控于控制信号VC4以被导通或被截止。在进一步的实施例中,当开关SW2导通时,开关SW4亦导通,使晶体管T2的控制端经由电容C1耦接至参考端VR2,在此情形中,开关SW3截止。另一方面,当开关SW2截止时,开关SW4亦截止,使晶体管T2的控制端可与节点N1隔离。在此情形中,开关SW3导通,使得晶体管T2的第一端经由电容C1耦接至参考端VR2。

[0022] 在上述实施例中,开关SW1、SW2、SW3、及/或SW4可利用相同导电型态的晶体管(例如皆为N型晶体管或皆为P型晶体管)来建构,在此状态下,控制信号VC1与VC3可为同步同相信号,控制信号VC2与VC4可为同步同相信号。进一步讲,控制信号VC1与VC2可为同步反相信号。然而,本发明不限于此,在其他实施例中,开关SW1、SW2、SW3、及/或SW4可利用不同导电型态的晶体管(例如一部分为N型晶体管,另一部分为P型晶体管)来建构。

[0023] 请参照图5,图5绘示本发明另一实施例的放大电路500的电路示意图。放大电路500类似于放大电路300,差异在于放大电路500的切换装置510另包括操作电阻R1及R2。操作电阻R1可耦接在开关SW1的第一端与第二端间。操作电阻R2可耦接在开关SW2的第一端与第二端间。

[0024] 请参照图6A至图6C,图6A至图6C绘示本发明另一实施例的放大电路600的不同实施方式的电路示意图。放大电路600类似于图2的放大电路200,差异在于放大电路600还包括晶体管T3及开关SW5。详细而言,晶体管T3的第一端耦接至晶体管T1的第一端,晶体管T3的第二端耦接至晶体管T1的第二端,且晶体管T3的控制端耦接至晶体管T1的控制端,如图6A所示,开关SW5可耦接于晶体管T3的第二端与晶体管T1的第二端之间。然而,本发明不限于此,在其他实施例中,开关SW5可耦接于晶体管T3的控制端与晶体管T1的控制端之间(如图6B所示),或者耦接于晶体管T3的第一端与晶体管T1的第一端之间(如图6C所示)。

[0025] 请参照图7,图7绘示本发明另一实施例的放大电路700的电路示意图。放大电路700类似于图6A的放大电路600,差异在于放大电路700还包括晶体管T4及开关SW6。详细而言,晶体管T4与晶体管T2的耦接关系类似于图6A中晶体管T3与晶体管T1的耦接关系,在此不加赘述。如图7所示,开关SW6可耦接于晶体管T4的控制端与晶体管T2的控制端之间。然而,本发明不限于此,在其他实施例中,开关SW6可耦接于晶体管T4的第二端与晶体管T2的第二端之间,或者耦接于晶体管T4的第一端与晶体管T2的第一端之间。

[0026] 仍参照图7,当放大电路700工作在一般模式时,开关SW2导通且SW1截止,晶体管T1第一端的第二射频信号RF2传递至晶体管2的第一端。在此情形中,为获得期望的增益及较佳的线性度,开关SW5可被导通,使得用来产生第二射频信号RF2的等效晶体管的尺寸增加(亦即,晶体管T1与晶体管T3的尺寸之和)。进一步讲,SW6亦可被导通,使得用来产生输出信号RF0的等效晶体管的尺寸增加(亦即,晶体管T2与晶体管T4的尺寸之和),藉此可提升放大电路700的线性度。在上述实施例中,开关SW5及/或SW6可为晶体管开关,例如P型或N型的晶

晶体管,且开关SW5及SW6可分别受控于控制信号VC5及VC6。

[0027] 以下请参照图8,图8绘示本发明的放大电路800的电路示意图。放大电路800包括晶体管T1、T2、及切换装置810。晶体管T1及T2类似于前述任一实施例,切换装置810与图3的切换装置310具有类似的电路架构,在此已不多赘述。

[0028] 如图8所示,放大电路800更包括电容C5、输入匹配网络840、中间匹配网络820、输出匹配网络830。在一些实施例中,电容C5耦接至放大电路800的输入端EIN,用以阻隔射频信号RFI中的直流成分。输入匹配网络840可经由电容C5耦接至放大电路800的输入端EIN。输入匹配网络840可与电容C5串联耦接,且用作放大电路800的输入阻抗匹配元件。举例而言,输入匹配网络840可包括开关SW7以及电感LI1、LI2。电感LI1、LI2可串联耦接在射频信号RFI的传递路径上,且开关SW7可与电感LI1并联耦接,用以根据需求改变输入匹配网络840的阻抗值。在一些实施例中,中间匹配网络820可耦接于晶体管T1与T2之间。详细而言,中间匹配网络820可耦接在切换装置810与晶体管T2的控制端间。在细节上,中间匹配网络820可包括电感L2、电容C3及C4。电感L2耦接在晶体管T1的第二端与晶体管T2的控制端间,且可与切换装置810的电容C2串联。如图8所示,在切换装置810的开关SW1与电容C2之间存在节点N2,亦即,开关SW1与电容C2皆耦接至节点N2。在图8所示实施例中,电感L2可耦接于开关SW1与节点N2之间,且电容C3可耦接在节点N2与参考端VR3间,然而本发明不限于此。在其他实施例中,电感L2可耦接于与节点N2与电容C2之间。电容C4可耦接在晶体管T2的控制端与参考端VR4间。在该实施例中,中间匹配网络820可用作晶体管T1与T2间的阻抗匹配元件。在一些实施例中,输出匹配网络830可耦接至放大电路800的输出端EOUT,用作放大电路800的输出阻抗匹配元件。输出匹配网络830可包括开关SW8以及电容C01、C02。电容C01、C02可并联耦接在放大信号RF0的传递路径上,且开关SW8可与电容C01串联耦接,用以根据需求改变输出匹配网络830的阻抗值。

[0029] 如图8所示,放大电路800更包括电阻RA1及电阻RA2,其中晶体管T1的控制端可经由电阻RA1耦接至偏压信号端BVE1,以接收偏压信号VG1。晶体管T2的控制端可经由电阻RA2耦接至偏压信号端BVE2,以接收偏压信号VG2。在一些实施例中,偏压信号VG1及VG2可为直流信号。放大电路800更包括电容C7及电感L4,其中电容C7可耦接在晶体管T1的控制端与第一端间,电感L4可耦接在晶体管T1的第一端与参考端VR1间。放大电路800更包括电感L3及电容C6,其中晶体管T2(例如,晶体管T2的第二端)可经由电感L3耦接至电源电压端,以接收电源电压信号VDD。电容C6的一端可耦接至电感L3,另一端可耦接至参考端VR5。在本实施例中,放大电路800的输出端EOUT处可另设置电容以耦接至任一参考端。

[0030] 在上述实施例中,参考端VR1~VR5可为相同的参考接地端,也可分别是不同的端点。此外,需说明的是,在本揭露内容中,序数词(例如,第一、第二、第三…)仅用以区别功能或位置,不表示顺序及数量。

[0031] 综上所述,本发明在放大电路中设置切换装置,其中切换装置可根据放大电路的工作模式,以使放大电路可因应不同的应用需求呈叠接模式(cascode)或是串接模式(cascade)。举例而言,当放大电路在叠接模式(cascode)中,可提供较佳的输入输出隔离性,减少输入信号与输出信号之间的耦合,从而使得放大电路可工作于更大的带宽。当放大电路在串接模式(cascade)中,可提供相对高的放大增益。进一步讲,在上述模式中,放大电路的晶体管可共用直流电流。因此,本发明放大电路可提升系统的工作效能,且具有相对低

的消耗功率。

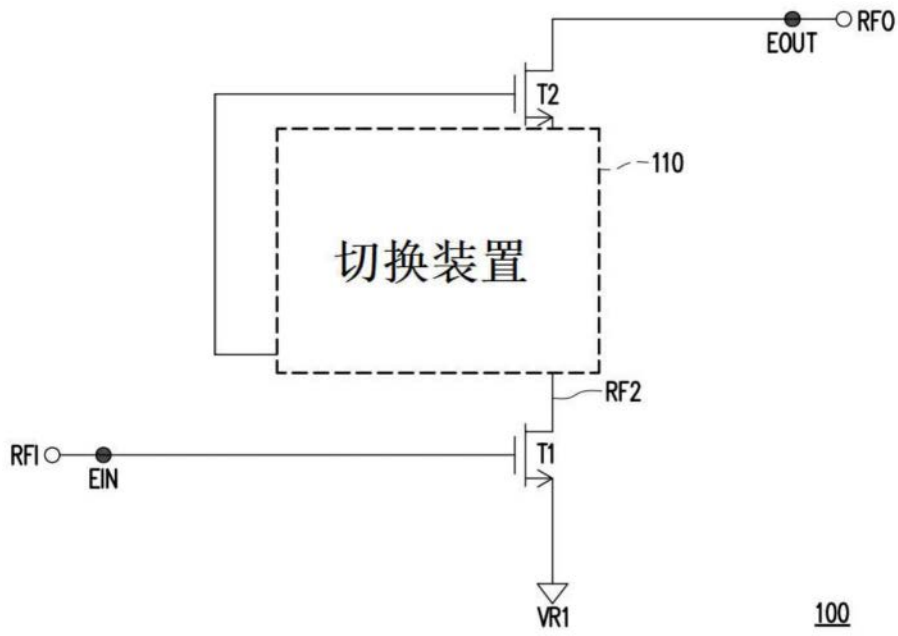


图1

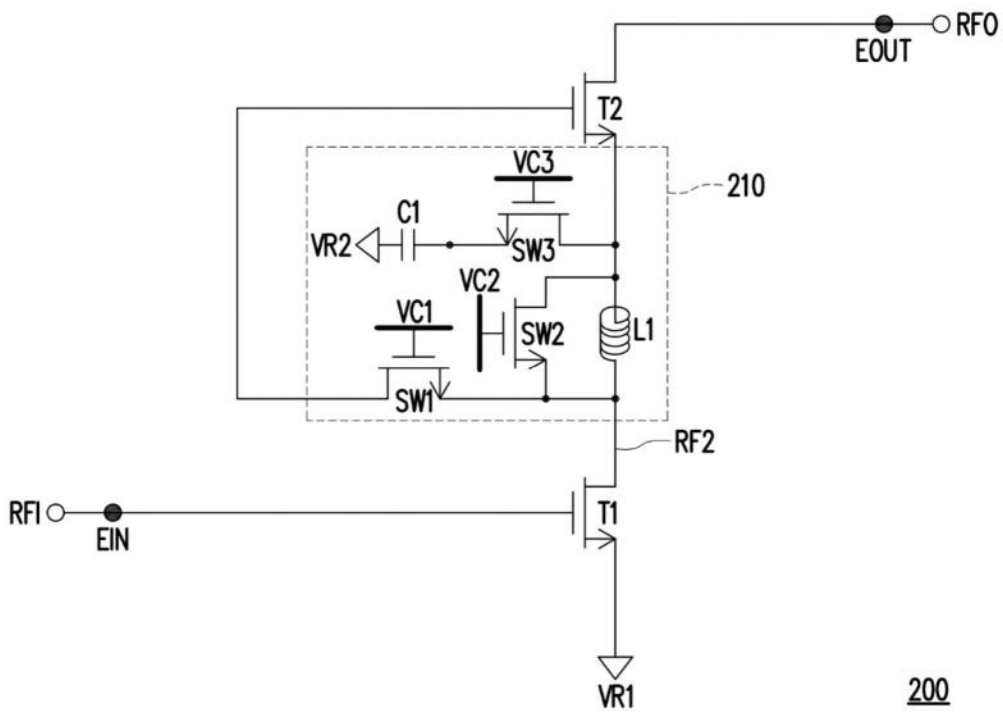


图2

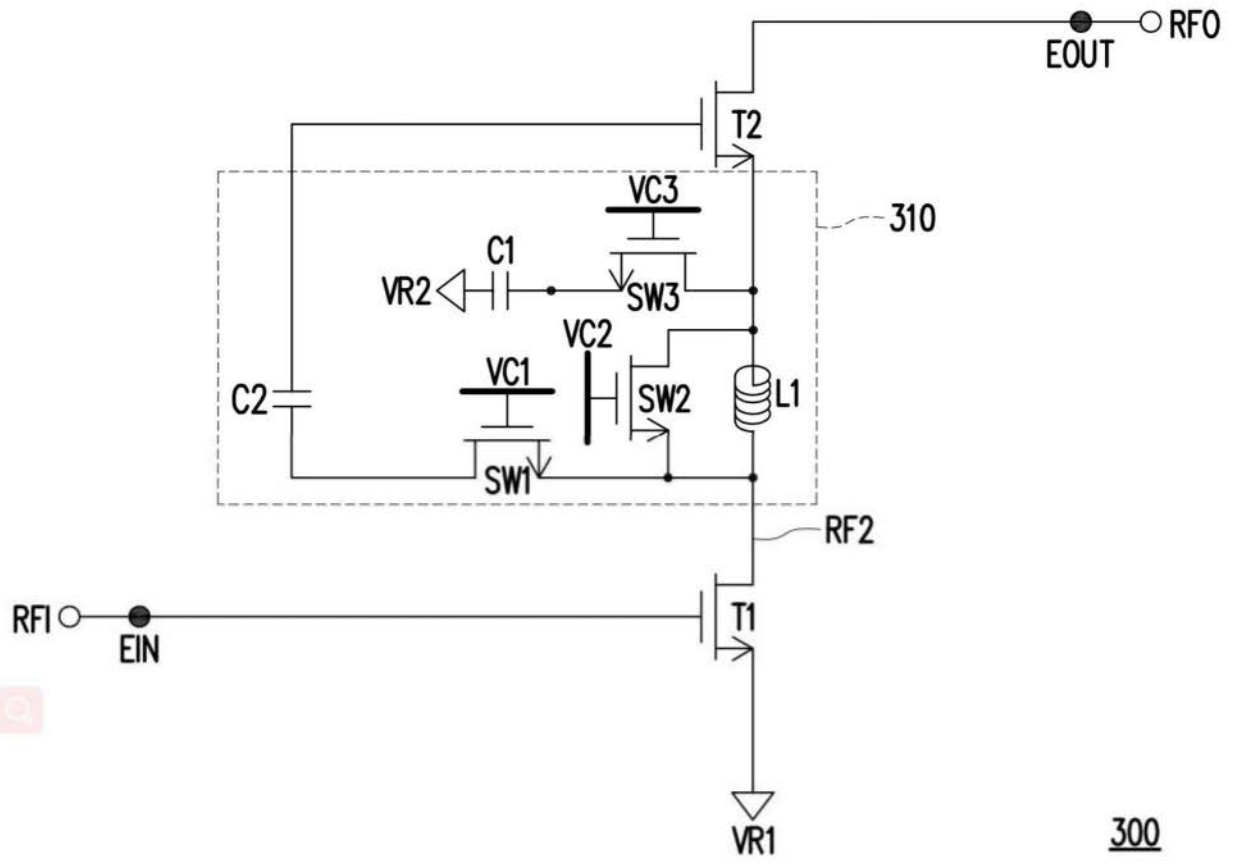


图3

300

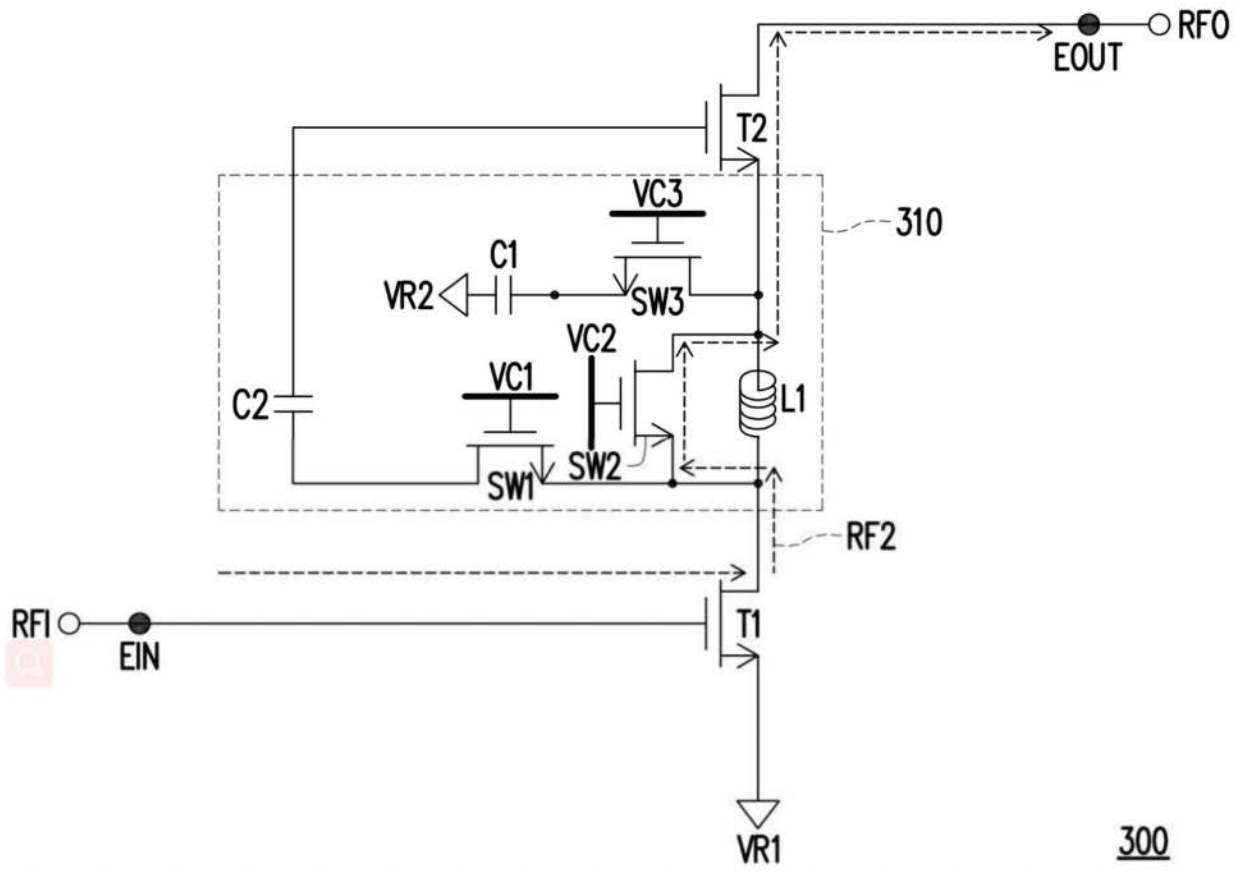


图3A

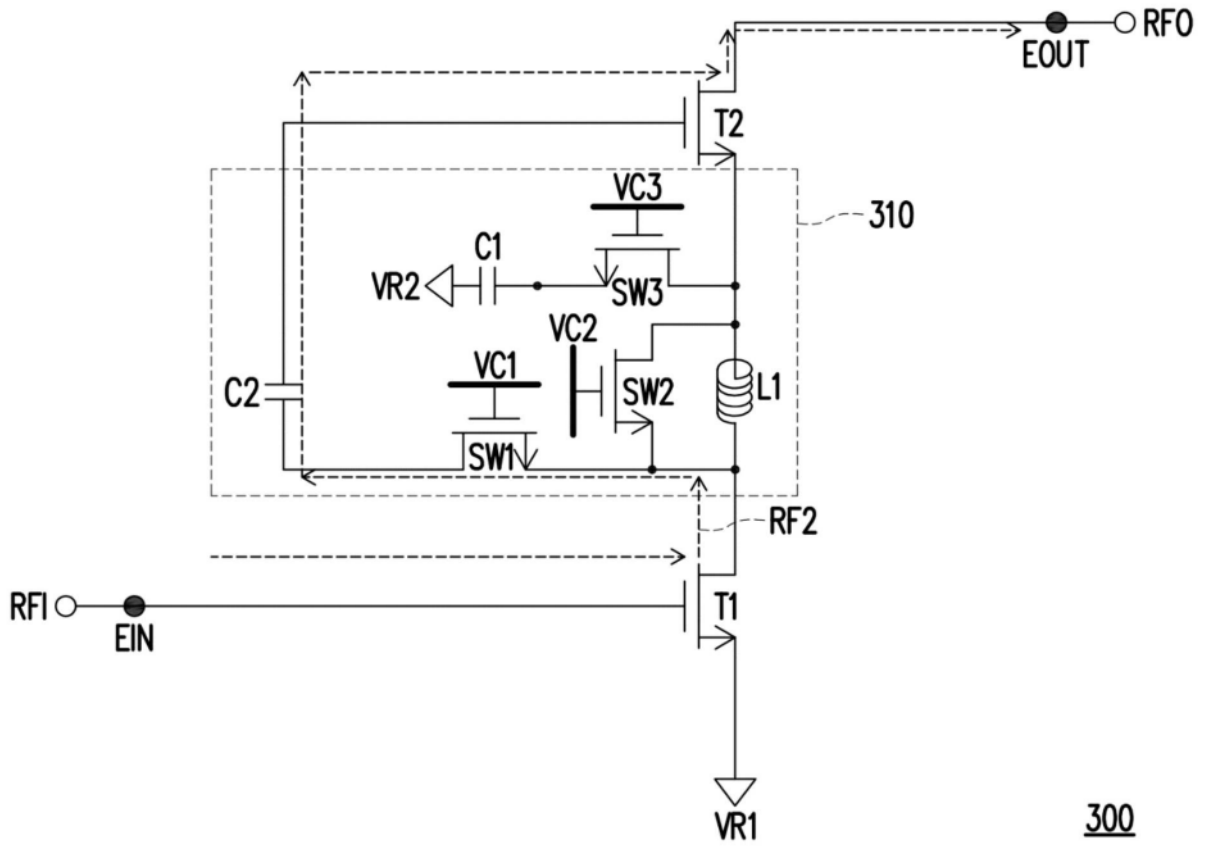


图3B

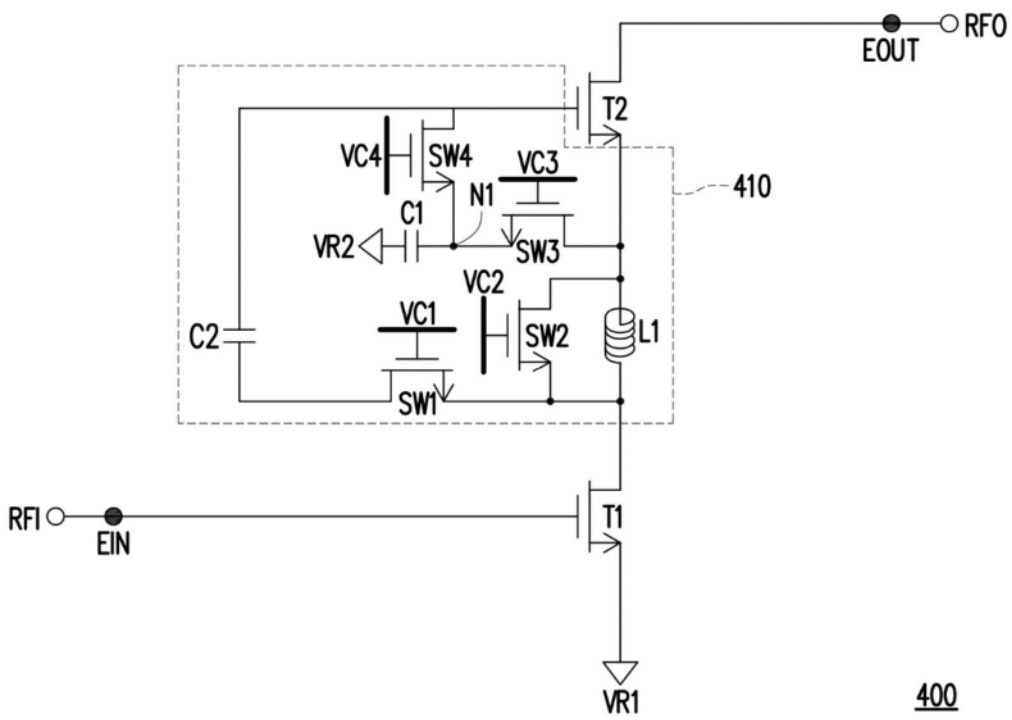


图4

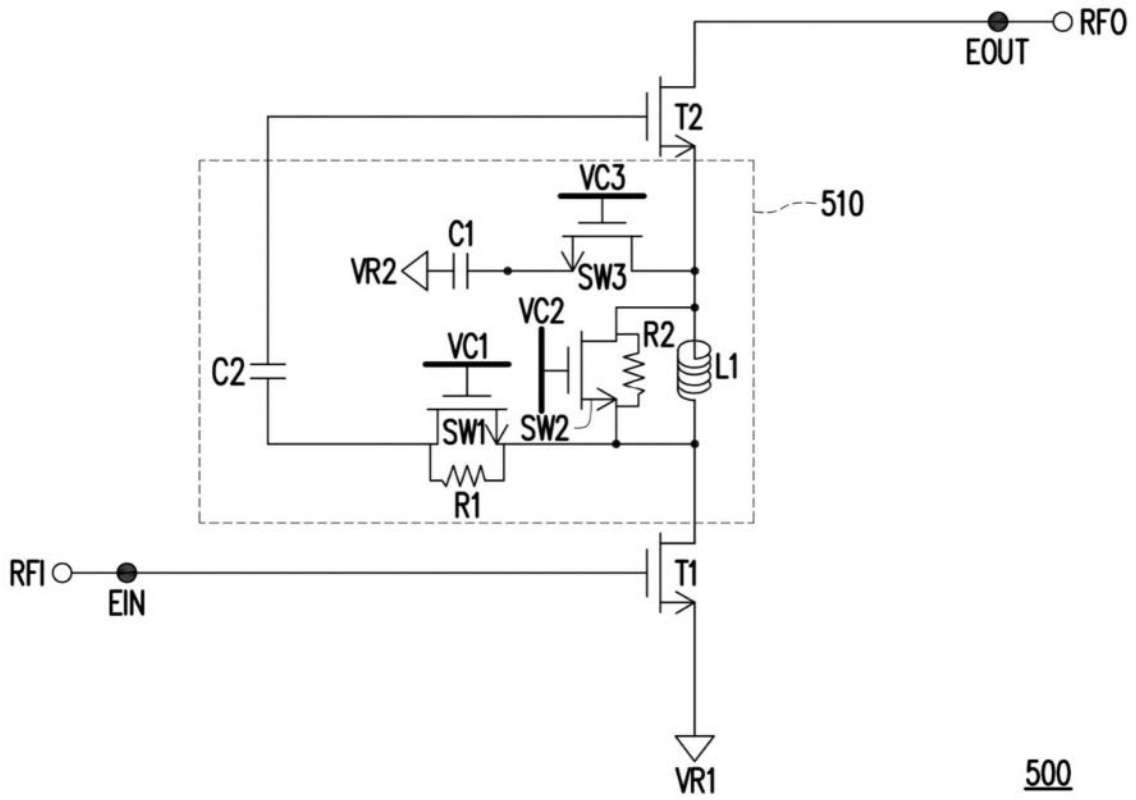


图5

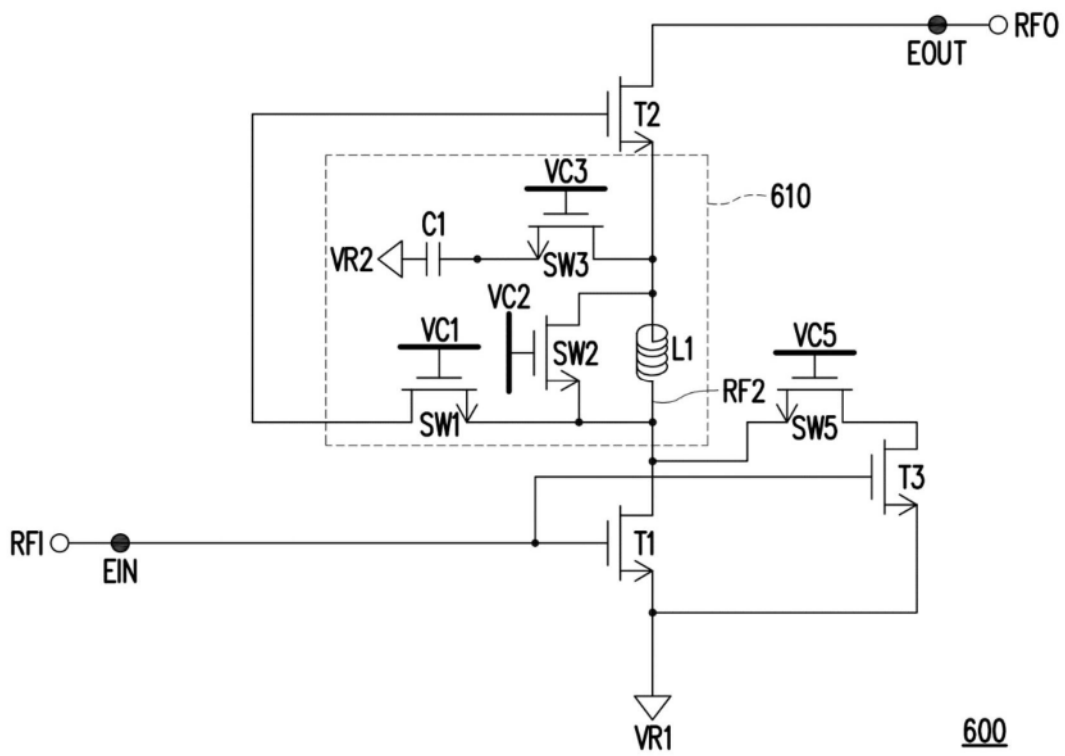


图6A

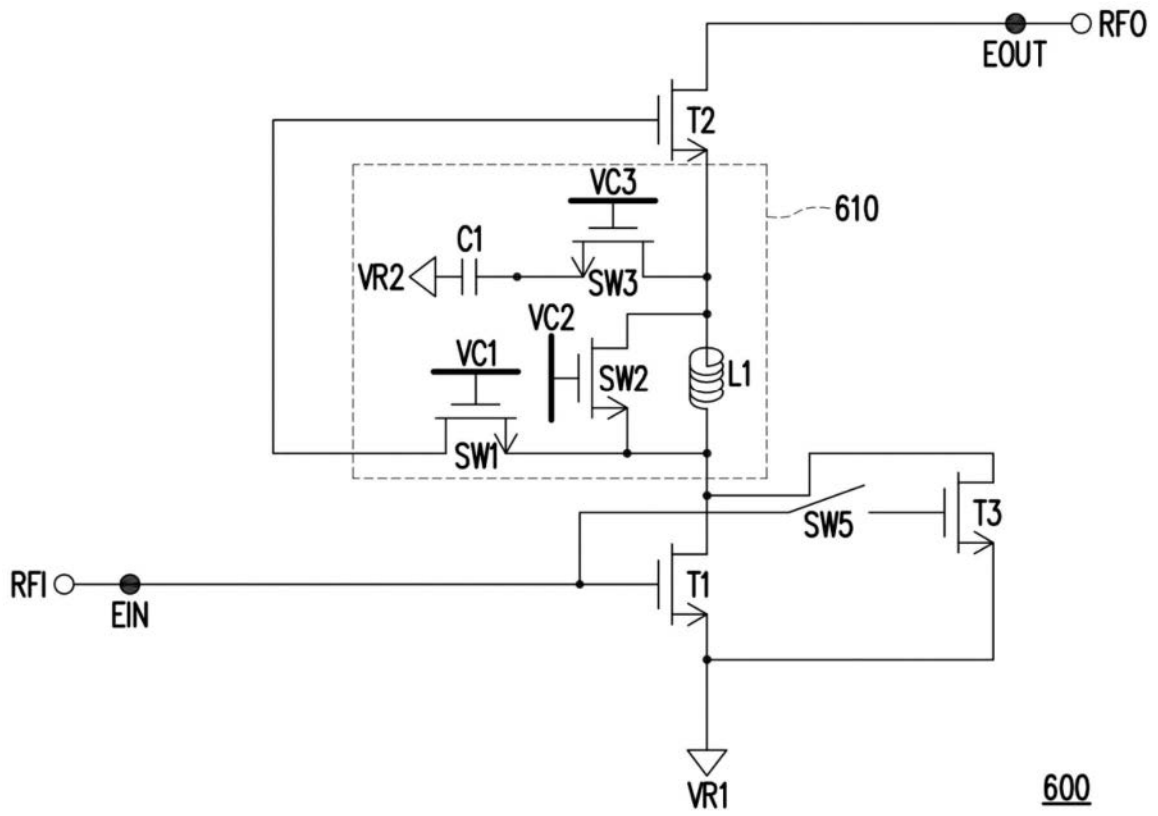


图6B

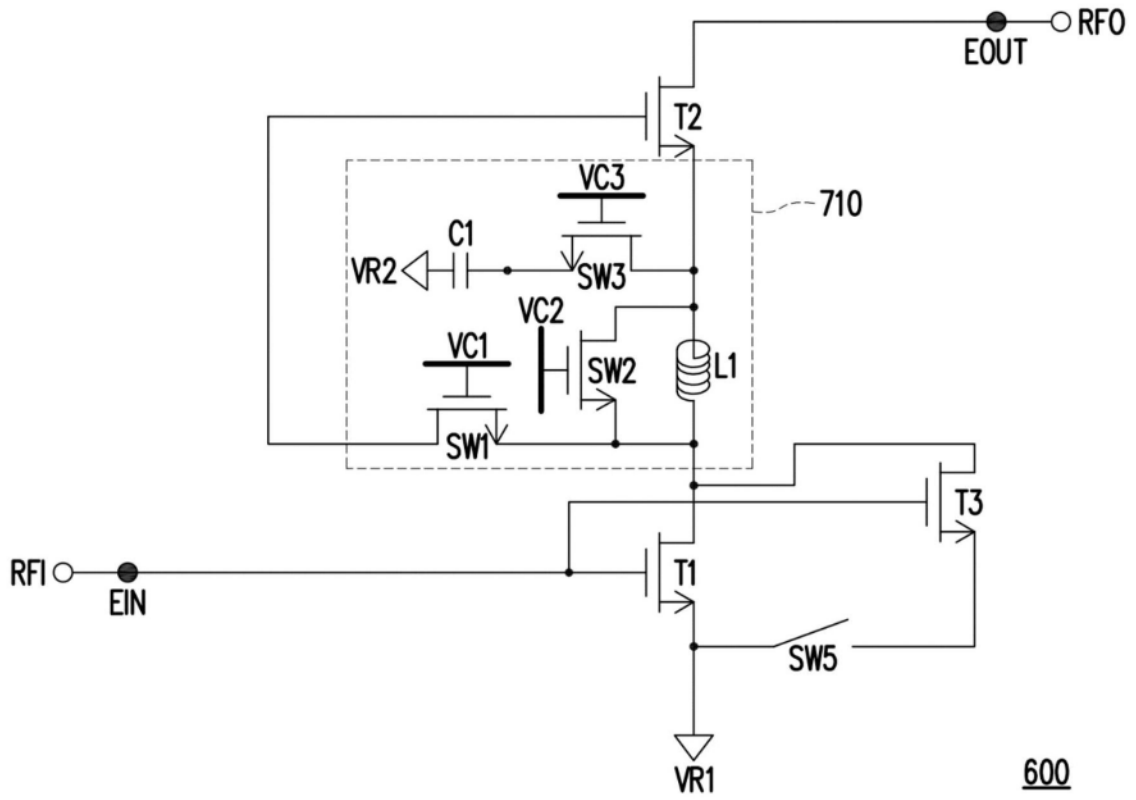


图6C

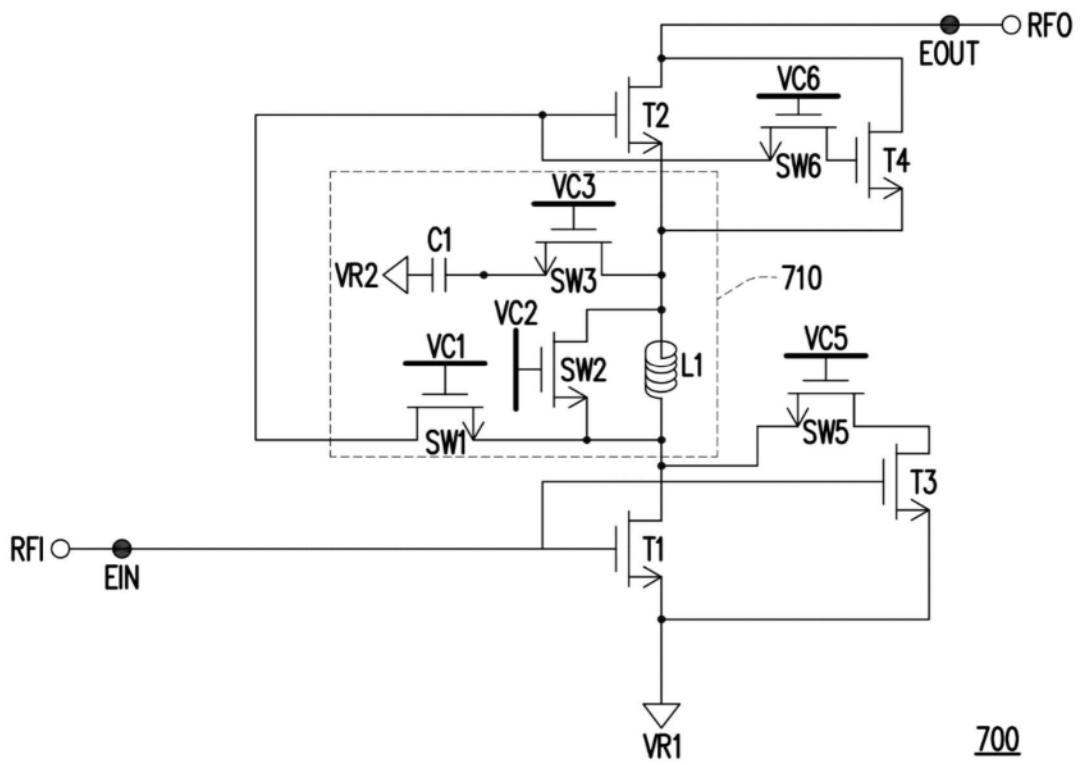
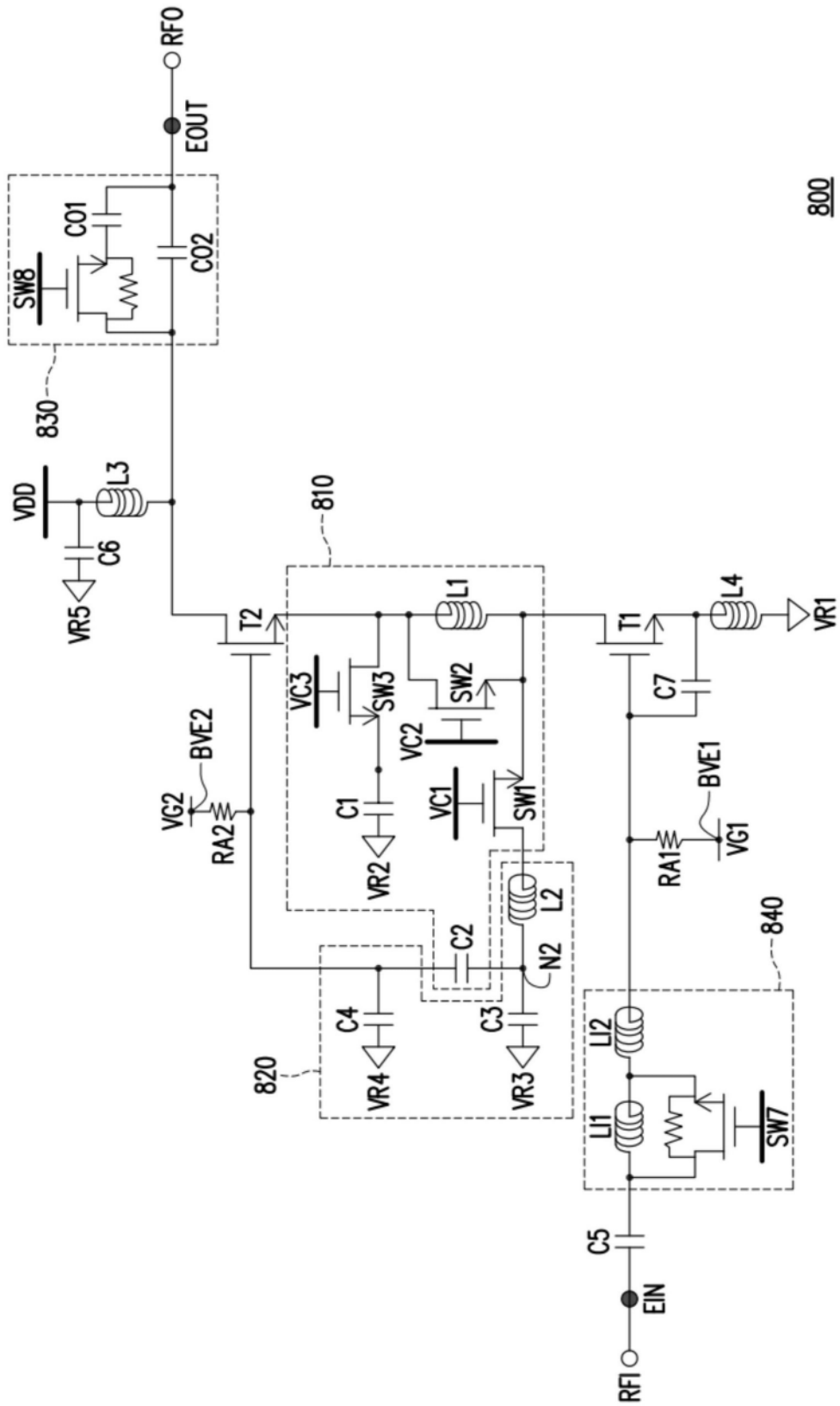


图7



800

图8