

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-526015

(P2013-526015A)

(43) 公表日 平成25年6月20日(2013.6.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 39/22 (2006.01)	HO 1 L 39/22 Z A A B	4 M 1 1 3
HO 1 L 29/66 (2006.01)	HO 1 L 29/66 M	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 G O 1 L	

審査請求 有 予備審査請求 未請求 (全 10 頁)

(21) 出願番号 特願2013-503788 (P2013-503788)
 (86) (22) 出願日 平成23年3月29日 (2011. 3. 29)
 (85) 翻訳文提出日 平成24年11月16日 (2012. 11. 16)
 (86) 国際出願番号 PCT/US2011/030304
 (87) 国際公開番号 W02011/126831
 (87) 国際公開日 平成23年10月13日 (2011. 10. 13)
 (31) 優先権主張番号 12/754, 194
 (32) 優先日 平成22年4月5日 (2010. 4. 5)
 (33) 優先権主張国 米国 (US)

(71) 出願人 510028280
 ノースロップ グルマン システムズ
 コーポレイション
 アメリカ合衆国 バージニア 22042
 -4511, フォールズ チャーチ,
 フェアビュー パーク ドライブ 298
 0
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100113413
 弁理士 森下 夏樹
 (72) 発明者 ペセトスキー, アーロン エー.
 アメリカ合衆国 メリーランド 2105
 4, キャンプリルズ, ヘザー ストー
 ン ドライブ 2442

最終頁に続く

(54) 【発明の名称】 位相量子ビット

(57) 【要約】

位相量子ビットが開示される。一実施形態では、位相量子ビットは、ジョセフソン接合と、ジョセフソン接合に結合された分散要素とを備え得る。分散要素は、位相量子ビットの容量成分および誘導成分を提供する。一実施形態において、分散要素は、伝送ラインである。一実施形態において、伝送ラインは、共平面導波路、スロットライン導波路、ストリップライン導波路、およびマイクロストリップ導波路のうちの1つである。一実施形態において、位相量子ビットは、分散要素の第2の端部に結合された分路インピーダンスをさらに備え、分散要素の第1の端部は、ジョセフソン接合に結合されている。

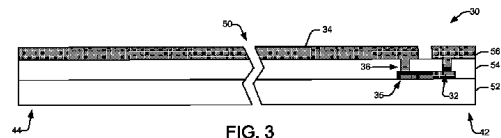


FIG. 3

【特許請求の範囲】

【請求項 1】

位相量子ビットであって、
 ジョセフソン接合と、
 前記ジョセフソン接合に結合された分散要素であって、前記分散要素は、前記位相量子ビットの容量成分および誘導成分を提供する、分散要素と
 を備えている、位相量子ビット。

【請求項 2】

前記分散要素は、伝送ラインである、請求項 1 に記載の位相量子ビット。

【請求項 3】

前記伝送ラインは、共平面導波路、スロットライン導波路、ストリップライン導波路、およびマイクロストリップ導波路のうちの 1 つである、請求項 2 に記載の位相量子ビット。

【請求項 4】

前記分散要素の第 2 の端部に結合された分路インピーダンスをさらに備え、前記分散要素の第 1 の端部は、前記ジョセフソン接合に結合されている、請求項 1 に記載の位相量子ビット。

【請求項 5】

前記分路インピーダンスは、短絡である、請求項 4 に記載の位相量子ビット。

【請求項 6】

前記分路インピーダンスは、開路である、請求項 4 に記載の位相量子ビット。

【請求項 7】

前記分路インピーダンスは、キャパシタ、インダクタ、伝送ライン、および第 2 のジョセフソン接合のうちの少なくとも 1 つである、請求項 4 に記載の位相量子ビット。

【請求項 8】

前記位相量子ビットをバイアスするために前記分散要素に結合された制御回路と、前記位相量子ビットを読み出すために前記分散要素に結合された読み出し回路とをさらに備えている、請求項 1 に記載の位相量子ビット。

【請求項 9】

前記制御回路および / または前記読み出し回路は、無線周波数 (R F) 電流の大きさが約ゼロである場所において、前記分散要素に結合されている、請求項 8 に記載の位相量子ビット。

【請求項 10】

量子回路であって、
 位相量子ビットであって、
 ジョセフソン接合と、
 前記ジョセフソン接合に結合された伝送ラインであって、前記伝送ラインは、前記位相量子ビットの容量成分および誘導成分を提供する、伝送ラインと、
 前記伝送ラインの第 2 の端部に結合された分路インピーダンスであって、前記伝送ラインの第 1 の端部は、前記ジョセフソン接合に結合されている、分路インピーダンスと
 を備えている、位相量子ビットと、
 前記位相量子ビットをバイアスするために前記伝送ラインに結合された制御回路と、
 前記位相量子ビットを読み出すために前記伝送ラインに結合された読み出し回路と
 を備えている、量子回路。

【請求項 11】

前記伝送ラインは、共平面導波路、スロットライン導波路、ストリップライン導波路、およびマイクロストリップ導波路のうちの 1 つである、請求項 10 に記載の量子回路。

【請求項 12】

前記分路インピーダンスは、前記伝送ラインの第 2 の端部における短絡である、請求項 10 に記載の量子回路。

10

20

30

40

50

【請求項 13】

前記分路インピーダンスは、前記伝送ラインの第1の端部における開路である、請求項10に記載の量子回路。

【請求項 14】

前記分路インピーダンスは、キャパシタ、インダクタ、伝送ライン、および第2のジョセフソン接合のうち少なくとも1つである、請求項10に記載の量子回路。

【請求項 15】

前記制御回路および前記読み出し回路は、無線周波数(RF)電流の大きさが約ゼロである場所において、前記伝送ラインに結合されている、請求項10に記載の量子回路。

【請求項 16】

位相量子ビットを形成する方法であって、

ジョセフソン接合を形成することと、

前記位相量子ビットの容量成分および誘導成分を提供する分散要素を形成することと、

前記分散要素の第1の端部を前記ジョセフソン接合に結合することと

を含む、方法。

【請求項 17】

前記分散要素を形成することは、短絡される前記分散要素の第2の端部を形成することを含む、請求項16に記載の方法。

【請求項 18】

前記分散要素の第2の端部に結合された分路インピーダンスを形成することをさらに含み、前記分路インピーダンスは、開回路、キャパシタ、インダクタ、伝送ライン、および第2のジョセフソン接合のうち少なくとも1つである、請求項16に記載の方法。

【請求項 19】

前記ジョセフソン接合と前記分散要素との間に中間層を形成することと、前記ジョセフソン接合を前記分散要素に結合するために前記中間層を通して接点を形成することとをさらに含む、請求項16に記載の方法。

【請求項 20】

前記位相量子ビットをバイアスするために、第1の場所に隣接して、前記分散要素に結合された制御回路を形成することと、

前記位相量子ビットを読み出すために、前記第1の場所に隣接して、前記分散要素に結合された読み出し回路を形成することと、

をさらに含み、前記第1の場所は、前記位相量子ビットの無線周波数(RF)電流の大きさが約ゼロである場所である、請求項16に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、超電導体回路に関し、より具体的には、位相量子ビットに関する。

【背景技術】

【0002】

位相量子ビットは、本質的に、LC共振器であり、ジョセフソン接合を分路するインダクタから形成することができる。物理的ジョセフソン接合は、理想的ジョセフソン接合および分路キャパシタの2つの部分から成る。分路キャパシタは、ジョセフソン接合のキャパシタンスによって供給されることができ、インダクタンスは、インダクタと接合の動的インダクタンスの並列組み合わせによって供給されることができ、制御回路は、位相量子ビットに書き込むために採用され、読み出し回路は、位相量子ビットから読み出すために採用される。量子ビットのコヒーレンス時間は、共振回路の品質係数(Q)によって、部分的に決定される。制御および読み出し回路は、共振回路に結合されるので、回路に負荷をかけ、品質係数(Q)を低減させる。加えて、制御または読み出し回路内に存在するいかなる雑音も、共振回路に直接結合し、デコヒーレンスをもたらす。

【0003】

10

20

30

40

50

ジョセフソン接合と関連付けられた誘電損失から生じるデコヒーレンスを低減させるために、量子コンピューティングコミュニティ内で定評のある技法はジョセフソン接合の内部キャパシタンスをエクスピリット外部キャパシタと置換することである。これは、実質的に、接合の臨界電流密度を増加させ、一定臨界電流を維持するためにその面積を縮小することによって達成することができる。その結果、接合の動的インダクタンスは、一定のままであるが、キャパシタンスは、実質的に低減される。消失キャパシタンスは、外部分路キャパシタで補われる。本技法は、損失の多い接合によって生じる不良性能を改善するが、制御および読み出し回路に結合することによって生じる不良性能を改善することにはならない。

【発明の概要】

【課題を解決するための手段】

【0004】

本発明の一側面では、位相量子ビットが提供される。位相量子ビットは、ジョセフソン接合と、ジョセフソン接合に結合された分散要素とを備え得る。分散要素は、位相量子ビットの容量成分および誘導成分を提供する。

【0005】

本発明の別の側面では、量子回路が提供される。量子回路は、ジョセフソン接合と、ジョセフソン接合に結合された伝送ラインとを備えている位相量子ビットと、位相量子ビットをバイアスするために伝送ラインに結合された制御回路と、位相量子ビットを読み出すために伝送ラインに結合された読み出し回路とを備えている。伝送ラインは、位相量子ビットの容量成分および誘導成分を提供する。分路インピーダンスは、伝送ラインの第2の端部に結合され、伝送ラインの第1の端部は、ジョセフソン接合に結合される。

【0006】

本発明のさらに別の側面では、位相量子ビットを形成する方法が提供される。方法は、ジョセフソン接合を形成することと、位相量子ビットの容量成分および誘導成分を提供する分散要素を形成することと、分散要素の第1の端部をジョセフソン接合に結合することを含む。

【図面の簡単な説明】

【0007】

【図1】図1は、本発明のある側面による超電導体量子回路の概略図を例証する。

【図2】図2は、本発明のある側面によるジョセフソン接合に結合された伝送ラインを採用する位相量子ビットのカットアウト部分を伴う上面図を例証する。

【図3】図3は、本発明のある側面による図2の位相量子ビットのカットアウト部分を伴う断面図を例証する。

【図4】図4は、本発明のある側面による制御および読み出し回路によって生じる雑音への感受性を低減するように構成される位相量子ビットの上面図を例証する。

【図5】図5は、本発明のある側面による図4の伝送ラインの長さに沿って、かつその長さと整列されたRF電圧振幅および電流振幅のプロットである。

【図6】図6は、本発明のある側面による位相量子ビットを形成するための方法の実施例を例証する。

【発明を実施するための形態】

【0008】

ジョセフソン接合に結合された分散要素を含む超電導体位相量子ビットが提供される。分散要素は、分路キャパシタおよび分路インダクタに取って代わることができる。位相量子ビットは、ジョセフソン接合を縮小し、接合の内部キャパシタンスを低減させる技法を採用することができるが、外部分路キャパシタを追加するのではなく、伝送ライン共振器等の分散要素が、位相量子ビットの必要キャパシタンスを提供するために採用される。伝送ラインの長さは、回路を完成するために必要とされる、消失容量成分および分路誘導成分の両方を供給する。分路インピーダンスは、分散要素に結合され、同調性の向上を提供すること、および/または位相量子ビットの品質係数(Q)を増加させることができる。

10

20

30

40

50

位相量子ビットの品質係数 (Q) の実用的定義は、共振器の中心周波数によって除算される、共振器の帯域幅として定義される。位相量子ビットの品質係数 (Q) の教科書的定義は、2 倍 (1 サイクルにおけるエネルギー損失によって除算される、共振器内に貯蔵されたエネルギー) として定義される。両定義が、本発明の側面に適用される。

【0009】

図1は、本発明のある側面による、超電導体量子回路10の概略図を例証する。超電導体量子回路10は、ジョセフソン接合12と並列に結合されるか、またはそれによって分路される分散要素14から形成される超電導位相量子ビット11を含む。ジョセフソン接合12は、ジョセフソン接合12の内部キャパシタンスを最小限にするように、サイズ減少されることができる。分散要素14は、共平面導波路、スロットライン導波路、ストリップライン導波路、マイクロストリップ導波路、あるいは他の種類の伝送ライン幾何学形状または複合分散フィルタ等の伝送ラインであることができる。位相量子ビット11はまた、分散要素14に結合され、それと並列である、分路インピーダンス Z_s 16を含むことができる。本発明の一側面では、 Z_s は、短絡回路である。しかしながら、 Z_s は、開回路、インダクタ、キャパシタ、ジョセフソン接合、伝送ライン、またはそれらの組み合わせを含む、任意のリアクタンス性ネットワークであり得る。

10

【0010】

分路インピーダンスは、位相量子ビットの同調性および/または品質係数 (Q) を増加させる。例えば、分路インピーダンスとしてのキャパシタの使用は、同調性を増加させるが、位相量子ビットのQを低下させる。分路インピーダンスとしてのインダクタの使用は、同調性を低下させるが、Qを増加させる一方、(例えば、異なる)別の伝送ラインの使用は、同調性を増加させ、かつ位相量子ビットのQを増加させる。

20

【0011】

超電導体量子回路10はまた、分散要素14に磁氣的に結合される、制御回路18を含む。制御回路18は、バイアス電流を位相量子ビット11に印加し、位相量子ビット11の周波数を同調し、その状態に設定する。超電導体量子回路10はまた、分散要素14に磁氣的に結合される読み出し回路20を含む。読み出し回路20は、位相量子ビット11の磁束状態を読み出し、位相量子ビット11が、光子を含むかどうか決定する。

【0012】

図2は、本発明のある側面による、ジョセフソン接合32に結合された伝送ライン34を採用する位相量子ビット30のカットアウト部分40を伴う上面図を例証する。カットアウト部分は、伝送ライン34の長さが、実質的に、伝送ライン34の幅より大きいことを例証するために採用され、さらに、伝送ライン34の第1の端部42および伝送ライン34の第2の端部44の図を提供する。例えば、伝送ラインの長さは、約5000ミクロン長であることができる一方、伝送ラインの幅は、約20ミクロン幅であることができる。伝送ライン34は、開路部分38を伴う、単一金属層を使用して、加工され、導波路34を形成することができる、共平面導波路34である。共平面導波路は、外部磁場への結合に対して感受性を低くする磁場勾配計構成である。他の伝送ライン幾何学形状も、位相量子ビット30を形成するために採用することができることを理解されたい。伝送ライン34は、ジョセフソン接合32を分路する第1の端部42と、分路インピーダンスを提供するように短絡される第2の端部44とを伴う共振器を形成するために使用される。

30

40

【0013】

ジョセフソン接合32は、第1の層上に形成することができ、伝送ライン34は、第2の層上に形成される。中間層を通して延在する接点36は、伝送ライン35を介してジョセフソン接合32に結合し、および伝送ライン34の第1の端部42に結合する。第2の層が、第1の層の上に重層するか、または第1の層が、第2の層の上に重層することができる。ジョセフソン接合が2つの超電導体層間に挟まれた誘電層から形成されるので、第1の層は、複数の層から形成されることができる。

【0014】

図3は、本発明のある側面による、図2の位相量子ビット30のカットアウト部分50

50

を伴う断面図を例証する。位相量子ビット30は、基板層52を覆って形成される。中間層54は、基板層52に重層する。ジョセフソン接合32は、中間層54内に存在し、2つの超電導層間に挟まれた誘電層から形成される。伝導ライン35は、ジョセフソン接合32から接点36まで延在し、接点36は、中間層54を通して、伝送ライン34を含む上層56まで延在する。種々の処理技法が、位相量子ビット30を形成するために採用され得る。

【0015】

例えば、薄い誘電層で分離された2つの超電導金属層から成る金属-絶縁体-金属3層が、基板を覆って堆積され、半分エッチングされ、ジョセフソン接合32を画定することができる。異なるマスクを採用して、3層をエッチングし、伝導ライン35を画定することができ、絶縁層が、構造を覆って堆積され、中間層54を形成することができる。中間層54は、接点36およびジョセフソン接合32の上面を形成するようにエッチングされることができる。金属層56は、中間層54を覆って堆積され、接点36に結合された伝送ライン34の第1の端部を伴って、伝送ライン34を形成するようにエッチングされることができる。

10

【0016】

図4は、本発明のある側面による、制御および読み出し回路によって生じる雑音に対して、感受性を低減させるように構成される、位相量子ビット70の上面図を例証する。図4の位相量子ビット70は、図2の位相量子ビット30と類似するレイアウトを有し、共平面導波路の形態の開路部分76を伴う伝送ライン74は、ジョセフソン接合72を分路する第1の端部78と、短絡される第2の端部80とを伴う共振器を形成するために使用される。図5は、伝送ライン74の長さに沿って、かつその長さと整列された、RF電圧振幅94および電流振幅92のプロット90である。第2の端部80は、短絡であるため、その最大限における電流を伴う電圧ノードである。ジョセフソン接合72を分路する第1の端部78は、ほとんど、電圧ノードであって、電流は、その最大値の約85%まで上昇する。伝送ライン74の中央に向かって、第1の端部78から約40%には、ゼロRF電流場所86(破線96参照)における電流ノードが存在し、そこでは、RF電流、ひいては、RF磁場は、ゼロまで降下する。読み出し回路84および制御回路82は、DC磁場を生成および測定するように設計される。読み出し回路84および制御回路82をゼロRF電流場所86において誘導結合することによって、読み出し回路84および制御回路82は、RF場に弱くのみ結合され、したがって、共振器のQに負荷をかけない。加えて、読み出し回路84および制御回路82内のいかなるRF雑音も、量子ビットにデコヒーレンスを生じさせることができないう。

20

30

【0017】

共振周波数は、図4の位相量子ビット内に印加された磁束に伴って、よりゆっくりと変動することを理解されたい。これは、量子ビットが、同調可能性が低くなり得ることを意味するという点において、不利点であるが、量子ビットが、デコヒーレンスを生じさせる低周波数雑音結合に対して感受性が低くなるという点においては、利点である。

【0018】

前述の構造および機能特徴に照らして、本発明の種々の側面による方法論は、図6を参照して、より理解されるであろう。説明の簡潔性の目的のために、図6の方法論は、連続的に実行されるように図示および説明されるが、いくつかの側面は、本発明に従って、異なる順序において、および/または本明細書に図示および説明される他の側面と並行して、生じ得るため、本発明は、例証される順序によって限定されるものではないことを理解されたい。さらに、例証される特徴すべてが、本発明のある側面による方法論を実装するために必要とされ得るわけではない。

40

【0019】

図6は、本発明のある側面による、位相量子ビットを形成するための方法100の実施例を例証する。102では、伝導ラインに結合されるジョセフソン接合が、基板層を覆って形成される。104では、中間層が、ジョセフソン接合および伝導ラインを覆って形成

50

される。中間層は、誘電層であることができる。106では、接点は、中間層を通して、伝導ラインへと形成され、ジョセフソン接合から中間層の上面への接点を提供する。108では、分散要素が、中間層に重層する第2の層上に形成され、分散要素の第1の端部は、接点によってジョセフソン接合に結合される。110では、分路インピーダンスが、分散要素の第2の端部に連結される。分路インピーダンスは、短絡回路、開回路、インダクタ、キャパシタ、ジョセフソン接合、伝送ライン、またはそれらの組み合わせを含む、任意のリアクタンス性ネットワークであることができる。

【0020】

前述は、本発明の実施例である。当然ながら、本発明を説明する目的のために、成分または方法論のあらゆる想定可能な組み合わせを説明することは不可能であるが、当業者は、多くのさらなる組み合わせおよび本発明の順列が可能であることを認識するであろう。故に、本発明は、添付の請求項を含む、本願の範囲内にある、すべてのそのような変更、修正、および変形例を包含するものと意図される。

【図1】

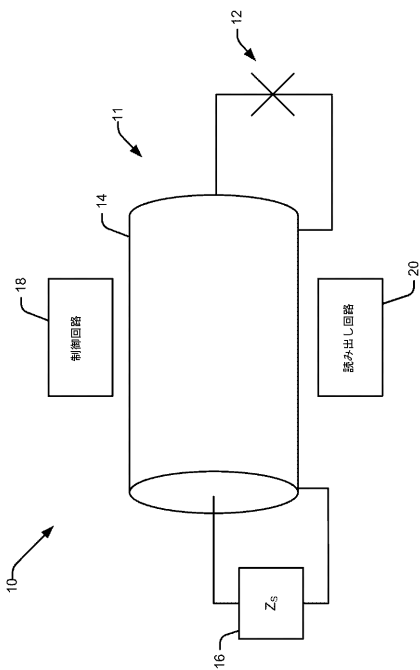


FIG. 1

【図2】

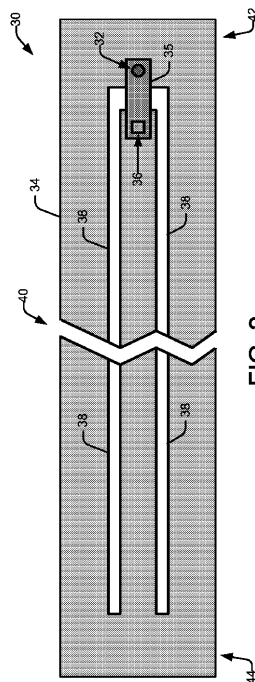


FIG. 2

【 図 3 】

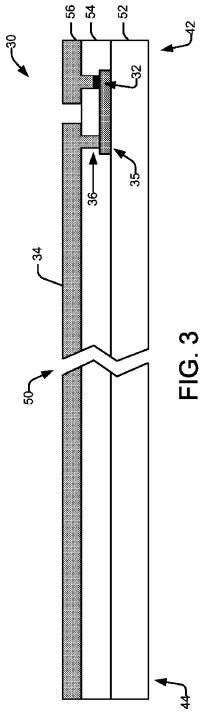


FIG. 3

【 図 4 】

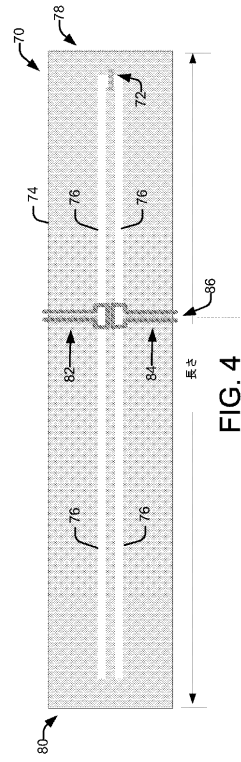


FIG. 4

【 図 5 】

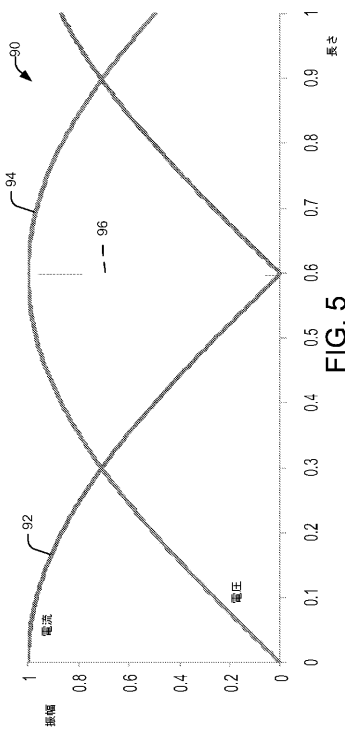


FIG. 5

【 図 6 】

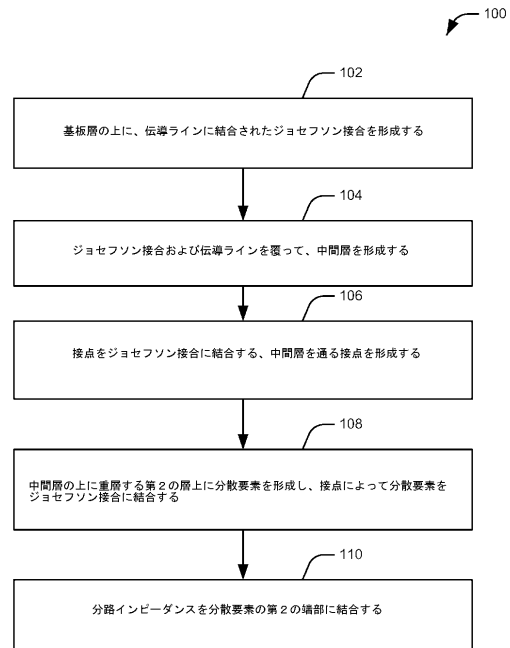


FIG. 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 11/30304															
A. CLASSIFICATION OF SUBJECT MATTER IPC(B) - H01L 29/06 (2011.01) USPC - 257/31 According to International Patent Classification (IPC) or to both national classification and IPC																	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC(B): H01L 29/06 (2011.01) USPC: 257/31 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched 257/34, 9,31,663,200 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PubWEST (PGPB, USPT, USOCR, EPAB, JPAB); Google Patents; Google Scholar Search Terms: quantum, bit, qubit, josephson, phase, node, junction, capacitance, inductance, distribution, transmission, waveguide, shunt, open, short, circuit, current, radio, frequency, rf																	
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>(SILLANPAA et al.) "Coherent quantum state storage and transfer between two phase qubits via a resonance cavity" Nature 449, 27 December 2007 (27.12.2007) pg 438-442 [retrieved on 18 May 2011] Retrieved from <URL: arxiv.org/PS_cache/arxiv/pdf/0709/0709.2341v1.pdf> pg 2, para 2; pg 3, para 2, 3; pg 14, para 1</td> <td>1-3, 8, 16, 19 ----- 4-7, 9-15, 17, 18, 20</td> </tr> <tr> <td>Y</td> <td>US 2004/0173793 A1 (BLAIS et al.) 09 September 2004 (09.09.2004) para [0068], [0078]</td> <td>4-7, 10-15, 17, 18</td> </tr> <tr> <td>Y</td> <td>US 2002/0188578 A1 (AMIN et al.) 12 December 2002 (12.12.2002) para [0060], [0061]</td> <td>9, 15, 20</td> </tr> <tr> <td>A</td> <td>US 2009/0289638 A1 (FARINELLI et al.) 26 November 2009 (26.11.2009) para [0039]</td> <td>1, 10, 16</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	(SILLANPAA et al.) "Coherent quantum state storage and transfer between two phase qubits via a resonance cavity" Nature 449, 27 December 2007 (27.12.2007) pg 438-442 [retrieved on 18 May 2011] Retrieved from <URL: arxiv.org/PS_cache/arxiv/pdf/0709/0709.2341v1.pdf> pg 2, para 2; pg 3, para 2, 3; pg 14, para 1	1-3, 8, 16, 19 ----- 4-7, 9-15, 17, 18, 20	Y	US 2004/0173793 A1 (BLAIS et al.) 09 September 2004 (09.09.2004) para [0068], [0078]	4-7, 10-15, 17, 18	Y	US 2002/0188578 A1 (AMIN et al.) 12 December 2002 (12.12.2002) para [0060], [0061]	9, 15, 20	A	US 2009/0289638 A1 (FARINELLI et al.) 26 November 2009 (26.11.2009) para [0039]	1, 10, 16
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	(SILLANPAA et al.) "Coherent quantum state storage and transfer between two phase qubits via a resonance cavity" Nature 449, 27 December 2007 (27.12.2007) pg 438-442 [retrieved on 18 May 2011] Retrieved from <URL: arxiv.org/PS_cache/arxiv/pdf/0709/0709.2341v1.pdf> pg 2, para 2; pg 3, para 2, 3; pg 14, para 1	1-3, 8, 16, 19 ----- 4-7, 9-15, 17, 18, 20															
Y	US 2004/0173793 A1 (BLAIS et al.) 09 September 2004 (09.09.2004) para [0068], [0078]	4-7, 10-15, 17, 18															
Y	US 2002/0188578 A1 (AMIN et al.) 12 December 2002 (12.12.2002) para [0060], [0061]	9, 15, 20															
A	US 2009/0289638 A1 (FARINELLI et al.) 26 November 2009 (26.11.2009) para [0039]	1, 10, 16															
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>																	
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																	
Date of the actual completion of the international search 18 May 2011 (18.05.2011)		Date of mailing of the international search report 07 JUN 2011															
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSF: 571-272-7774															

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 パウムガードナー, ジェイムス イー.

アメリカ合衆国 メリーランド 21113, オデントン, タクサス ドライブ 908,
アパートメント 302

(72)発明者 ルウイス, ルパート エム.

アメリカ合衆国 メリーランド 20723, ローレル, ウッドソング コート 9412

Fターム(参考) 4M113 AA08 AA18 AA23 AC03 AC45 AD51