



(51)4 G 06 F 7/68

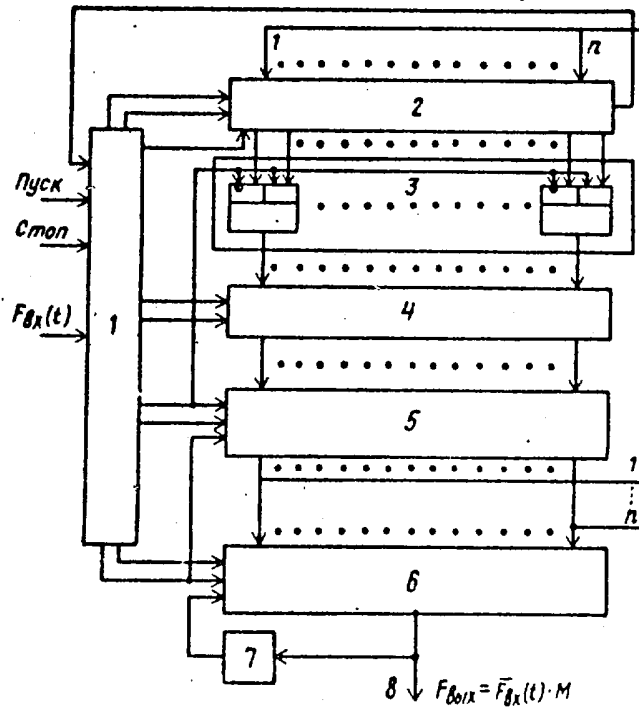
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4011316/24-24
(22) 10.01.86
(46) 23.08.87. Бюл. № 31
(71) Пензенский политехнический институт
(72) В.Н.Попов
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 540381, кл. Н 03 К 23/00, 1975.
Авторское свидетельство СССР
№ 788363, кл. Н 03 К 5/01, 1978.

(54) УМНОЖИТЕЛЬ ЧАСТОТЫ
(57) Изобретение относится к вычислительной технике и может быть использовано при построении быстро-

действующих устройств аналого-цифрового преобразования частоты в код. Цель изобретения - повышение помехозащищенности умножителя. Предлагаемый умножитель содержит блок 1 управления, счетчик 2, узел 3 переписи, регистр 4, сумматор 5, счетчик 6, элемент 7 задержки и выход 8 с соответствующими связями. Устройство осуществляет перемножение входной частоты на коэффициент, причем решение задачи подавления помех производится путем статической обработки в реальном масштабе времени текущих отсчетов - кодовых эквивалентов периодов преобразуемого сигнала. 2 ил.



Фиг. 1

(19) **SU** (11) **1332316** **A1**

Изобретение относится к вычислительной технике и может быть использовано при построении быстродействующих устройств аналого-цифрового преобразования частоты в код.

Цель изобретения - повышение помехозащищенности умножителя.

На фиг. 1 представлена функциональная схема умножителя частоты; на фиг. 2 - функциональная схема блока управления.

Умножитель частоты содержит блок 1 управления, первый счетчик 2, узел 3 переписи, регистр 4, сумматор 5, второй счетчик 6, элемент 7 задержки и выход 8, причем первый вход блока 1 управления соединен с информационным входом умножителя, второй вход блока 1 управления соединен с выходом переполнения первого счетчика 2, шина "Пуск" умножителя соединена с третьим входом блока 1 управления, четвертый вход которого соединен с шиной "Стоп" умножителя, первый выход блока 1 управления соединен с входом установки первого счетчика 2 в единичное состояние, второй выход блока 1 управления соединен с синхровходом регистра 4, разрядные выходы которого соединены соответственно с информационными входами сумматора 5, инверсные выходы которого соединены соответственно с установочными входами первого и второго счетчиков 2 и 6, третий выход блока 1 управления соединен с входом разрешения записи первого счетчика 2, вход записи "1" в младший разряд которого соединен с четвертым выходом блока 1 управления, пятый выход которого соединен с входом разрешения записи регистра 4, шестой выход блока 1 управления соединен с управляющим входом узла 3 переписи и с входом записи информации в знаковый разряд сумматора 5, вход разрешения записи которого соединен с седьмым выходом блока 1 управления, а входы сброса сумматора 5 и второго счетчика 6 соединены с восьмым выходом блока 1 управления, девятый выход которого соединен со счетным входом второго счетчика 6, выход переполнения которого соединен с выходом 8 умножителя и через элемент 7 задержки - с собственным входом разрешения записи, прямые разрядные выходы первого счетчика 2 соединены соответственно с входами первой группы узла 3 переписи, инверсные

разрядные выходы первого счетчика 2 соединены соответственно с входами второй группы узла 3 переписи, выходы которого соединены соответственно с информационными входами регистра 4.

Блок 1 управления умножителя частоты содержит первый триггер 9, первый элемент ИЛИ 10, первый элемент И 11, первый элемент 12 задержки, второй элемент И 13, второй триггер 14, третий элемент И 15, генератор 16 тактовых импульсов, элемент НЕ 17, четвертый элемент И 18, первый и второй регистры 19 и 20 сдвига, счетчик 21, постоянный запоминающий узел (ПЗУ) 22, группу элементов И 23, второй элемент ИЛИ 24, второй элемент 25 задержки, третий элемент ИЛИ 26, третий триггер 27, делитель 28 частоты и четвертый и пятый элементы ИЛИ 29 и 30, причем первый вход блока 1 управления соединен с первым входом первого элемента И 11, второй вход которого соединен с выходом первого триггера 9, а выход первого элемента И 11 соединен с первым входом второго элемента И 13 и через первый элемент 12 задержки с входом установки в "1" второго триггера 14, выход которого соединен с вторым входом второго элемента И 13 и первыми входами третьего и четвертого элементов И 15 и 18, вторые входы которых соединены с входом элемента НЕ 17 и с выходом генератора 16 тактовых импульсов, второй вход блока 1 управления соединен с первым входом четвертого элементом ИЛИ 29 и с входом установки в "1" третьего триггера 27, вход установки в "0" которого соединен с выходом пятого элемента ИЛИ 30, первый вход пятого элемента ИЛИ 30 соединен с входами установки в "0" счетчика 21, первого и второго регистров 19 и 20 сдвига и второго триггера 14, входом установки в "1" первого триггера 9, третьим входом блока 1 управления и первым входом первого элемента ИЛИ 10, выход которого соединен с первым выходом блока 1 управления, второй выход которого соединен с выходом второго элемента 25 задержки, выход второго элемента И 13 соединен с входом синхронизации первого регистра 19 сдвига, выход третьего элемента И 15 соединен с управляющим входом первого регистра 19 сдвига, первый выход которого соединен с третьим выходом

блока 1 управления, второй вход первого элемента ИЛИ 10 соединен с вторым выходом первого регистра 19 сдвига, третий выход которого соединен со счетным входом счетчика 21 и входом синхронизации второго регистра 20 сдвига, управляющий вход которого соединен с выходом элемента НЕ 17, выход четвертого элемента И 18 соединен с входом делителя 28 частоты, выход которого соединен с вторым входом четвертого элемента ИЛИ 29, выход которого соединен с четвертым выходом блока 1 управления, n разрядных выходов второго регистра 20 сдвига соединены с входами второго элемента ИЛИ 24 и с первыми входами элементов И 23 группы, вторые входы которых соединены соответственно с n-выми разрядами ПЗУ 22, адресные входы которого соединены соответственно с разрядными выходами счетчика 21, (n+1)-й разрядный выход второго регистра 20 сдвига соединен с вторым входом пятого элемента ИЛИ 30 и с пятым выходом блока 1 управления, шестой выход которого соединен с выходом третьего триггера 27, выходы элементов И 23 группы соединены с входами третьего элемента ИЛИ 26, выход которого соединен с седьмым выходом блока 1 управления, восьмой выход которого соединен с входом установки в "1" первого триггера 9, вход установки в "0" которого соединен с четвертым входом блока 1 управления, девятый выход которого соединен с выходом генератора 16 тактовых импульсов, выход второго элемента ИЛИ 24 соединен с входом второго элемента 25 задержки.

Эффективное помехоподавление достигается на основе методов сужения полосы пропускания - усреднения сигналов, интегрирования, аperiodического усреднения. При этом конкретное содержание преобразования зависит от оператора $W(p)$, определяющего форму связи выходного и входного сигналов. С точки зрения помехоустойчивости наиболее целесообразно возложить на данный оператор функцию скользящего интегрирования входного сигнала, когда сигналы на входе и выходе связаны соотношением

$$y(t) = \frac{1}{T_u} \int_{t-t_u}^{t+j} x(\tau) d\tau, \quad (1)$$

где T_u - интервал интегрирования.

Взаимосвязи выходной и входной величин в данном случае соответствует передаточная функция

$$W(p) = \frac{1 - e^{-pT_u}}{pT_u}. \quad (2)$$

Подставляя в выражение $p = j\omega$, получаем амплитудно-фазовую характеристику

$$W(j\omega) = \frac{1 - e^{-j\omega T_u}}{j\omega T_u}. \quad (3)$$

Из (3), воспользовавшись формулой Эйлера, находим амплитудно-частотную характеристику (АЧХ)

$$|W(j\omega)| = \frac{|\sin 0,5\omega T_u|}{0,5\omega T_u}. \quad (4)$$

Таким образом, как показывает анализ выражения для АЧХ, в том случае, когда период исходного сигнала $x(t)$ кратен интервалу T_u , преобразователь не воспринимает переменной составляющей $x(t)$. Это определяет присущее интегрирующим преобразователям свойство подавления периодических помех и снижение уровня высокочастотных помех.

Таким образом, решение задачи подавления помех, обуславливающих флуктуацию фронтов импульсных сигналов, производится путем статистической обработки в реальном масштабе времени текущих отсчетов - кодовых эквивалентов N_{T_x} периодов преобразуемого сигнала.

В предлагаемом устройстве усреднение текущих отсчетов кодовых эквивалентов N_{T_x} выполняется путем реализации выражения

$$\bar{N}_{T_x}[K] = \bar{N}_{T_x}[K-1] + \text{sign}j[K](N_{T_x}[K] - \bar{N}_{T_x}[K-1]), \quad (5)$$

где $\bar{N}_{T_x}[K]$ и $\bar{N}_{T_x}[K-1]$ - текущие средние соответственно на K-м и (K-1)-м шагах обработки;
 $j[K]$ - шаг алгоритма;
 $N_{T_x}[K]$ - кодовый эквивалент K-го периода;

$$\text{sign} = \begin{cases} +1, & \text{если } (N_{T_x}[K] - \bar{N}_{T_x}[K-1]) > 0; \\ -1, & \text{если } (N_{T_x}[K] - \bar{N}_{T_x}[K-1]) < 0. \end{cases}$$

Если шаг алгоритма изменяется по закону

$$j[K] = 1/K, \quad K = 1, 2, 3, \dots, \quad (6)$$

то шаг является оптимальным, так как оценка текущего среднего совпадает с оценкой, определяемой в виде

$$\bar{N}[K] = \frac{1}{K} \sum_{j=1}^K N_j.$$

Данный алгоритм известен как дискретный аналог интегратора.

Если $j[K]$ в выражении (5) принимает постоянные значения, начиная с r -го отсчета, то выходной сигнал связан с входным сигналом соотношением (1). При этом АЧХ данного звена определяется как (4), что определяет помехоустойчивые свойства алгоритма (5).

Умножитель частоты работает следующим образом.

В начальный момент времени сигналом "Пуск" обеспечивается установка в исходное состояние триггеров 9, 14 и 27, счетчика 21, регистров 19 и 20 сдвига блока 1 управления. Данный сигнал сбрасывает в нулевое состояние также сумматор 5 и второй счетчик 6. Триггер 9 блока 1 управления устанавливается в единичное состояние. Затем сигнал проходит через элемент ИЛИ 10 блока 1 управления и поступает на вход установки счетчика 2 в единичное состояние.

Импульс входной последовательности $F_{вх}$, поступающая на первый вход блока 1 управления, проходит через открытый элемент И 11 и через элемент 12 задержки поступает на S-вход триггера 14, который открывает элемент И 15. Так реализуется начальная синхронизация работы устройства с входной последовательностью. Каждый импульс входной последовательности, начиная с второго, через открытый элемент И 13 обеспечивает запись "1" в младший разряд регистра 19 сдвига. Импульсы с выхода генератора 16 импульсов (опорной частоты) через элемент И 15, после того как триггер 14 установится в единичное состояние, начинают поступать на управляющий вход регистра 19 сдвига. При этом единица начинает последовательно продвигаться импульсами опорной частоты по разрядам регистра 19 сдвига, что обеспечивает формирование на его выходах последовательности сигналов управления. Сигнал с первого выхода регистра 19 сдвига, поступающий на третий выход блока 1 управления, обеспечивает перепись содер-

жимого счетчика 2 в регистр 4 (сдвига). Второй импульс управления с первого выхода блока 1 управления обеспечивает через элемент ИЛИ 10 установку в единичное состояние счетчика 2. Третий импульс управления обеспечивает запись "1" в младший разряд регистра 20 сдвига (по входу синхронизации) и увеличивает содержимое счетчика 21 (импульсов) на единицу. Счетчик 21 выполняет функцию счетчика числа отсчетов, выходы которого подключены к адресным входам ПЗУ 22, где хранятся значения шага алгоритма $j[K]$, представленные двоичными кодами. Для первого отсчета, что следует из (6), $j[1]=1$, для второго отсчета $j[2]=0,5$; для третьего $j[3]=0,333$ и т.д. Каждый из $j[K]$, $K=(1,m)$, аппроксимируется двоичным рядом, т.е. представляется в виде суммы нормирующих множителей, кратных степеням двойки

$$j[K] = \sum_{i=1}^m 2^{-(j-1)} a_i,$$

где a_j - коэффициент участия j -й двоичной дискреты в формировании заданного значения $j[K]$.

Таким образом, каждый отсчет определяет соответствующую комбинацию единиц и нулевой на выходе ПЗУ 22. При этом единичные выходы открывают соответствующие элементы группы элементов И 23₁-23_n. Единица, записанная в младший разряд регистра 20 сдвига, начинает последовательно продвигаться по всем разрядам (число которых на один больше числа разрядных выходов ПЗУ 22) импульсами опорного генератора, поступающими на управляющий вход через элемент НЕ 17, что обеспечивает исключение сбоев по фронтам импульсов при работе обоих регистров сдвига. Каждый из импульсов, появившихся на выходе регистра 20 сдвига, поступает на второй вход соответствующего элемента И 23₁-23_n и одновременно через многоходовой элемент ИЛИ 24 на вход элемента 25 задержки. В том случае, если i -й элемент И 23_i открыт по первому входу, то импульс с соответствующего выхода регистра 20 сдвига проходит через элемент ИЛИ 26 и поступает с седьмого выхода блока 1 управления на управляющий вход сумматора 5, обеспечивая подсуммирование к его содержимому текущее содер-

жимое регистра 4. Элемент 25 задержки обеспечивает задержку импульсов на время, достаточное для надежной переписи (подсуммирования) из регистра 4 в сумматор 5. Каждый импульс с выхода элемента 25 задержки (второй выход блока 1 управления) осуществляет сдвиг содержимого регистра 4 на один разряд вправо, что обеспечивает деление содержимого регистра 4 на коэффициенты $2^0, 2^1, 2^2, \dots, 2^n$. После того, как регистр 20 блока 1 управления сформирует n импульсов, к содержимому сумматора 5 добавляется содержимое регистра 4, умноженное на соответствующий шаг алгоритма. Процесс умножения на $j[K]$ состоит в последовательном сдвиге содержимого регистра 4 и выборе на подсуммирование в сумматор 5 каждого частного $(N_{T_i} - N_{T_{i-1}})^{2^{-j}}$, для которого $a_j = 1$. $(n+1)$ -й импульс регистра 20 блока управления обеспечивает установку в нулевое состояние триггера 27 и перепись содержимого сумматора 5 в счетчик 2 в обратном коде. В счетчике 2 реализуется операция $(N_{T_i} - N_{T_{i-1}})$ и определение знака данной разности. В течение интервала времени, равно- го текущему периоду входной последовательности, через открытый элемент ИЛИ 18, делитель 28 частоты и элемент ИЛИ 29 на счетный вход счетчика 2 поступают импульсы опорной частоты F_3 . Коэффициент деления делителя 28 импульсов равен коэффициенту M умножения устройства. Если имеет место случай $N_{T_i} = T_i \cdot F_3 < N_{T_{i-1}}$, то счетчик 2 не переполняется и триггер 27 блока 1 управления своего состояния не изменяет. Содержимое счетчика 2 (импульсов) при этом переписывается в регистр 4 через узел 3 переписи в обратном коде. В случае, если $N_{T_i} = T_i \cdot F_3 > N_{T_{i-1}}$, то к моменту окончания периода T_i счетчик 2 переполняется, и импульс, формирующийся на выходе его старшего разряда, поступает на второй вход блока 1 управления, устанавливает триггер 27 в противоположное состояние и, кроме того, проходит через элемент ИЛИ 29 и четвертый выход блока 1 управления на счетный вход счетчика 2. Это обеспечивает исключение погрешности, которая имеет место в случае использования обратного кода вместо дополнительного.

Таким образом, в момент окончания очередного периода T_x входного сигнала F_x , в счетчике 2 фиксируется модуль разности $|N_{T_x}[K] - N_{T_x}[K-1]|$, а знак разности определяется сигналом на выходе триггера 27. Затем содержимое счетчика 2 переписывается в регистр 4, где осуществляется умножение $|N_{T_x}[K] - N_{T_x}[K-1]|$ на соответствующее значение шага алгоритма $j[K]$. Результат выполнения данной операции суммируется с соответствующим знаком к содержимому сумматора 5.

Описанная последовательность операций, выполняемых в процессе работы устройства, обеспечивает вычисление текущего среднего кодового эквивалента периода входного сигнала в следующем виде:

$$\bar{N}_{T_x}[K] = \bar{N}_{T_x}[K-1] + j[K] \text{sign}(N_{T_x}[K] - \bar{N}_{T_x}[K-1]),$$

которое совпадает с выражением (5).

Затем усредненное значение кодового эквивалента \bar{N}_{T_x} периода входного сигнала подается в счетчик 6, где обеспечивается его преобразование. При этом на выходе умножителя частоты следования импульсов определяется в виде

$$F_{\text{вых}} = \frac{F_0}{\bar{N}_{T_x}} = \frac{F_0}{F_3 \bar{T}_{\delta x}} = \bar{F}_{\delta x} M,$$

где $\bar{T}_{\delta x}$ - усредненный период преобразуемого сигнала.

Таким образом, частота следования импульсов выходного сигнала в предлагаемом устройстве пропорциональна усредненному за заданный интервал времени значению частоты входного сигнала.

Если шаг алгоритма $j[K]$ после j -го отсчета (период входного сигнала $F_{\delta x}$) принять постоянным, то взаимосвязь входного и выходного сигналов определяется выражением (3). Следовательно, АЧХ предлагаемого устройства имеет нули в определенных точках оси частот, что и определяет способность предлагаемой структуры подавлять периодические помехи, характеризующиеся линейчатый спектром, а также снижение уровня высокочастотных помех в высокочастотной части спектра полезного сигнала.

Ф о р м у л а и з о б р е т е н и я

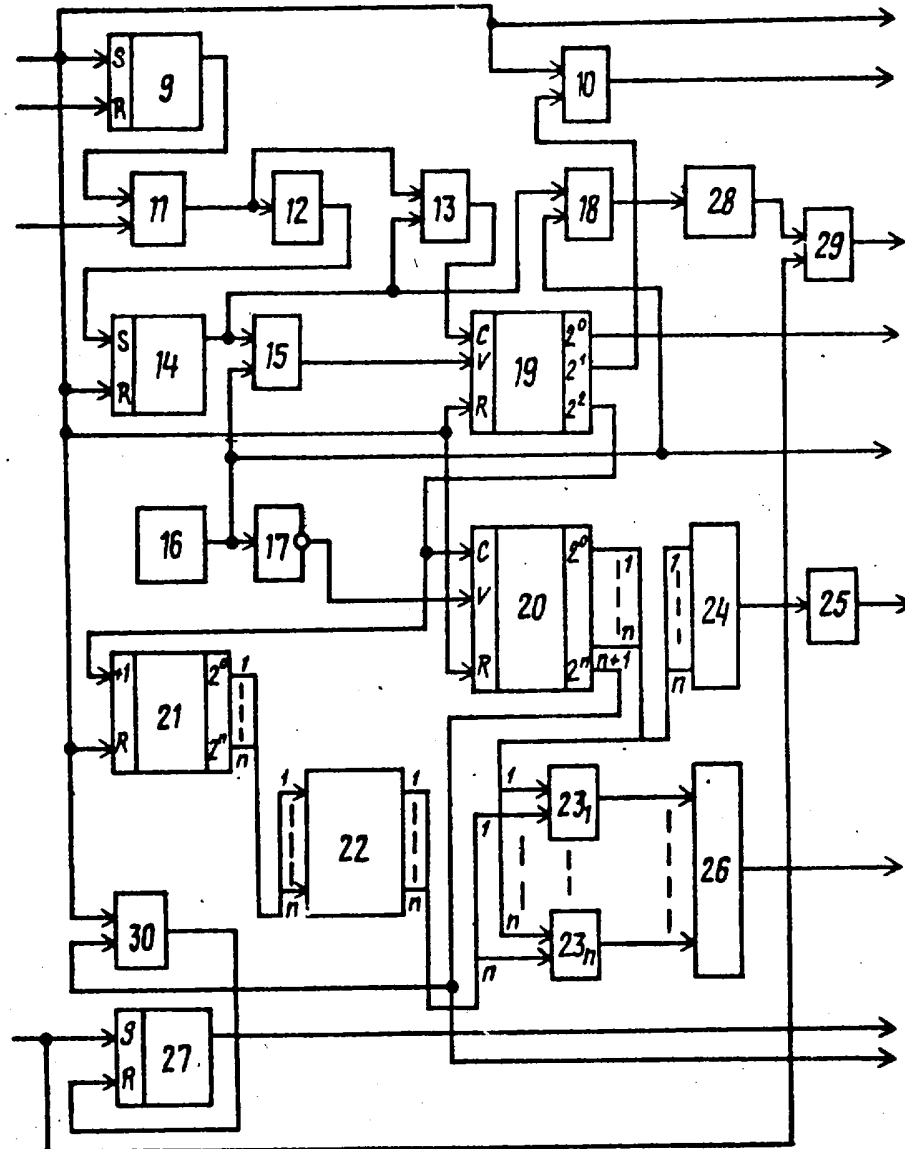
Умножитель частоты, содержащий первый и второй счетчики, узел пере-

писи, регистр, сумматор, элемент задержки и блок управления, первый вход которого соединен с информационным входом умножителя, первый вход блока управления соединен с входом установки первого счетчика в единичное состояние, второй выход блока управления соединен с синхровходом регистра, разрядные выходы которого соединены соответственно с информационными входами сумматора, отличающийся тем, что, с целью повышения помехозащищенности умножителя, прямые разрядные выходы первого счетчика соединены соответственно с входами первой группы узла переписи, инверсные разрядные выходы первого счетчика соединены соответственно с входами второй группы узла переписи, выходы которого соединены соответственно с информационными входами регистра, инверсные выходы сумматора соединены соответственно с установочными входами первого и второго счетчиков, выход переполнения второго счетчика соединен с выходом умножителя и с входом элемента задержки, выход которого соединен с входом разрешения записи второго счетчика, третий выход блока управления соединен с входом разрешения записи первого счетчика, вход записи единицы в младший разряд которого соединен с четвертым выходом блока управления, пятый выход которого соединен с входом разрешения записи регистра, шестой выход блока управления соединен с управляющим входом узла переписи и с входом записи информации в знаковых разрядах сумматора, вход разрешения записи которого соединен с седьмым выходом блока управления, а входы сброса сумматора и второго счетчика соединены с восьмым выходом блока управления, девятый выход которого соединен со счетным входом второго счетчика, выход переполнения первого счетчика соединен с вторым входом блока управления, третий вход которого соединен с шиной "Пуск" умножителя, шина "Стоп" которого соединена с четвертым входом блока управления, который содержит первый, второй и третий триггеры, первый, второй, третий, четвертый и пятый элементы ИЛИ, первый, второй, третий и четвертый элементы И, первый и второй элементы задержки, генератор тактовых импульсов, элемент НЕ, первый и второй ре-

гистры сдвига, счетчик, делитель частоты, постоянный запоминающий узел, группу элементов И, причем третий и четвертый входы блока управления соединены соответственно с входами установок в "1" и в "0" первого триггера, вход установки в "1" которого соединен с первым входом первого элемента ИЛИ, с восьмым выходом блока управления, с входами установок в нулевое состояние первого и второго регистров сдвига, входами установок в "0" второго триггера и счетчика, первым входом пятого элемента ИЛИ, выход которого соединен с входом установки в "0" третьего триггера, вход установки в "1" которого соединен с вторым входом блока управления, объединенным с первым входом четвертого элемента ИЛИ, выход которого соединен с четвертым выходом блока управления, второй вход четвертого элемента ИЛИ соединен с выходом делителя частоты, вход которого соединен с выходом четвертого элемента И, первый вход которого соединен с первыми входами второго и третьего элементов И и выходом второго триггера, вход установки в "1" которого соединен с выходом первого элемента задержки, вход которого соединен с вторым входом второго элемента И, выходом первого элемента И, первый вход которого соединен с выходом первого триггера, второй вход первого элемента И соединен с первым входом блока управления, первый выход которого соединен с выходом первого элемента ИЛИ, второй вход которого соединен с вторым выходом первого регистра сдвига, первый выход которого соединен с третьим выходом блока управления, третий выход первого регистра сдвига соединен со счетным входом счетчика и входом синхронизации второго регистра сдвига, вход синхронизации первого регистра сдвига соединен с выходом второго элемента И, управляющий вход первого регистра сдвига соединен с выходом третьего элемента И, второй вход которого соединен с вторым входом четвертого элемента И, девятым выходом блока управления, выходом генератора тактовых импульсов и входом элемента НЕ, выход которого соединен с управляющим входом второго регистра сдвига, выход старшего (n+1)-го разряда которого соединен с вторым вхо-

дом пятого элемента ИЛИ и с пятым выходом блока управления, n выходов соединены с первыми входами группы элементов И и с входами второго элемента ИЛИ, выход которого через второй элемент задержки соединен с вторым выходом блока управления, седьмой выход которого соединен с выходом третьего элемента ИЛИ, входы ко-

торого соединены с выходами группы элементов И, вторые входы которых соединены соответственно с информационными выходами постоянного запоминающего узла, адресные входы которого соединены с выходами счетчика, при этом выход третьего триггера связан с шестым выходом блока управления.



Фиг. 2

Составитель В. Гусев

Редактор Е. Папп

Техред И. Попович

Корректор М. Демчик

Заказ 3833/44

Тираж 672

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4