

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷



[12] 发明专利申请公开说明书

H01L 23/532

H01L 21/768

H01L 21/314

H01L 21/316

C23C 16/30

C23C 16/40

[21] 申请号 200510065786.6

[43] 公开日 2005 年 11 月 2 日

[11] 公开号 CN 1691323A

[22] 申请日 2005.4.15

[21] 申请号 200510065786.6

[30] 优先权

[32] 2004.4.19 [33] US [31] 10/827,693

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 劳伦斯·A·克莱温格

史蒂芬尼·R·奇拉斯

蒂莫西·多尔顿

詹姆斯·J·德马雷斯特

德瑞恩·N·邓恩

切斯特·T·德佐布克瓦斯克

菲利普·L·弗拉特兹

迈克尔·W·莱恩

詹姆斯·R·劳埃德

达里尔·D·拉斯坦诺

托马斯·M·肖 王允愈 杨智超

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

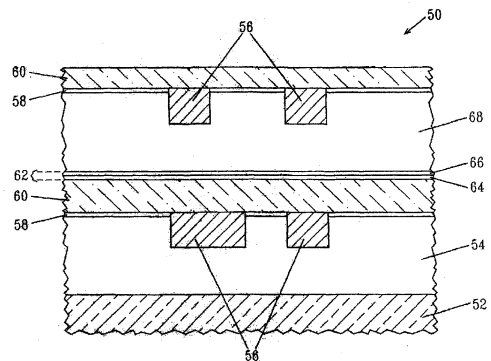
代理人 付建军

权利要求书 3 页 说明书 11 页 附图 2 页

[54] 发明名称 提高上层 CVD 低 K 电介质及其覆盖层间粘附力的结构

[57] 摘要

本发明提供了一种互连结构，在该互连结构中，在上层低 k 电介质材料和下伏扩散覆盖电介质层之间的粘附力通过在这两层电介质层之间结合粘附过渡层得以提高，上层低 k 电介质材料(介电常数低于 4.0)比如是包括 Si、C、O 和 H 元素的材料，扩散覆盖电介质层比如是包括 C、Si、N 和 H 元素的材料。在上层低 k 电介质和扩散阻挡覆盖电介质之间存在粘附过渡层能够降低该互连结构在封装处理期间分层的几率。本发明所提供的粘附过渡层包括下部含 SiO_x 或 SiON 区域和上部 C 递变区域。本发明还提供了形成这样的结构的方法，具体而言就是形成粘附过渡层的方法。



ISSN 1008-4274

1. 一种互连结构, 所述互连结构至少包括介电常数低于 4.0 的上低介电常数电介质材料和下伏扩散阻挡覆盖电介质, 其中在所述上低介电常数电介质材料和下伏扩散阻挡覆盖电介质之间设置有粘附过渡层, 所述粘附过渡层包括下部含 SiO_x 或 SiON 区域和上部 C 递变区域。
2. 根据权利要求 1 所述的互连结构, 其中所述粘附过渡层的上部 C 递变区域在接近所述下部含 SiO_x 或 SiON 区域处贫碳。
3. 根据权利要求 1 所述的互连结构, 其中所述扩散阻挡覆盖电介质位于一下层低介电常数电介质的顶上。
4. 根据权利要求 3 所述的互连结构, 其中所述下层低介电常数电介质包括金属布线区域。
5. 根据权利要求 4 所述的互连结构, 其中所述金属布线区域包括导电金属。
6. 根据权利要求 5 所述的互连结构, 其中所述导电金属是 Al、Cu、W 或它们的合金。
7. 根据权利要求 1 所述的互连结构, 其中所述上层低介电常数电介质包括金属布线区域。
8. 根据权利要求 7 所述的互连结构, 其中所述金属布线区域包括导电金属。
9. 根据权利要求 8 所述的互连结构, 其中所述导电金属是 Al、Cu、W 或它们的合金。
10. 根据权利要求 1 所述的互连结构, 其中所述下部含 SiO_x 或 SiON 区域的厚度从约 1nm 到约 20nm。
11. 根据权利要求 1 所述的互连结构, 其中所述上部 C 递变区域的厚度是从约 1nm 到约 50nm。
12. 根据权利要求 1 所述的互连结构, 其中所述上低介电常数电介质材料包括 Si、C、O 和 H 元素, 所述下伏扩散阻挡覆盖层包括 C、Si、H 和可选择的 N 元素。

13. 一种互连结构，所述互连结构至少包括有包含 Si、C、O 和 H 元素的上层低介电常数电介质材料和包含 C、Si、H 和 N 元素的下伏扩散阻挡覆盖电介质，其中在所述上层低介电常数电介质材料和下伏扩散阻挡覆盖电介质之间设置有粘附过渡层，所述粘附过渡层包括下部含 SiO_x 或 SiON 区域和上部 C 递变区域。

14. 一种形成互连结构的方法，包括：

在扩散阻挡覆盖电介质的表面上形成粘附过渡层，所述粘附过渡层包括下部含 SiO_x 或 SiON 区域和上部 C 递变区域；

在所述粘附过渡层顶上形成介电常数低于 4.0 的低介电常数电介质，其中所述低介电常数电介质的界面与所述粘附过渡层的上部 C 递变区域相接触。

15. 根据权利要求 14 所述的方法，其中所述形成粘附过渡层的步骤包括在形成所述低介电常数电介质材料的初始阶段期间对所述扩散阻挡覆盖电介质进行氩等离子体预处理步骤。

16. 根据权利要求 15 所述的方法，其中所述氩等离子体是从 Ar 气制备的，所述 Ar 气可以选择性地结合 N、He、Xe 或 Kr 使用。

17. 根据权利要求 15 所述的方法，其中所述氩等离子体预处理步骤在 0.05 毛到 20 毛的工作气压进行约 5 秒到约 60 秒。

18. 根据权利要求 15 所述的方法，其中所述氩等离子体是使用 RF 功率源产生的。

19. 根据权利要求 14 所述的方法，其中所述形成粘附过渡层的步骤包括对所述阻挡扩散覆盖电介质进行氧等离子体处理，所述氧等离子体处理将所述扩散阻挡覆盖电介质的上表面区域转变为含 SiO 层；然后在形成所述低介电常数电介质材料的初始阶段期间进行氩等离子体预处理过程。

20. 根据权利要求 19 所述的方法，其中所述氧等离子体是从氧气产生的，所述氧气可以选择性地与惰性气体混合。

21. 根据权利要求 19 所述的方法，其中所述氧等离子体处理步骤在 0.05 毛到 20 毛的工作气压进行约 5 秒到约 60 秒。

22. 根据权利要求 19 所述的方法，其中所述氧等离子体是使用 RF 功率源产生的。

23. 根据权利要求 19 所述的方法，其中所述氩等离子体是从 Ar 气制备的，所述 Ar 气可以选择性地结合 N、He、Xe 或 Kr 使用。

5 24. 根据权利要求 19 所述的方法，其中所述氩等离子体预处理步骤在 0.05 毛到 20 毛的工作气压进行约 5 秒到约 60 秒。

25. 根据权利要求 19 所述的方法，其中所述氩等离子体是使用 RF 功率源产生的。

10 26. 根据权利要求 14 所述的方法，其中所述形成粘附过渡层的步骤包括在所述扩散阻挡覆盖电介质上形成含 SiO 层；进行氧等离子体预处理过程来形成所述粘附过渡层的 C 递变区域。

27. 根据权利要求 26 所述的方法，其中所述含 SiO 层是通过热生长过程或通过淀积形成的。

15 28. 根据权利要求 26 所述的方法，其中所述氧等离子体是从氧气产生的，所述氧气可选择性地与惰性气体混合。

29. 根据权利要求 26 所述的方法，其中所述氧等离子体预处理步骤在 0.05 毛到 20 毛的工作气压进行约 5 秒到约 60 秒。

30. 根据权利要求 26 所述的方法，其中所述氧等离子体是使用 RF 功率源产生的。

20 31. 根据权利要求 14 所述的方法，其中所述上低介电常数电介质材料包括 Si、C、O 和 H 元素，所述下伏扩散阻挡覆盖层包括 C、Si、H 和可选择的 N 元素。

32. 一种形成互连结构的方法，包括：

25 在包括 C、Si、H 和 N 元素的扩散阻挡覆盖电介质的表面上形成粘附过渡层；所述粘附过渡层包括下部含 SiO_x 或 SiON 区域和上部 C 递变区域；以及

在所述粘附过渡层顶上形成包括 Si、C、O 和 H 元素的低介电常数电介质，其中所述低介电常数电介质的界面与所述粘附过渡层的上部 C 递变区域相接触。

提高上层 CVD 低 K 电介质及其 覆盖层间粘附力的结构

5

技术领域

本发明涉及半导体互连结构，更具体而言，本发明涉及这样的半导体互连结构，它包括在扩散阻挡覆盖电介质之上的上部低 k 电介质，上部低 k 电介质比如是掺杂碳的氧化物（即，包括 Si、C、O 和 H 的电介质，以下简称 SiCOH），扩散阻挡覆盖电介质比如是包括 C、Si、N 和 H 的扩散阻挡覆盖层（以下简称 CSiNH）。在本发明的互连结构中，上部低 k 电介质和扩散阻挡覆盖电介质之间的粘附力通过在两种电介质材料之间提供粘附过渡层而得到提高。本发明还提供了多种用于形成这样的互连结构的方法。

15

背景技术

近年来，在超大规模集成（ULSI）电路中使用的电子器件的尺寸持续不断地缩小已经导致线路后端（BEOL）金属化的电阻上升，而互连电容却没有随之降低。互连还常常被缩放至更高的纵横比以减缓电阻增加，这导致电容增加。该组合效应增加了 ULSI 电子器件中的信号延迟。为了提高未来的 ULSI 电路的开关性能，低介电常数（k）的电介质，尤其是 k 显著低于二氧化硅的电介质正被引入以降低电容。

已经考虑在 ULSI 器件中应用的低 k 材料包括含有 Si、C 和 O 的聚合物，比如硅氧甲烷、甲基倍半氧硅烷（methylsilsesquioxanes）以及其他由旋涂技术制备的有机和无机聚合物，或由等离子增强化学气相淀积（PECVD）技术淀积的含有 Si、C、O 和 H 的材料（SiCOH、SiOCH、碳掺杂氧化物（CDO）、硅-氧碳化物、有机硅玻璃（OSG））。

在集成电路（IC）的互连结构中结合低 k 电介质常常要求使用其他电介质材料作为扩散阻挡罩或蚀刻停止和化学机械抛光（CMP）硬

掩模。在 IC 器件复杂结构中，不同层之间的粘附力常常太低，导致在器件加工过程中出现分层，或由于通常的芯片封装材料所施加的热力学应力而导致可靠性下降。

图 1 示出了现有技术典型的互连结构 10，该互连结构 10 包括下层化学气相淀积 (CVD) 的低 k SiCOH 电介质 12 和上层 CVD 低 k SiCOH 电介质 20。电介质层 12 和 20 每个都包括在其中形成的金属布线区域 14。金属布线区域 14 上覆盖有扩散阻挡覆盖电介质 18，该扩散阻挡覆盖电介质 18 由含有 C、Si、N 和 H 的电介质 (即，CSiNH) 构成。

由于进行了 CSiNH 预清理处理 (包括 NH_3 预处理)，每个 SiCOH 表面都形成了 SiON 薄层 16。SiON 层 16 包括如下三个区域：接近 CSiNH 覆盖电介质 18 界面的富氮 SiON 上部区域；富氧 SiON 中部区域；以及贫 C 下部区域。贫碳区域连续地延伸到每个 SiCOH 电介质的上表面中。

在封装处理时，在 CSiNH 覆盖电介质 18 和上 SiCOH 电介质 20 之间通常会形成裂纹，这表明在 CSiNH 覆盖电介质 18 和上 SiCOH 电介质 20 之间的界面 19 不牢固。而且，由于应力，CSiNH 覆盖电介质 18 和上 SiCOH 电介质 20 可能在界面 19 出现分层。粘附力测试表明 CSiNH 覆盖电介质 18 和上层 SiCOH 电介质 20 之间的界面 19 的粘附系数差；同一测试还显示在下电介质 12 和 CSiNH 覆盖层 18 之间的粘附系数由于存在 SiON 层而得以提高。目前，在上层 SiCOH 电介质 20 和下伏 CSiNH 覆盖层 18 之间的粘附力是在 2 到 4 J/m^2 范围内，这低于 SiCOH 材料的内聚强度值 (6 J/m^2)。

鉴于图 1 所示的目前互连结构的上述问题，需要提供这样一种互连结构，即其中在上层低 k 电介质和下伏扩散阻挡覆盖电介质之间的粘附力得到提高。

发明内容

本发明提供了一种互连结构，其中在上层低 k 电介质材料和下伏

扩散覆盖电介质层之间的粘附力通过在这两层电介质层之间结合粘附过渡层得以提高，上层低 k 电介质材料（介电常数低于 4.0）包括 Si、C、O 和 H 元素，扩散覆盖电介质层比如是覆盖层，包括 C、Si、N 和 H 元素。扩散覆盖电介质层通常在互连布线层面顶部。在上层低 k 电介质和覆盖电介质层之间存在粘附过渡层可减少互连结构在封装处理期间发生分层的几率。

具体而言，从更广的角度来看，本发明涉及至少包括上部低 k 电介质材料和下伏扩散阻挡电介质层的互连结构，其中在上部低 k 电介质材料和下伏扩散阻挡覆盖电介质层之间设置有粘附过渡层，该粘附过渡层包括下部含 SiO_x 或 SiON 区域和上部 C 递变区域。在本发明的一些实施方案中，上部低 k 电介质材料是包括 Si、C、O 和 H 元素的材料，而扩散阻挡覆盖电介质包括 C、Si、H 和 N 元素。在其他实施方案中，N 在扩散阻挡覆盖电介质层中是可选的。

根据本发明，粘附过渡层的上部 C 递变区域在接近粘附过渡层的界面处（含 SiO_x 或 SiON 的区域）贫 C。因此，在上部 C 递变区域，C 的含量随着接近上部低 k 电介质材料而降低。即，在接近上部低 k 电介质之处，过渡层贫 C，因此使 Si-O 键的面密度最大化。

本发明还涉及形成本发明的互连结构的多种方法。在本发明的一个实施方案中，扩散阻挡覆盖电介质优选地包括 C、Si、N 和 H 元素，首先形成在下层低 k 电介质材料顶部，该低 k 电介质材料优选地包括 Si、C、O 和 H 元素。在形成扩散阻挡覆盖电介质之后，氩等离子体预处理被用来形成本发明的粘附过渡层，之后形成上层低 k 电介质材料。具体而言，氩预处理步骤发生在形成上层低 k 电介质材料的初始阶段期间。

在本发明另外的实施方案中，扩散阻挡覆盖电介质比如是包括 C、Si、N 和 H 元素的材料，首先在形成下层低 k 电介质材料顶部，该下层低 k 电介质材料比如是包括 Si、C、O 和 H 元素的材料。在形成扩散阻挡覆盖电介质之后，对扩散阻挡覆盖电介质进行氧等离子体处理，该处理将扩散阻挡覆盖电介质的上表面区域转化为含 SiO 层。

该含 SiO 层可以由 SiO_x 或 SiON 构成。接下来，氩等离子体预处理过程被用来形成粘附过渡层的 C 渐变区域，之后形成上层低 k 电介质材料。如在前一个实施方案中，氩预处理步骤发生在形成上层低 k 电介质材料的初始阶段期间。

- 5 在本发明的另一个实施方案中，扩散阻挡覆盖电介质比如是包括 C、Si、N 和 H 元素的材料，首先形成在下层低 k 电介质材料顶部，该下层低 k 电介质材料比如是包括 Si、C、O 和 H 元素的材料。在形成扩散阻挡覆盖电介质之后，在扩散阻挡覆盖电介质之上形成含 SiO 层。该含 SiO 层形成了本发明粘附过渡层的一部分。接下来，氧等离子体预处理过程用来形成粘附过渡层的 C 渐变区域，之后形成上层低 k 电介质材料。如在前一个实施方案中，氩预处理步骤发生在形成上层低 k 电介质材料的初始阶段期间。
- 10

附图说明

- 15 图 1 是现有技术的互连结构的图形化表示（横截面视图），其中在上部电介质层和下伏扩散阻挡盖层之间粘附力较差。

图 2 是本发明的互连结构的图形化表示（横截面视图）。

具体实施方式

- 20 如上所述，本发明在扩散阻挡层和介电常数低于 4.0 的层间电介质之间提供了粘附过渡层。总地说来，位于 Cu 电介质顶上的扩散阻挡层含有 N，最近含有 C。由于碳与其他元素形成的键合比较弱，所以在扩散阻挡层中引入碳可能导致粘附力不良。同样，在扩散阻挡层中引入 N，由于三价的 N 通常取代了二价的 O，所以将导致（例如比二氧化硅）更致密的薄膜。于是，就获得了比二氧化硅具有更好扩散阻挡性能的薄膜。该薄膜一般也具有更高的模量，并且由于它相对的情性而更难于改性。所以，本发明提供了一种创新的方法，它确保了在相对情性的扩散阻挡层和与扩散阻挡层相比更活泼的低 k 电介质之间具有好的粘附力（材料的电介质常数是对薄膜化学改性能力一种好
- 25

的度量，薄膜的 k 越低就越易于化学改性)。通过在整个粘附增强层中仔细控制 Si-O 键的比例可以确保有好的粘附力。其要求就是接近扩散阻挡层处 Si-O 键的比例应该最高。该层面的 Si-O 键密度可以保持相同，或可以随着递变的界面层接近低 k 电介质而减少，但是它必须仍然高于低 k 电介质中的 Si-O 键密度。具有该化学性质的界面过渡层提供了易于改性的薄膜，其在如前所述的递变层的初始淀积期间使用 Ar 等离子体时保证在扩散阻挡层和低 k 薄膜之间具有好的粘附力。

现在将对本发明进行更加详细地说明。在随后的讨论中，扩散阻挡层由 C、Si、N 和 H 组成，而低 k 电介质由 Si、C、O 和 H 组成。虽然对这些材料进行了说明和图示，但是只要低 k 电介质比扩散阻挡层更活泼，其他的扩散阻挡层和其他的低 k 电介质就可以使用。在所图示的实施方案中，提供了这样的粘附过渡层，它提高了包括 Si、C、O 和 H 元素的上层低 k 电介质材料对包括 C、Si、N 和 H 元素的扩散阻挡覆盖电介质的粘附力。本发明的这个实施方案描绘于图 2 中。

图 2 图示了本发明的互连结构 50。本发明的互连结构 50 包括下层低 k 电介质材料 54，该下层低 k 电介质材料 54 位于衬底 52 顶上并包括 Si、C、O 和 H 元素。衬底 52 可以是半导体衬底、电介质层、金属层或它们任意的组合。

下层低 k 电介质 54 包括一个或多个设置于其中的布线区域 56。布线区域 56 通常填充了比如 Al、Cu、W 或它们的合金的导电金属。扩散阻挡层 58 包括 SiO_2 或 SiON ，位于下层低 k 电介质 54 的不包括布线区域 56 的表面上。

本发明的互连结构 50 还包括扩散阻挡覆盖电介质 60，该扩散阻挡覆盖电介质 60 位于下层低 k 电介质 54 顶上，包括 C、Si、N 和 H 元素。创新的粘附过渡层 62 位于扩散阻挡覆盖电介质 60 顶上，包括下部含 SiO_x 或 SiON 区域 64 和上部 C 递变区域 66。上层低 k 电介质 68 包括 Si、C、O 和 H 元素，直接位于创新的粘附过渡层 62 之上。上层低 k 电介质 68 也包括一个或多个设置于其中的布线区域 56。在上层低 k 电介质 68 上是另一个扩散阻挡层 58 以及另一个扩散阻挡覆

盖电介质 60。

在本发明的互连结构 50 中，由于存在创新的粘附过渡层 62，在上层低 k 电介质 68 和下伏扩散阻挡覆盖电介质 60 之间的粘附力得到了提高。具体地，本发明所获得的提高的粘附力可以归功于在创新的粘附过渡层 62、上层低 k 电介质 68 和扩散阻挡覆盖电介质 60 之间不同的键合。具体而言，创新的粘附过渡层的上部 C 渐变区域 66 与上层低 k 电介质 68 相接触，提供了与上层低 k 电介质 68 强的键合，而下部含 SiO_x 或 SiON 区域 64 与下伏扩散阻挡覆盖电介质 60 相接触，提供了与扩散阻挡覆盖电介质强的键合。

根据本发明，当上部 C 渐变区域在与下部 SiO_x 或 SiON 区域 64 的界面处缺少 C 时甚至可以获得更大粘附力。

除本发明粘附过渡层 62 之外，图 2 所示的互连结构 50 可以由本领域普通技术人员公知的传统 BEOL 方法形成。例如，包括 Si、C、O 和 H 元素的下层低 k 电介质 54 是使用等离子增强化学气相淀积 (PECVD) 形成的，其中至少使用了一种含 SiCOH 的前体，例如：四甲基四乙烯基环四硅氧烷 (TMCTS)、八甲基四乙烯基环四硅氧烷 (OMCTS)、二乙氧基甲硅烷 (DEMS)、二乙基甲硅烷 (DEDMS) 以及其它相关环或非环硅烷和硅氧烷)。该含 SiCOH 的前体可以结合惰性气体 (比如，He 和 Ar) 和/或反应气体 (比如， H_2O 、 O_2 、 CO_2) 使用。

在本发明中，术语“低 k”被用来表示电介质的介电常数低于 4.0，优选地低于 3.7。

在形成下层低 k 电介质 54 时可以使用的淀积方法以及各种前体的细节例如描述于共同受让的美国专利第 No.6,147,009 号；第 6,312,793 号；第 6,441,491 号；第 6,437,443 号；第 6,441,491 号；第 6,541,398 号；第 6,479,110 号和第 6,497,693 号。前面所述的每一篇美国专利的内容以引用的方式结合与此。

包括 SiO_2 或 SiON 的扩散阻挡层 58 形成在下层低 k 电介质 54 顶上，使用的是传统的淀积方法，比如化学气相淀积、等离子增强化

学气相淀积、化学溶液淀积、原子层淀积以及其他类似的淀积方法。或者，扩散阻挡层 58 可以使用热氧化或热氮化方法形成。在另一个替代实施方案中，扩散阻挡层 58 是在形成布线区域之后、在淀积扩散阻挡覆盖电介质 60 之前的下层低 k 电介质 54 表面清理期间形成的。

5 然后，通过光刻方法和蚀刻形成至少一个布线区域 56，所述蚀刻形成了至少通过下层低 k 电介质 54 的靠上部分的开口（线路和通路）。在设置了开口之后，在开口中通常内衬扩散衬里材料（未示出），比如 TiN、Ta 和 TaN，并在开口中填充导电金属。导电金属然后被平坦化直至扩散阻挡层 58 的上表面或至下层低 k 电介质 54 的上表面。

10 如果扩散阻挡层 58 没有事先形成，那么本发明可以通过将下层低 k 电介质 54 的不含布线区域 56 的外露部分经受 NH_3 等离子体作用来形成扩散阻挡层 58。 NH_3 等离子体处理步骤形成了：靠近扩散阻挡覆盖电介质 60 界面的富氮 SiON 上部区域、富氧 SiON 中部区域以及贫碳下部区域。贫碳区域连续地延伸到下层低 k 电介质 54 的上表面区域中。

15 包括 C、Si、N 和 H 元素的扩散阻挡覆盖电介质 60 然后通过本领域普通技术人员公知的技术形成在经平坦化的结构的顶上。例如，扩散阻挡覆盖电介质 60 通常由 PECVD 形成，其中将至少一种含 SiCNH 的前体引入到含有经平坦化的结构的反应器中，然后前体气体被转化为用于淀积的等离子体。通常使用三甲基硅烷和氨气并添加氨气形成 SiCNH 薄膜，添加氨为薄膜提供了掺杂氮。

接下来，本发明粘附过渡层 62 形成在扩散阻挡覆盖电介质 60 上。在下文，将对有关在形成本发明粘附过渡层 62 时可以使用的各种方法的细节进行更加详细地说明。

25 在形成粘附过渡层 62 之后，包括 Si、C、O 和 H 元素以及布线区域 56 的上层低 k 电介质 68 然后将如下所讨论的那样形成。扩散阻挡层 58 可以在形成布线区域之前或之后在用于淀积扩散阻挡覆盖层 60 的预清理期间形成。

上述步骤可以反复多次以提供多层互连结构，其中本发明的粘附

过渡层 62 位于每个扩散阻挡覆盖电介质和其相应的上覆低 k 电介质之间。

本发明的粘附过渡层 62 包括下部含 SiO_x 或 SiON 区域 64 和上部 C 递变区域 66，它可以使用三种不同的实施方案形成。本发明的粘附过渡层 62 的总厚度一般从约 2nm 到约 70nm，总厚度更一般地从约 5nm 到约 30nm。

本发明粘附过渡层 62 的下部含 SiO_x 或 SiON 区域 64 的厚度一般从约 1nm 到约 20nm，厚度更一般地从约 2nm 到约 10nm。本发明创新的粘附过渡层 62 的上部 C 递变区域 66 的厚度一般从约 1nm 到约 50nm，厚度更一般地从约 5nm 到约 20nm。术语“C 递变区域”表明区域 64 包括变化的 C 含量，越接近下部含 SiO_x 或 SiON 区域 64 的界面，其 C 含量越低。在本发明优选的实施方案中，在接近下部含 SiO_x 或 SiON 区域 64 的界面处或附近贫 C，而经由递变区域，其 C 含量增加到 SiCOH 上部低 k 电介质层 68 中的 C 含量。

在本发明的一个实施方案中，粘附过渡层 62 是通过在上覆的上层低 k 电介质 68 初始淀积期间进行 Ar 等离子体预处理形成的。具体地讲，在形成扩散阻挡覆盖电介质 60 之后，在淀积上层低 k 电介质 68 的初始阶段期间进行 Ar 等离子体表面预处理。在 Ar 预处理时，Ar 气被导入到能够产生等离子体的反应器中，此后被转变为等离子体。Ar 气可以单独使用或结合惰性气体（比如，N、He、Xe 或 Kr）使用。Ar 表面预处理气体的流速可根据使用的反应器系统变化。腔内气压可以是从 0.05 毛到 20 毛之间的任何值，但是气压操作的优选范围是 1 到 10 毛。Ar 等离子体预处理步骤进行的时间段通常为约 5 秒到约 60 秒。

RF 功率源通常被用来产生表面预处理气体的 Ar 等离子体。RF 功率源要么可以工作在高频范围内（在约 100W 或更大的量级）；低频范围（低于 250W）或它们的组合也可以应用。高频功率密度的范围可以是从 0.1 到 $2.0\text{W}/\text{cm}^2$ 的任意值，但是优选的工作范围是从 0.2 到 $1.0\text{W}/\text{cm}^2$ 。低频功率密度的范围可以是在从 0.0 到 $1.0\text{W}/\text{cm}^2$ 的任

意值，但是优选的工作范围是从 0.2 到 $0.5\text{W}/\text{cm}^2$ 。所选择的功率水平必须足够低以避免对外露的电介质表面显著的溅射蚀刻（ <5 纳米去除量）。

5 在 Ar 等离子体预处理过程中，用于淀积上层低 k 电介质的前体气体被导入到反应器中。

在本发明的另一个实施方案中，这样形成粘附过渡层 62：进行 O_2 等离子体步骤，该步骤将扩散阻挡覆盖电介质的表面区域转变为含 SiO 区域；然后在初始淀积上覆的上层低 k 电介质 68 期间进行 Ar 等离子体预处理过程。

10 在 O_2 等离子体步骤中，含氧气体（比如， O_2 ）被导入到能产生等离子体的反应器中，此后被转换为等离子体。 O_2 可以单独使用或结合惰性气体（比如，Ar、Ne、Xe 或 Kr）使用。表面预处理气体的流速可以根据所使用的反应器系统变化。腔内气压可以是 0.05 毛到 20 毛之间的任何值，但是气压工作的优选范围是从 1 到 10 毛。 O_2 处理步骤进行的时间段通常是从约 5 秒到约 60 秒。

15 RF 功率源通常被用来产生表面处理气体的 O_2 等离子体。RF 功率源要么可以工作在高频范围内（在约 100W 或更大的量级）；低频范围（低于 250W ）或它们的组合也可以应用。高频功率密度的范围可以是在从 0.1 到 $2.0\text{W}/\text{cm}^2$ 的任意值，但是优选的工作范围是从 0.2 到 $1.0\text{W}/\text{cm}^2$ 。低频功率密度的范围可以是在从 0.0 到 $1.0\text{W}/\text{cm}^2$ 的任意值，但是优选的工作范围是从 0.2 到 $0.5\text{W}/\text{cm}^2$ 。所选择的功率水平必须足够低以避免对外露的电介质表面显著的溅射蚀刻（ <5 纳米去除量）。

20 在使用 O_2 等离子体处理了扩散阻挡覆盖电介质之后，可以使用如上所述的第一实施方案，即在淀积上层低 k 电介质的初始阶段期间的 Ar 预处理。

在本发明的另一个实施方案中，首先通过传统的淀积方法或热生长方法在扩散阻挡覆盖电介质 58 表面上形成含 SiO 层。接下来，淀积上层低 k 电介质 68，使用初始 O_2 等离子体处理方法来减少所淀积

的上层低 k 电介质 68 最初几个纳米中 C 的含量。在本发明第二个实施方案中提及的 O₂ 等离子体条件可以用在本实施方案中。注意，含 SiO 层形成创新的粘附过渡层 62 的下部区域 64，而在最初淀积上层低 k 电介质期间进行的 O₂ 等离子体预处理方法则形成创新的粘附过渡层 62 的上部 C 递变区域 66。

如上所述，本发明的粘附过渡层 62 增加了扩散阻挡覆盖电介质 58 和上覆的上层低 k 电介质 68 之间的粘附力。可从本发明获得的经测量的粘附力值大约是 5 J/m² 或更大。本发明样品经测量的粘附力要高于在扩散阻挡覆盖层电介质和上层低 k 电介质之间没有粘附层那些样品的粘附力。在没有粘附层的现有技术中，经测量的粘附力在 2.0 到 3.8 J/m² 之间。

给出下面的实施例来图示本发明粘附过渡层的制备，并证实可以从其中获得的优点。

15 实施例

为了研究 Ar 溅射清理的有效性，使样品经受各种溅射条件，具体而言，就是从 Ar 到 SiCOH 前体材料的受控分段处理，从而实现 CSiNH 表面清洁、在初始 SiCOH 中贫 C、从 SiCOH 组成到体积组成的递变。使用 4 点弯曲测试，由 OMCTS 前体制备的 SiCOH 样品清楚地显示出粘附强度之间的差别。

所获得的结构由俄歇方法、TOF-SIMS 和 TEM/EELS 进行分析以了解界面的化学性质。所有粘附力改善的样品均显示出在 CSiNH/SiCOH 界面处明显贫 C，以及在大约 7-12nm 距离上 SiCOH 中的 C 含量逐级变化直到基本组成。分析还显示在贫 C 最显著的区域中 O 含量增加。

对于粘附强度最高的样品，已经发现在界面处形成了基本上无 C 的 SiO₂ 界面层。这些结果显示在下面的三个样品中，它们是一起制备的，差别仅在于在 SiCOH 淀积之前的 Ar 等离子体处理。

第一个样品是标准的 SiCOH 淀积，没有任何 Ar 递变；所测量的

粘附力是 3.8J/m^2 。EELS 分析显示 C 从 CSiNH 中发现的水平到 SiCOH 中发现的水平之间直接的过渡。第二个样品被给予了一类 Ar 等离子体清理，获得的粘附力是 4.3J/m^2 。对该结构的分析显示在界面处 C 有明显的下降，并逐渐上升到在 SiCOH 中所期望的 C 水平。这种类型的分布对于大部分 Ar 预清理样品是常见的，即，C 在界面处有明显的下降，并逐渐上升到标准 C 水平。第三个样品具有不同的 Ar 预处理，它显示获得了最高测量粘附力， 6.0J/m^2 。对该样品的分析显示 C 在界面处减少到检测极限，即 $<1\%$ ，留下约 5nm 厚的 SiO_2 界面层。在该层上方，在递变区域中约 10nm 之上 C 上升到通常含量。

10 这些结果引导申请人提出：提高 SiCOH 对 CSiNH 的粘附力最好的方法涉及在界面处存在氧化物层，在氧化物层之上是具有约 $5\text{-}20\text{nm}$ 递变 C 组成的 SiCOH 区域。该氧化物层可以像这些试验中所做的那样，在处理过程中原位形成，或通过事先对 CSiNH 热氧化或淀积薄的 TEOS 或类似的氧化物来形成。Ar 递变既用来去除表面吸附气氛碳氢物，又在初始 SiCOH 淀积期间使 C 含量递变。

15 尽管本文已经详细地描述了本发明的几个实施方案以及他们的修改，但是显然的是在不偏离本发明范围的情形可以进一步进行各种变化。上述说明中没有任何部分是打算用来比所附权利要求更窄地限定本发明。所给出的实施例仅仅是用于说明性而非排他性的。

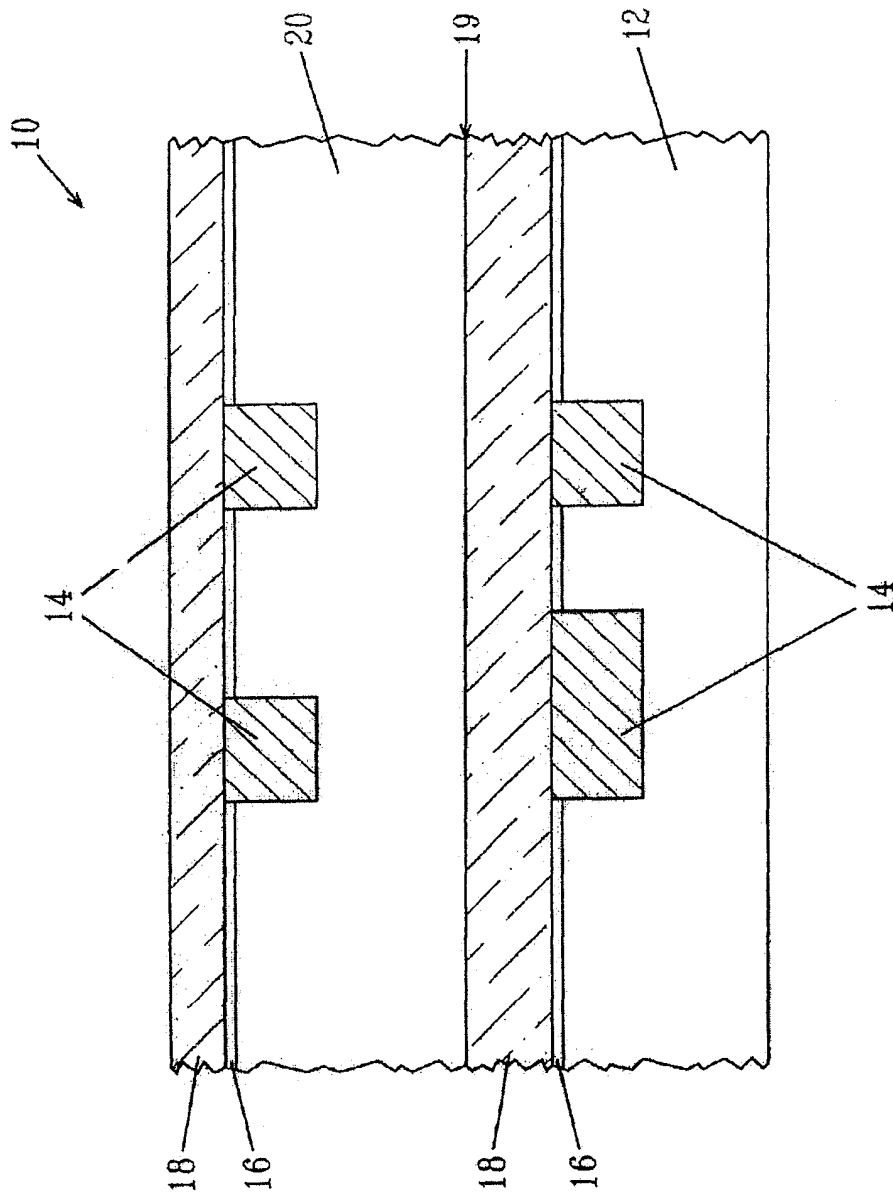


图1(现有技术)

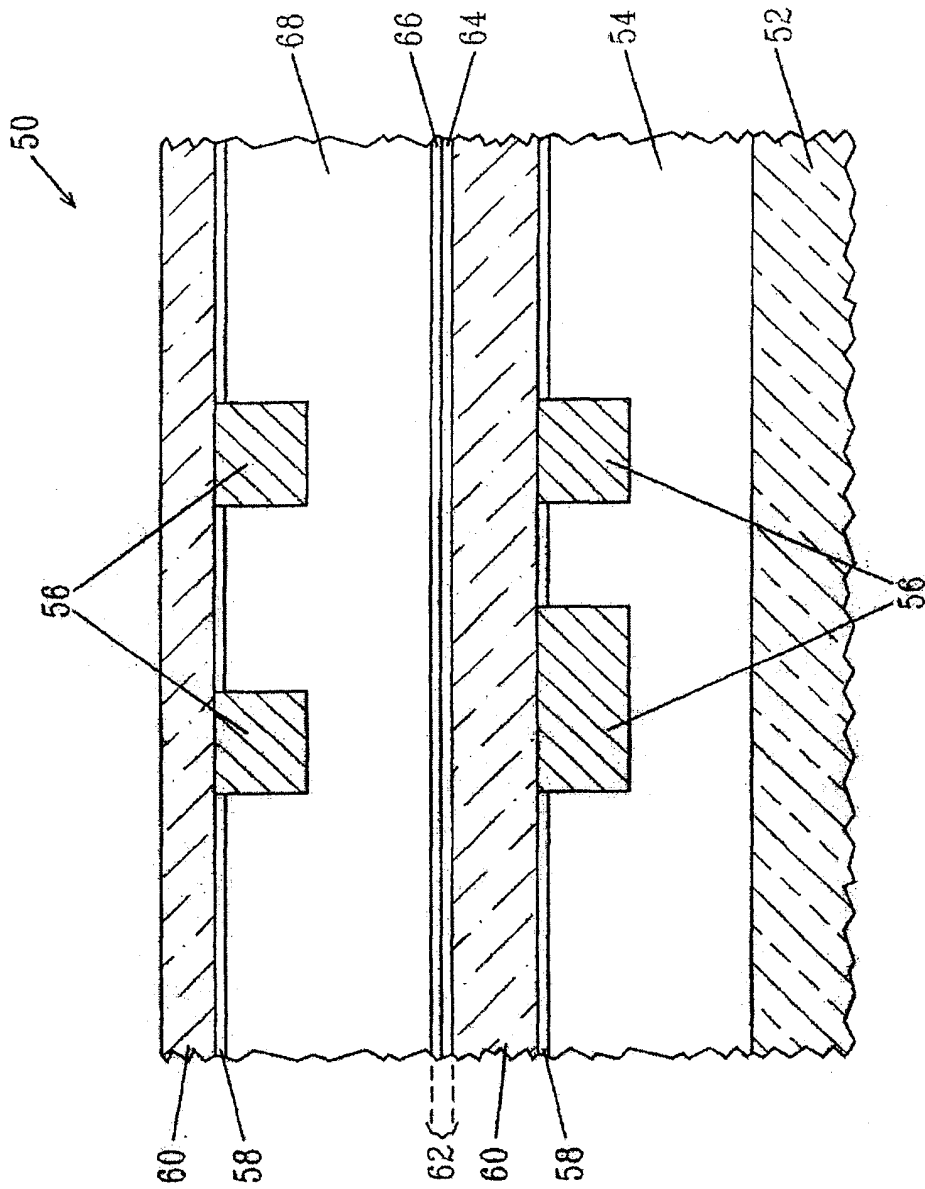


图2