

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4799167号
(P4799167)

(45) 発行日 平成23年10月26日(2011.10.26)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int.Cl. F I
G05F 3/30 (2006.01) G05F 3/30

請求項の数 1 (全 22 頁)

(21) 出願番号	特願2005-366658 (P2005-366658)	(73) 特許権者	000221199 東芝マイクロエレクトロニクス株式会社
(22) 出願日	平成17年12月20日(2005.12.20)		神奈川県川崎市川崎区駅前本町25番地1
(65) 公開番号	特開2007-172153 (P2007-172153A)	(73) 特許権者	000003078
(43) 公開日	平成19年7月5日(2007.7.5)		株式会社東芝
審査請求日	平成20年5月14日(2008.5.14)		東京都港区芝浦一丁目1番1号
		(74) 代理人	100083806 弁理士 三好 秀和
		(74) 代理人	100100712 弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929 弁理士 川又 澄雄
		(74) 代理人	100108707 弁理士 中村 友之

最終頁に続く

(54) 【発明の名称】 基準電圧発生回路

(57) 【特許請求の範囲】

【請求項1】

第1電源と前記第2電源間の第1電流経路に設けられ、前記第2電源の電位に一端の電位が固定され、他端を第1ノードに接続し、該第1ノードに負の温度依存性を有する第1基準電圧を発生する第1の基準電圧発生素子と、

前記第1電源と前記第2電源間の第2電流経路に設けられ、前記第2電源の電位に一端の電位が固定され、前記第1の基準電圧発生素子より電流密度の低く、他端に負の温度依存性を有する第2基準電圧を発生する第2の基準電圧発生素子と、

該第2の基準電圧発生素子の他端に一端を接続され、他端を前記第2電流経路に設けられた第2ノードに接続された第1の抵抗素子と、

前記第1ノードに一方の入力端子、前記第2ノードに他方の入力端子を接続した第1差動増幅器、及び、前記第1電源に一端を接続し、他端を前記第1又は前記第2電流経路に設けられ、前記基準電圧を出力する出力ノードに接続し、ゲートを前記第1差動増幅器の出力端子に接続した第1電流制御トランジスタを有し、前記第1基準電圧と、前記第2ノードに生じる前記第2基準電圧と前記第1の抵抗素子に発生する電圧の和とを比較し、前記第1及び第2電流経路に一定の比で電流を供給し、前記第1及び第2基準電圧の差から正の温度依存性を有する第1の電流量を、前記第1の抵抗素子に流す第1の電流制御回路と、

前記第1電源と前記第2電源間の第3電流経路において、前記第2電源の電位に一端の電位を固定した第2の抵抗素子と、

10

20

前記第 3 電流経路において、前記第 2 の抵抗素子に直列接続されるように、前記第 2 の抵抗素子の他端と第 3 ノードの間に接続された第 3 の抵抗素子と、

前記第 1 ノードを負入力端子に、前記第 2 の抵抗素子の他端を正入力端子に接続した第 2 差動増幅器と、

前記第 3 ノードと前記第 1 電源間に接続され、ゲートに前記第 2 差動増幅器の出力を接続した第 2 電流制御トランジスタと、

前記第 3 ノードと前記第 1 ノードの間に接続された第 4 の抵抗素子と、

前記第 3 ノードと前記第 2 ノードの間に接続された第 5 の抵抗素子と、

前記出力ノードと前記第 1 ノードの間に接続された第 6 の抵抗素子と、

前記出力ノードと前記第 2 ノードの間に接続された第 7 の抵抗素子と

を備え、前記負入力端子と、前記正入力端子の電位とが等しくなる様に、前記第 2 電流制御トランジスタを制御し、前記第 2 電流制御トランジスタから前記第 5 の抵抗素子を経由して、負の温度依存性を持った第 2 の電流量の電流を前記第 2 ノードに出力し、前記第 7 の抵抗素子に前記第 1 の電流量から前記第 2 の電流量を減じた電流量の電流を第 3 の電流量の電流として流し、前記第 7 の抵抗素子の両端子間に正の温度依存性を有する電圧を発生させ、該正の温度依存性を有する電圧と前記第 2 ノードの電圧とを加算して、基準電圧を発生し、前記出力ノードから前記基準電圧を出力することを特徴とする基準電圧発生回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基準電圧発生回路に関し、特に、半導体チップ上に集積可能なバンドギャップ型定電圧発生回路に関する。

【背景技術】

【0002】

アナログ回路の設計等では各種のばらつき要因に対して安定な電圧を得る必要が生じる。例えば、高分解能の A/D 変換器や D/A 変換器等では、その分解能を保証するため、温度補償をも考慮した高精度の基準電圧回路が必要となる。この様な目的で、例えば、複数のトランジスタ及び複数の抵抗からなり、出力電圧を出力するバンドギャップ回路と、供給電源との間に、複数のトランジスタからなる電流反転増幅器、及び複数のダイオード抵抗からなる起動回路を付加し、供給電源の変動に起因する出力電圧の変動を低減したバンドギャップ型定電圧発生回路が提案されている（特許文献 1 参照。）

図 1 6 は、シリコンの絶対 0 度（0 K）におけるバンドギャップ電圧（約 1.2 V）よりも低く温度依存性の無い基準電圧 V_{ref} を発生する基準電圧発生回路の一例である。又、図 1 7 に図 1 6 に示した基準電圧発生回路の動作電圧と動作電流の温度依存特性を模式的に示す。

【0003】

図 1 6 では、正の温度依存性を持った電流 I_{01} を出力する電流源回路 C_{01} と、負の温度依存性を持った電流 I_{02} を出力する電流源回路 C_{02} を設置し、電流 I_{01} と電流 I_{02} の和が温度依存特性を持たない一定の電流 I_{012} となるように設定される。この電流 I_{012} は、カレントミラー回路 C_{03} によって所望のミラー比で折り返され電流 I_{013} を出力する。 I_{013} は抵抗 R_1 に印加され抵抗 R_1 の値に応じた電圧 V_{ref} を出力する。

【0004】

図 1 8 に図 1 6 に示した基準電圧発生回路の電源電圧依存特性を示す。図 1 6 に示した基準電圧発生回路では V_{DD} 電源電圧が低下しシリコンのバンドギャップ電圧（約 1.2 V）程度の低電圧領域になると、カレントミラー回路 C_{03} の出力トランジスタ P_2 の V_{DS} が減少するため、電流 I_{013} が低下し出力 V_{ref} が理想特性から大きく低下する。よって、低電圧領域では、基準電圧 V_{ref} の精度が悪化する不具合を生じる。

【0005】

図 1 9 に基準電圧発生回路の他の例を示す。図 1 9 は、電流密度の異なる pnp トラン

10

20

30

40

50

ジスタ Q_1 、 Q_2 の V_{BE} 電位差 V_0 を R_0 によって電流 I_1 に変換し、抵抗 R_1 によりシリコンの 0 K におけるバンドギャップ電圧 (約 1.2 V) 近傍の電圧 V_{BG} を作成する。この時、熱電圧 $V_T = kT/q$ とし、 Q_1 と Q_2 の V_{BE} をそれぞれ V_{BEQ1} 、 V_{BEQ2} とし、 Q_1 と並列接続された Q_2 のエミッタ面積をそれぞれ S_{Q1} 、 S_{Q2} とすると、

$$V_0 = I_1 \times R_0 = V_T \times \ln \left(\left(S_{Q1} / S_{Q2} \right) \times \left(R_1 / R_2 \right) \right) \quad \dots (1)$$

$$V_{BG} = V_{BEQ2} + R_1 / R_0 \times V_0 \\ = V_{BEQ2} + R_1 / R_0 \times V_T \times \ln \left(\left(S_{Q1} / S_{Q2} \right) \times \left(R_1 / R_2 \right) \right) \quad \dots (2)$$

で表わせる。この V_T は約 0.086 [mV /] で正の温度依存性を持ち、 V_{BEQ2} はおよそ -1.9 [mV /] 程度の負の温度依存性を持つ。よって、 R_1 / R_0 を温度依存特性を相殺する値に設定すると温度依存性の無い V_{BG} を出力できる。 V_{ref} は V_{BG} をブリーダ抵抗 R_3 、 R_4 の抵抗比で分割した電圧であり、 V_{BG} と同様に温度依存性の無い一定の電圧となる。

10

【0006】

通常、 V_{BG} はシリコンのバンドギャップ電圧 (約 1.2 V) 近傍の電圧となるため、 $R_4 / (R_3 + R_4)$ の比を 1 より小さく設定することで 1.2 V 以下の電圧を出力可能であるが、 V_{DD} 電源電圧が 1.2 V 程度以下の低電圧領域では V_{BG} が低下し V_{ref} は所望の値を出力できないという不具合を生じる。

【特許文献 1】特開平 7 - 230332 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0007】

本発明は、バンドギャップ電圧以下の低い電源電圧でも動作し、電源電圧依存特性が小さく、温度補償された基準電圧を発生させることのできる基準電圧発生回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の第 1 の態様は、(イ) 第 1 の基準電圧発生素子が生成する負の温度依存性を有する第 1 基準電圧と、この第 1 の基準電圧発生素子より電流密度の低い第 2 の基準電圧発生素子が生成する負の温度依存性を有する第 2 基準電圧との差を、第 1 及び第 2 の基準電圧の差に比例した第 1 の電流量に変換する第 1 の電流変換回路と、(ロ) 第 1 又は第 2 の基準電圧を、この基準電圧に比例した第 2 の電流量に変換する第 2 の電流変換回路と、(ハ) 第 1 の電流量から第 2 の電流量を減じ、第 3 の電流量を生成する電流減算回路と、(ニ) 第 3 の電流量を電圧変換して正の温度依存性を有する温度特性補償電圧を生成する電流電圧変換回路と、(ホ) 第 1 基準電圧と温度特性補償電圧とを加算し、この加算した値を基準電圧として出力する電圧加算回路とを備える基準電圧発生回路であることを特徴とする。

30

【0009】

本発明の第 2 の態様は、(イ) 第 1 電源と第 2 電源間の第 1 電流経路に設けられ、第 2 電源の電位に一端の電位が固定され、他端を第 1 ノードに接続し、この第 1 ノードに負の温度依存性を有する第 1 基準電圧を発生する第 1 の基準電圧発生素子と、(ロ) 第 1 電源と第 2 電源間の第 2 電流経路に設けられ、第 2 電源の電位に一端の電位が固定され、第 1 の基準電圧発生素子より電流密度の低く、他端に負の温度依存性を有する第 2 基準電圧を発生する第 2 の基準電圧発生素子と、この第 2 の基準電圧発生素子の他端に一端を接続され、他端を第 2 ノードに接続する第 1 の抵抗素子からなる直列回路と、(ハ) 第 1 基準電圧と、第 2 ノードに生じる第 2 基準電圧と第 1 の抵抗素子に発生する電圧の和とを比較し、第 1 及び第 2 電流経路に一定の比で電流を供給し、第 1 及び第 2 基準電圧の差から正の温度依存性を有する第 1 の電流量を、第 1 の抵抗素子に流す第 1 の電流制御回路とを備える基準電圧発生回路であることを特徴とする。第 2 の態様に係る基準電圧発生回路では、第 1 の電流量から負の温度依存性を有する第 2 の電流量を減じ、正の温度依存性を有する第 3 の電流量を生成し、この第 3 の電流量を正の温度依存性を有する電圧に変換し、この

40

50

正の温度依存性を有する電圧と第1又は第2ノードの電圧とを加算して、基準電圧を発生する。

【発明の効果】

【0010】

本発明によれば、バンドギャップ電圧以下の低い電源電圧でも動作し、電源電圧依存特性が小さく、温度補償された基準電圧を発生させることのできる基準電圧発生回路を提供することができる。

【発明を実施するための最良の形態】

【0011】

次に、図面を参照して、本発明の第1～第9の実施の形態を説明する。以下の図面の記載において、同一又は類似の回路素子等の構成要素には同一又は類似の符号を付している。但し、図面は模式的なものであり、以下に示す第1～第9の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、回路構成のトポロジーや、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

【0012】

図1は、本発明の第1～第9の実施の形態に係る基準電圧発生回路の論理的な構成を示すブロック図である。図1に示す基準電圧発生回路は、第1の基準電圧発生素子が生成する負の温度依存性を有する第1基準電圧 V_{BEQ2} と、この第1の基準電圧発生素子より電流密度の低い第2の基準電圧発生素子が生成する負の温度依存性を有する第2基準電圧 V_{BEQ1} との差 V_{11} を、第1及び第2の基準電圧の差に比例した第1の電流量 I_{11} に変換する第1の電流変換回路 C_{11} と、第1基準電圧 $V_{BEQ2} = V_{BEQ1} + V_{11}$ 又は第2基準電圧 V_{BEQ1} を、第1基準電圧 $V_{BEQ2} = V_{BEQ1} + V_{11}$ 又は第2基準電圧 V_{BEQ1} に比例した第2の電流量 I_{21} に変換する第2の電流変換回路 C_{12} と、第1の電流量 I_{11} から第2の電流量 I_{21} を減じ第3の電流量 $I_{31} = I_{11} - I_{21}$ を出力する電流減算回路 C_{13} と、第3の電流量 I_{31} を電圧変換して正の温度依存性を有する温度特性補償電圧 V_{31} を生成する電流電圧変換回路 C_{15} と、第1基準電圧 V_{BEQ1} と温度特性補償電圧 V_{31} とを加算し、この加算した値 $V_{ref} = V_{BEQ2} + V_{31}$ を基準電圧 V_{ref} として出力する電圧加算回路 C_{16} とを備える。

【0013】

「第1の基準電圧発生素子」及び「第2の基準電圧発生素子」としては、電流密度を変えpn接合ダイオード、電流密度の互いに異なるダイオード接続されたバイポーラトランジスタや電流密度の互いに異なるダイオード接続されたMOSトランジスタが使用可能である。

【0014】

pn接合ダイオードの場合は、電流密度の互いに異なるpn接合の順方向電圧 V_f 特性、ダイオード接続されたバイポーラトランジスタの場合は電流密度の互いに異なるバイポーラトランジスタのベースエミッタ間電圧 V_{BE} 特性、ダイオード接続されたMOSトランジスタの場合は、電流密度の互いに異なるMOSトランジスタの弱反転領域特性が第1基準電圧及び第2基準電圧として使用可能である。

【0015】

例えば、pn接合の順方向電圧の差を用いる場合は、図1に示す基準電圧発生回路の第1の電流変換回路 C_{11} は、電流密度を変えたpn接合の順方向電圧の差をその電圧に比例した第1の電流量 I_{11} に変換する。第2の電流変換回路 C_{12} は、pn接合の順方向電圧をその電圧に比例した第2の電流量 I_{21} に変換する。なお、図1では、pn接合の順方向電圧に依存する第1の電圧 $V_1 (= V_{BEQ2} = V_{BEQ1} + V_{11})$ を発生する電圧発生回路 C_{14} を示しているが、図1は論理的な回路構成を示しているためであり、現実の回路としては、第1の電流変換回路 C_{11} の第1の基準電圧発生素子又は第2の電流変換回路 C_{12} の第2の基準電圧発生素子が生成する第2基準電圧を用いて、第1の電圧 $V_1 (= V_{BEQ2} = V_{BEQ1} + V_{11})$ を発生するようにすることができる。

10

20

30

40

50

【0016】

図2(a)に図1に論理的な構成を示した基準電圧発生回路の動作電圧の温度依存特性を、図2(b)に図1の基準電圧発生回路の動作電流の温度依存特性を、それぞれ模式的に示す。電流密度を変えた2種類のpn接合電位を V_{f1} 、 V_{f2} とすると、 $V_0 = V_{f1} - V_{f2}$ で示される電位差は絶対0度(0K)を原点とする正の温度依存性を持った値となる。これを抵抗素子などで電流変換した第1の電流量 I_{11} は、同じく0Kを原点とする正の温度依存性を持った電流となる。又、pn接合電位 V_{f1} は、負の温度依存性を持った値となる。これを抵抗素子などで電流変換した第2の電流量 I_{21} は、負の温度依存性を持った電流となる。第1の電流量 I_{11} から第2の電流量 I_{21} を減じた第3の電流量 $I_{31} = I_{11} - I_{21}$ は、図2(b)に示すように、温度 T_0 を原点に増加する電流 I_{31} となる。pn接合の順方向電圧に依存する第1の電圧を例えば V_{f1} とし、電流 I_{31} を抵抗素子などで電圧に変換した電圧を第2の電圧(温度特性補償電圧) V_2 とし、この和が温度依存特性を持たない比率で加算した電圧を V_{ref} とすると、 $V_{ref} = V_{f1} + V_2$ は図2(a)に示すように定電圧になる。

10

【0017】

このとき、非常に低い温度 T_0 以上の温度領域において、 V_{ref} は温度 T_0 におけるpn接合順方向電圧 V_{f1} の値と等しく温度依存性の無い電圧を出力する。この値は、シリコンの絶対0度(0K)におけるバンドギャップ電圧(約1.2V)よりも低い電圧となる。この T_0 は、例えば $V_{ref} = 0.8V$ に設定した場合、-100程度以下の値となり通常のICの最低動作温度条件よりも小さな値となるため、低温での動作範囲が制限されることは無い。

20

【0018】

上記効果は、pn接合の V_f 特性の代わりにpnpトランジスタなどのバイポーラトランジスタの V_{BE} 特性や、ダイオード接続されたMOSトランジスタの弱反転領域特性を利用して同様の効果が得られる。

【0019】

(第1の実施の形態)

図3に本発明の第1の実施の形態に係る基準電圧発生回路の回路構成の一例を示す。図3の基準電圧発生回路は、ベースとコレクタ端子を共にGND電源に接続しダイオード接続したpnpトランジスタ(第1の基準電圧発生素子) Q_2 と、ベースとコレクタ端子を共にGND電源に接続した(ダイオード接続した)単位素子を複数個並列接続させ、pnpトランジスタ Q_2 よりエミッタ電流密度を低くしたpnpトランジスタ(第2の基準電圧発生素子) Q_1 と、出力端子 V_{ref} とpnpトランジスタ Q_1 のエミッタ間に直列接続された抵抗素子 R_{31} 及び R_{11} と、出力端子 V_{ref} とpnpトランジスタ Q_2 のエミッタ間に接続された抵抗素子 R_{32} と、抵抗素子 R_{31} と抵抗素子 R_{11} の接続点(第2ノード) X_{11} を正(+)入力端子に接続し抵抗素子 R_{32} とpnpトランジスタ Q_2 との接続点(第1ノード) $X_{12} (= X_{10})$ を負(-)入力端子に接続した第1差動増幅回路 A_1 と、 V_{DD} 電源をソースに接続し出力端子 V_{ref} をドレインに接続し第1差動増幅回路 A_1 の出力をゲートに接続したpMOSトランジスタ(第1電流制御トランジスタ) P_0 と、一端をGND電源に接続した抵抗素子 R_{20} と、抵抗素子 R_{32} とpnpトランジスタ Q_2 の接続点(第1ノード) $X_{12} (= X_{10} = X_{22})$ を負(-)入力端子に接続し抵抗素子 R_{20} の他方の端子(ノード) X_{20} を正(+)入力端子に接続した第2差動増幅回路 A_2 と、それぞれ V_{DD} 電源をソースに接続し第2差動増幅回路 A_2 の出力をゲートに接続したpMOSトランジスタ P_{20} 、 P_{21} 、 P_{22} と、pMOSトランジスタ(第2電流制御トランジスタ) P_{20} のドレインを第3ノード X_{20} で抵抗素子 R_{20} の他端に接続し、pMOSトランジスタ(第3電流制御トランジスタ) P_{21} のドレインを抵抗素子 R_{31} と R_{11} の接続点(第2ノード) X_{11} に接続し、pMOSトランジスタ P_{22} のドレインを抵抗素子 R_{32} とpnpトランジスタ Q_2 の接続点(第1ノード) $X_{12} (= X_{10} = X_{22})$ に接続している。

30

40

【0020】

図4に示すように、第1差動増幅回路 A_1 及び第2差動増幅回路 A_2 は、第1電源 V_{DD} に

50

ソースを接続し、ゲートとドレインとを短絡した pMOS トランジスタ P_{101} と、第 1 電源 V_{DD} にソースを接続し、pMOS トランジスタ P_{101} のゲートにゲートを接続した pMOS トランジスタ P_{102} と、pMOS トランジスタ P_{101} のドレインにドレインを接続し定電流源 K_{120} にソースを接続した nMOS トランジスタ N_{101} と、pMOS トランジスタ P_{102} のドレインにドレインを接続し定電流源 K_{120} にソースを接続した nMOS トランジスタ N_{102} とを備え、nMOS トランジスタ N_{101} のゲートを正 (+) 入力端子、nMOS トランジスタ N_{102} のゲートを負 (-) 入力端子、nMOS トランジスタ N_{102} のドレインを出力端子としている。

【0021】

図 3 に示す第 1 の実施の形態に係る基準電圧発生回路を、図 1 に示したブロック図に対応させると、図 1 に示したブロック図の第 1 の電流変換回路 C_{11} は、第 1 電源 V_{DD} と第 2 電源 (GND) 間に設けられ第 2 電源 (GND) に一端を接続されたダイオード接続された pnp トランジスタ (第 1 の基準電圧発生素子) Q_2 と、第 2 電源 (GND) に一端を接続された、ダイオード接続された pnp トランジスタ (第 1 の基準電圧発生素子) Q_2 より電流密度の低いダイオード接続された pnp トランジスタ (第 2 の基準電圧発生素子) Q_1 と第 1 の抵抗素子 R_{11} からなる直列回路 (Q_1, R_{11}) と、ダイオード接続された pnp トランジスタ (第 1 の基準電圧発生素子) Q_2 に発生するベース・エミッタ間電圧 (pn 接合順方向電圧) V_{BEQ2} で規定される第 1 の電圧とダイオード接続された pnp トランジスタ (第 2 の基準電圧発生素子) Q_1 に発生するベース・エミッタ間電圧 (pn 接合順方向電圧) V_{BEQ1} で規定される電圧と第 1 の抵抗素子 R_{11} に発生する電圧 V_{11} の和 ($V_{BEQ1} + V_{11}$) となる第 2 の電圧を比較しダイオード接続された pnp トランジスタ (第 1 の基準電圧発生素子) Q_2 及び直列回路 (Q_1, R_{11}) に一定の比で電流を供給し第 1 の電圧と第 2 の電圧が等しくなる様に制御する第 1 の電流制御回路 (A_1, P_0) とを備える。第 1 の電流制御回路 (A_1, P_0) は、第 1 ノード X_{10} の第 1 の電圧を負 (-) 入力端子に接続し、第 2 ノード X_{11} の第 2 の電圧を正 (+) 入力端子に接続し、第 1 の電圧と第 2 の電圧を比較する第 1 差動増幅回路 A_1 と、第 2 電源 V_{DD} に一端を接続し、他端を出力ノード X_{31} に接続し、ゲートを第 1 差動増幅器 A_1 の出力端子に接続した pMOS トランジスタ (第 1 電流制御トランジスタ) P_0 とを備える。

【0022】

そして、第 1 の電流変換回路 C_{11} は、ダイオード接続された pnp トランジスタ (第 1 の基準電圧発生素子) Q_2 のベース・エミッタ間電圧 (pn 接合順方向電圧) V_{BEQ2} とダイオード接続された pnp トランジスタ (第 2 の基準電圧発生素子) Q_1 のベース・エミッタ間電圧 (pn 接合順方向電圧) V_{BEQ1} との差 $V_{11} = V_{BEQ2} - V_{BEQ1}$ から正の温度依存を持った第 1 の電流量 I_{11} に変換する。

【0023】

図 1 に示したブロック図の第 2 の電流変換回路 C_{12} は、第 1 電源 V_{DD} と第 2 電源 (GND) 間の第 3 電流経路に設けられ、第 2 電源 (GND) の電位に一端の電位が固定され、他端を第 3 ノード X_{20} に接続した第 2 の抵抗素子 R_{20} と、第 3 ノード X_{20} と第 1 電源 V_{DD} 間に接続された pMOS トランジスタ (第 2 電流制御トランジスタ) P_{20} と、第 1 ノード X_{12} の電位と、第 3 ノード X_{20} の電位を比較する第 2 差動増幅器 A_2 と、第 1 電源 V_{DD} と第 1 ノード X_{11} の間に接続され、ゲートに第 2 差動増幅器 A_2 の出力を接続し、pMOS トランジスタ (第 2 電流制御トランジスタ) P_{20} とカレントミラーを構成する pMOS トランジスタ (第 3 電流制御トランジスタ) P_{21} とを更に備える。第 1 ノード X_{12} の電位と第 3 ノード X_{20} の電位とが等しくなる様に pMOS トランジスタ (第 2 電流制御トランジスタ) P_{20} 及び pMOS トランジスタ (第 3 電流制御トランジスタ) P_{21} を制御し、pMOS トランジスタ (第 3 電流制御トランジスタ) P_{21} から負の温度依存性を持った第 2 の電流量の電流 I_{21} を第 2 ノード X_{11} に出力する。カレントミラーを構成する pMOS トランジスタ (第 2 電流制御トランジスタ) P_{20} と pMOS トランジスタ (第 3 電流制御トランジスタ) P_{21} に、第 2 差動増幅器 A_2 を加えて、第 2 の電流制御回路 (A_2, P_{20}, P_{21}) を構成している。

10

20

30

40

50

【 0 0 2 4 】

図 1 に示したブロック図の電圧加算回路 C_{16} は、第 1 電源 V_{DD} と第 2 電源 (GND) 間に設けられ一端を直列回路 (Q_1, R_{11}) に直列接続され他端に第 1 の電流制御回路 A_1 の出力電流に応じた電流が供給される第 3 の抵抗素子 R_{31} を設け、この第 3 の抵抗素子 R_{31} の一端に第 2 の電流変換回路 C_{12} の出力電流 I_{21} を供給することで、第 3 の抵抗素子 R_{31} に正の温度依存を持った第 1 の電流量 I_{11} から負の温度依存を持った第 2 の電流量 I_{21} を減じた第 3 の電流量 $I_{31} = I_{11} - I_{21}$ を発生させ、第 3 の抵抗素子 R_{31} の他端に温度補償された電源電圧に依存しないバンドギャップ電圧以下の電圧 $V_{ref} = V_{BEQ2} + V_{31}$ を出力させる。これにより、第 1 の電流制御回路 A_1 の帰還作用によって第 1 電源 V_{DD} の電圧がバンドギャップ電圧以下であっても電圧依存がより小さくなる様にしている。

10

【 0 0 2 5 】

図 5 (a) に図 3 に示した第 1 の実施の形態に係る基準電圧発生回路の動作電圧の温度依存特性を、図 5 (b) に図 3 の基準電圧発生回路の動作電流の温度依存特性を、それぞれ模式的に示す。 pnp トランジスタ Q_1, Q_2 のベース・エミッタ間電圧 V_{BE} をそれぞれ V_{BEQ1}, V_{BEQ2} とすると、エミッタ電流密度の違いから $V_{11} = V_{BEQ2} - V_{BEQ1}$ なる電位差を発生する。第 1 差動増幅回路 A_1 は正 (+) 入力端子と負 (-) 入力端子を同電位に保つ様にフィードバック制御し、抵抗素子 R_{11} によってベース・エミッタ間電圧 V_{BE} の電位差 V_{11} に応じた電流 I_{11} を発生する電流変換回路を構成する。又、第 2 差動増幅回路 A_2 は正 (+) 入力端子と負 (-) 入力端子を同電位に保つ様にフィードバック制御し、ベース・エミッタ間電圧 V_{BEQ2} を抵抗素子 R_{20} によって電圧電流変換しカレントミラー構成の $pMOS$ トランジスタ P_{20}, P_{21}, P_{22} によりドレイン電流 I_{20}, I_{21}, I_{22} を出力する電圧電流変換回路を構成する。 I_{21}, I_{22} は、それぞれ $pMOS$ トランジスタ (第 3 電流制御トランジスタ) P_{21}, P_{22} によって、 I_{20} に依存した電流として出力されそれぞれ Q_1 と Q_2 のエミッタ電流 I_{11}, I_{12} にそれぞれ注入される。よって、抵抗素子 R_{31} と R_{32} にそれぞれに流れる電流 I_{31}, I_{32} は、

$$I_{31} = I_{11} - I_{21} \quad \dots (3)$$

$$I_{32} = I_{12} - I_{22} \quad \dots (4)$$

となる。それぞれ I_{11}, I_{12} から I_{21}, I_{22} を減じた電流として出力されることで、図 1 に示したブロック図の電流減算回路 C_{13} を構成する。又、抵抗素子 R_{31}, R_{32} は、図 1 に示したブロック図の電流電圧変換回路 C_{15} を構成し、 I_{31}, I_{32} は、それぞれ抵抗素子 R_{31}, R_{32} により第 2 の電圧 (温度特性補償電圧) $V_2 (= V_{31})$ を形成する。第 2 の電圧 (温度特性補償電圧) $V_2 (= V_{31})$ は、ベース・エミッタ間電圧 $V_{BEQ2} (= V_{BEQ1} + V_{11})$ に加算され出力電圧 V_{ref} を出力する。

20

30

【 0 0 2 6 】

ここで、熱電圧を $V_T (= kT/q)$ 、 pnp トランジスタ Q_1 と Q_2 のエミッタ面積をそれぞれ S_{Q1}, S_{Q2} 、 $pMOS$ トランジスタ P_{20}, P_{21}, P_{22} のカレントミラー比 $I_{20} : I_{21} : I_{22} = p : q : r$ とすると V_{11}, I_{11}, I_{12} は、

$$V_{11} = I_{11} \times R_{11} = V_T \times \ln((S_{Q1}/S_{Q2}) \times (I_{12}/I_{11})) \quad \dots (5)$$

$$I_{11} = I_{21} + I_{31} \\ = ((V_{BEQ2}/R_{20}) \times (q/p)) + (V_{ref} - V_{BEQ2})/R_{31} \quad \dots (6)$$

$$I_{12} = I_{22} + I_{32} \\ = ((V_{BEQ2}/R_{20}) \times (r/p)) + (V_{ref} - V_{BEQ2})/R_{32} \quad \dots (7)$$

と表わせる。更に、

$$K = (1/R_{20}) \times (q/p) = (1/m) \times (1/R_{20}) \times (r/p) \quad \dots (8)$$

$$L = 1/R_{31} = 1/(n \times R_{32}) \quad \dots (9)$$

と置き、式 (6)、(7) に代入すると I_{12}/I_{11} は、

$$I_{12}/I_{11} = (m \times V_{BEQ2} \times K + n \times L \times (V_{ref} - V_{BEQ2})) / (V_{BEQ2} \times K + L \times (V_{ref} - V_{BEQ2})) \quad \dots (10)$$

となる。簡単化のために式 (10) において例えば $m = n$ とすると、 $I_{12}/I_{11} = m (=$

40

50

n)となる。この場合、

$$I_{11} = V_T \times \ln((S_{Q1} / S_{Q2}) \times m) / R_{11} \quad \dots (11)$$

と表わせる。又、

$$I_{21} = (V_{BEQ2} / R_{20}) \times (q / p) \quad \dots (12)$$

であるから、出力電圧 V_{ref} は、

$$\begin{aligned} V_{ref} &= V_{BEQ2} + V_{31} \\ &= V_{BEQ2} + R_{31} \times (I_{11} - I_{21}) \\ &= V_{BEQ2} + R_{31} \times (V_T \times \ln((S_{Q1} / S_{Q2}) \times m) / R_{11} - (V_{BEQ2} / R_{20}) \times (q / p)) \quad \dots (13) \end{aligned}$$

と表わせる。この式(13)には V_{DD} 電源の電圧に依存する項が無いので V_{ref} は V_{DD} 依存の無い電圧として定電圧動作を行なう。又、一般的に pnp トランジスタのベース・エミッタ間電圧 V_{BE} はおよそ $-1.9 [mV /]$ 程度の負の温度依存性を持つ。又、 I_{11} は V_T に依存し約 $0.086 mV \times \ln((S_{Q1} / S_{Q2}) \times m) / R_{11} [A /]$ の正の温度依存性を持つ。 I_{21} は $-1.9 mV / R_{20} \times (q / p) [A /]$ で表わされる負の温度依存性を持つ。 R_{11} , R_{20} , R_{31} , m , p , q , S_{Q1} , S_{Q2} 等の値を適宜設定することで図5に示した通り温度依存性の無い V_{ref} 電圧を得ることが可能となる。

【0027】

ここで、 V_{DD} が低下した場合の動作について更に詳細に説明する。 V_{DD} が低下すると、pMOS トランジスタ(第1電流制御トランジスタ) P_0 の V_{DS} が低下し I_{31} , I_{32} が減少しようとする。この時、電流 I_{11} , I_{12} が減少し、第1差動増幅回路 A_1 の正(+)入力端子が負(-)入力端子より小さくなると、pMOS トランジスタ(第1電流制御トランジスタ) P_0 のゲートを下げ I_{31} , I_{32} を増やす方向にフィードバック制御する。これにより、 I_{11} , I_{12} が増加し第1差動増幅回路 A_1 の正(+)入力端子と負(-)入力端子が等しい点で安定しようとする動作する。又、pMOS トランジスタ P_{20} , P_{21} , P_{22} は、第1差動増幅回路 A_1 及び第2差動増幅回路 A_2 のオフセットを無視すると、 V_{DS} が等しくなる。よって、 V_{DD} 変動によるチャネル長変調の影響は3つのトランジスタでまったく同じに作用するため、 V_{DS} の違いによるカレントミラー電流比の設計値からのずれは非常に小さくなる。よって、 I_{21} , I_{22} の V_{DD} 変動による設計値からのずれ量は非常に小さくなり、 I_{31} , I_{32} に殆ど影響しない。

【0028】

図6に第1の実施の形態に係る基準電圧発生回路の出力電圧の電源電圧依存特性を示す。図6に示した様に V_{DD} 電源が低電圧領域、例えばシリコンの絶対0度におけるバンドギャップ電圧 V_{BG} (約 $1.2 V$) より小さな領域であっても、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。これは、図16に示した従来回路での V_{ref} 出力特性における不具合を大幅に改善するものである。

【0029】

又、従来 of 基準電圧発生回路では、抵抗素子 R_{11} の温度依存等により高温時と低温時で抵抗値が変化すると、ベース・エミッタ間電圧 V_{BEQ1} , V_{BEQ2} 特性が温度に対して湾曲し、 V_{ref} 出力電圧が温度に対して湾曲した特性となる不具合があった。式(10)において、 m 及び n をベース・エミッタ間電圧 V_{BE} の特性変化を補正する様に変更することで更に温度依存に対する精度向上が図れる。 $m < n$ の時、低温時はベース・エミッタ間電圧 V_{BEQ2} がより大きくなるため、 $(V_{BEQ2} \times K)$ に掛かる係数 m の依存度が大きくなり動作電流 I_{12} / I_{11} 比は係数 $n \sim m$ の範囲内でより係数 m により近い値となる。その逆に高温時はベース・エミッタ間電圧 V_{BEQ2} がより小さな値となるため、 $(L \times (V_{ref} - V_{BEQ2}))$ に掛かる係数 n の依存度が大きくなり動作電流 I_{12} / I_{11} 比は係数 $n \sim m$ の範囲内でより係数 n により近い値となる。例えば、正の温度依存の抵抗素子を用いた場合、高温時はエミッタ電流が減少しベース・エミッタ間電圧 V_{BEQ2} が本来の値より小さくなる。これにより、 V_{ref} 電圧は温度に対して上に凸の弧を描いた特性となってしまう。これは、温度依存に対する精度が悪化することを意味する。図3に示す第1の実施の形態に係る基準電圧発生回路の場合、係数 m , n の関係を $m < n$ と設定することで低温時に比べ高温時の I

10

20

30

40

50

I_{12} / I_{11} 比をより大きくすることが可能となる。 V_{11} は式(5)で示される様に I_{12} / I_{11} 比が大きい程大きくなるので、高温時において $m = n$ と設定した場合よりも V_{11} をより大きくできる。よって、高温時に I_{11} が増大し抵抗素子の温度依存による I_{11} の減少を抑制できる。つまり、 V_{ref} 出力電圧の温度に対して上に凸の弧を描く特性を改善する効果を有する。負の温度特性の抵抗素子を用いた場合はその逆で $n < m$ と設定することで、従来技術では温度に対して下に凸の弧を描く V_{ref} 電圧特性を緩和することが可能となる。

【0030】

更に、図3の構成の場合はベース・エミッタ間電圧 V_{BEQ1} 、 V_{BEQ2} の値がプロセスばらつき等で大きくなった場合、式(12)で示される様に、電流 I_{21} 、 I_{22} もそれに伴い増加する。よって、電流 I_{31} 、 I_{32} は減少する方向に作用するため、ベース・エミッタ間電圧 V_{BE} の上昇は相殺され V_{ref} の上昇を抑える効果も有する。

10

【0031】

この様に、第1の実施の形態に係る基準電圧発生回路によれば、シリコンのバンドギャップ電圧(約1.2V)以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、バンドギャップ電圧以下等の低電圧電源でも電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第1の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、 V_f 特性や V_{BE} 特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第1の実施の形態に係る基準電圧発生回路によれば、基準電圧が供給されるアナログ回路等の半導体集積回路の精度を向上でき、半導体集積回路の製品としての付加価値を高めることができる。

20

【0032】

(第2の実施の形態)

図3で示した第1の実施の形態に係る基準電圧発生回路では、第1及び第2の基準電圧発生素子としてバイポーラトランジスタを採用したが、第2の実施の形態に係る基準電圧発生回路のように、基準電圧発生素子としてpn接合ダイオードを採用することも可能であり、pn接合ダイオードの V_f 特性を利用して同様の効果が得られる。即ち、図7では、図3に示した第1の実施の形態に係る基準電圧発生回路のpnpトランジスタ Q_1 、 Q_2 のエミッタ・コレクタ(ベース)間の代わりにpn接合ダイオード(以下、ダイオード) D_1 、 D_2 のアノード・カソード間を接続し置き換えている。

30

【0033】

図7では、図1に示したブロック図の第1の電流変換回路 C_{11} は、第1電源 V_{DD} と第2電源(GND)間に設けられ第2電源(GND)に一端を接続された第1のpn接合ダイオード(第1の基準電圧発生素子) D_2 と、第2電源(GND)に一端を接続された、第1のpn接合ダイオード(第1の基準電圧発生素子) D_2 より電流密度の低い第2のpn接合ダイオード(第2の基準電圧発生素子) D_1 と第1の抵抗素子 R_{11} からなる直列回路(D_1 、 R_{11})と、第1のpn接合ダイオード(第1の基準電圧発生素子) D_2 に発生する順方向電圧 V_{f2} で規定される第1の電圧と第2のpn接合ダイオード(第2の基準電圧発生素子) D_1 に発生する順方向電圧 V_{f1} で規定される電圧と第1の抵抗素子 R_{11} に発生する電圧 V_{11} の和($V_{f1} + V_{11}$)となる第2の電圧を比較し第1のpn接合ダイオード(第1の基準電圧発生素子) D_2 及び直列回路(D_1 、 R_{11})に一定の比で電流を供給し第1の電圧と第2の電圧が等しくなる様に制御する第1の電流制御回路(A_1 、 P_0)とを備える。第1の電流制御回路(A_1 、 P_0)は、第1の電圧を負(-)入力端子に接続し、第2の電圧を正(+)入力端子に接続し、第1の電圧と第2の電圧を比較する第1差動増幅回路 A_1 と、第1差動増幅回路 A_1 の出力をゲートに入力するpMOSトランジスタ(第1電流制御トランジスタ) P_0 とを備える。そして、第1の電流変換回路 C_{11} は、第1のpn接合ダイオード(第1の基準電圧発生素子) D_2 の順方向電圧 V_{f2} と第2のpn接合ダイオード(第2の基準電圧発生素子) D_1 の順方向電圧 V_{f1} との差 $V_{11} = V_{f2} - V_{f1}$ から正の温度依存を持った第1の電流量 I_{11} に変換する。

40

【0034】

50

第2のpn接合ダイオード(第2の基準電圧発生素子)D₁は、図3に示した第1の実施の形態に係る基準電圧発生回路のQ₁と同様に、複数個のpn接合ダイオードD₁₁, D₁₂, …, D_{1n}を並列接続され、第2のpn接合ダイオード(第2の基準電圧発生素子)D₁の並列接続されたすべてのpn接合面積の合計をS_{D1}、第1のpn接合ダイオード(第1の基準電圧発生素子)D₂のpn接合面積をS_{D2}とし、第2のpn接合ダイオード(第2の基準電圧発生素子)D₁の順方向電圧をV_{f1}、第1のpn接合ダイオード(第1の基準電圧発生素子)D₂の順方向電圧をV_{f2}とするとV_{f1}には、

$$V_{f1} = I_{11} \times R_{11} = V_T \times \ln((S_{D1} / S_{D2}) \times (I_{12} / I_{11})) \quad \dots (14)$$

の電圧を発生し、図3に示す第1の実施の形態に係る基準電圧発生回路と同等の動作特性を示し同等の効果をえられる。

10

【0035】

図1に示したブロック図の第2の電流変換回路C₁₂は、図7では、第1のpn接合ダイオード(第1の基準電圧発生素子)D₂の順方向電圧V_{f2}を入力電圧とし第2電源(GND)を一端に接続された第2の抵抗素子R₂₀の他端が入力電圧と等しくなる様に電流を制御する第2の電流制御回路(A₂, P₂₀, P₂₁)を備え、負の温度依存を持った第2の電流量I₂₁に変換する。第2の電流制御回路(A₂, P₂₀, P₂₁)は、第1のpn接合ダイオード(第1の基準電圧発生素子)D₂の順方向電圧V_{f2}を負(-)入力端子に接続し、第2の抵抗素子R₂₀の他端を正(+)入力端子に接続した第2差動増幅回路A₂と、第2差動増幅回路A₂の出力をゲートに入力するpMOSトランジスタ(第2電流制御トランジスタ)P₂₀及びpMOSトランジスタ(第3電流制御トランジスタ)P₂₁とを備える。

20

【0036】

図1に示したブロック図の電圧加算回路C₁₆は、第1電源V_{DD}と第2電源(GND)間に設けられ一端を直列回路(D₁, R₁₁)に直列接続され他端に第1の電流制御回路A₁の出力電流に応じた電流が供給される第3の抵抗素子R₃₁を設け、この第3の抵抗素子R₃₁の一端に第2の電流変換回路C₁₂の出力電流I₂₁を供給することで、第3の抵抗素子R₃₁に正の温度依存を持った第1の電流量I₁₁から負の温度依存を持った第2の電流量I₂₁を減じた第3の電流量I₃₁ = I₁₁ - I₂₁を発生させ、第3の抵抗素子R₃₁の他端に温度補償された電源電圧に依存しないバンドギャップ電圧以下の電圧V_{ref} = V_{f2} + V₃₁を出力させる。これにより、第1の電流制御回路A₁の帰還作用によって第1電源V_{DD}の電圧がバンドギャップ電圧以下であっても電圧依存特性がより小さくなる様にしている。

30

【0037】

本発明の第2の実施の形態に係る基準電圧発生回路によれば、第1の実施の形態に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧(約1.2V)以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、バンドギャップ電圧以下等の低電圧電源でも電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第2の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、V_f特性やV_{BE}特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第2の実施の形態に係る基準電圧発生回路が基準電圧を供給するアナログ回路等の半導体集積回路の精度を向上でき、半導体集積回路の製品としての付加価値を高めることができる。

40

【0038】

(第3の実施の形態)

図3で示した第1の実施の形態に係る基準電圧発生回路では、第1及び第2の基準電圧発生素子としてバイポーラトランジスタを用いる場合を例示したが、基準電圧発生素子として、ダイオード接続されたMOSトランジスタを採用することも可能であり、ダイオード接続されたMOSトランジスタの弱反転領域特性を利用して同様の効果がえられる。即ち、図8に示す第3の実施の形態に係る基準電圧発生回路では、図3に示した基準電圧発生回路のpnptランジスタQ₁, Q₂のエミッタ-コレクタ(ベース)間の代わりに、

50

ダイオード接続されたnMOSトランジスタ N_1 、 N_2 のドレイン(ゲート)-ソース間を接続し置き換えている。

【0039】

図1に示したブロック図の第1の電流変換回路 C_{11} は、図8に示す第3の実施の形態に係る基準電圧発生回路では、第1電源 V_{DD} と第2電源(GND)間に設けられ第2電源(GND)に一端を接続されたダイオード接続されたnMOSトランジスタ(第1の基準電圧発生素子) N_2 と、第2電源(GND)に一端を接続された、ダイオード接続されたnMOSトランジスタ(第1の基準電圧発生素子) N_2 より電流密度の低いダイオード接続されたnMOSトランジスタ(第2の基準電圧発生素子) N_1 と第1の抵抗素子 R_{11} からなる直列回路(N_1 、 R_{11})と、ダイオード接続されたnMOSトランジスタ(第1の基準電圧発生素子) N_2 に発生する弱反転領域特性で規定される第1の電圧とダイオード接続されたnMOSトランジスタ(第2の基準電圧発生素子) N_1 に発生する弱反転領域特性で規定される電圧と第1の抵抗素子 R_{11} に発生する電圧 V_{11} の和($V_1 + V_{11}$)となる第2の電圧を比較しダイオード接続されたnMOSトランジスタ(第1の基準電圧発生素子) N_2 及び直列回路(N_1 、 R_{11})に一定の比で電流を供給し第1の電圧と第2の電圧が等しくなる様に制御する第1の電流制御回路(A_1 、 P_0)とを備える。第1の電流制御回路(A_1 、 P_0)は、第1の電圧を負(-)入力端子に接続し、第2の電圧を正(+)入力端子に接続し、第1の電圧と第2の電圧を比較する第1差動増幅回路 A_1 と、第1差動増幅回路 A_1 の出力をゲートに入力するpMOSトランジスタ(第1電流制御トランジスタ) P_0 とを備える。そして、第1の電流変換回路 C_{11} は、ダイオード接続されたnMOSトランジスタ(第1の基準電圧発生素子) N_2 の弱反転領域特性で規定される電圧 V_2 とダイオード接続されたnMOSトランジスタ(第2の基準電圧発生素子) N_1 の弱反転領域特性で規定される電圧 V_1 との差 $V_{11} = V_2 - V_1$ から正の温度依存を持った第1の電流量 I_{11} に変換する。

【0040】

第2のnMOSトランジスタ(第2の基準電圧発生素子) N_1 は、図3に示した第1の実施の形態に係る基準電圧発生回路の Q_1 と同様に、それぞれのチャンネル長 L が等しい複数個のnMOSトランジスタ N_{11} 、 N_{12} 、 \dots 、 N_{1n} を並列接続されている。第2のnMOSトランジスタ(第2の基準電圧発生素子) N_1 の並列接続されたすべてのチャンネル幅 W の合計を W_{N1} 、第1のnMOSトランジスタ(第1の基準電圧発生素子) N_2 のチャンネル幅 W を W_{N2} とし、それぞれのチャンネル長 L が等しい第2、第1のnMOSトランジスタ N_1 、 N_2 のゲート-ソース間電圧を V_{G1} 、 V_{G2} とし、nMOSトランジスタの弱反転領域における $V_{GS} - \ln(I_{DS})$ 特性の傾きを $1/(V_T)$ とする。第2、第1のnMOSトランジスタ N_1 、 N_2 の I_{DS} I_{11} 、 I_{12} を第2、第1のnMOSトランジスタ N_1 、 N_2 の弱反転領域の直線領域で動作する様に設定すると、この V_T は温度比例することから V_{11} には、

$$V_{11} = I_{11} \times R_{11} = V_T \times \ln((W_{N1}/W_{N2}) \times (I_{12}/I_{11})) \quad \dots (15)$$

の電圧を発生し、図3に示す第1の実施の形態に係る基準電圧発生回路と同等の動作特性を示し同等の効果をえられる。

【0041】

図1に示したブロック図の第2の電流変換回路 C_{12} は、図8に示す第3の実施の形態に係る基準電圧発生回路では、ダイオード接続されたnMOSトランジスタ(第1の基準電圧発生素子) N_2 の弱反転領域特性で規定される電圧 V_2 を入力電圧とし第2電源(GND)を一端に接続された第2の抵抗素子 R_{20} の他端が入力電圧と等しくなる様に電流を制御する第2の電流制御回路(A_2 、 P_{20} 、 P_{21})を備え、負の温度依存を持った第2の電流量 I_{21} に変換する。第2の電流制御回路(A_2 、 P_{20} 、 P_{21})は、nMOSトランジスタ(第1の基準電圧発生素子) N_2 の弱反転領域特性で規定される電圧 V_2 を負(-)入力端子に接続し、第2の抵抗素子 R_{20} の他端を正(+)入力端子に接続した第2差動増幅回路 A_2 と、第2差動増幅回路 A_2 の出力をゲートに入力するpMOSトランジスタ(第2電流制御トランジスタ) P_{20} 及びpMOSトランジスタ(第3電流制御トランジスタ) P_{21}

とを備える。pMOSトランジスタ（第2電流制御トランジスタ） P_{20} とpMOSトランジスタ（第3電流制御トランジスタ） P_{21} とは、カレントミラー回路を構成している。

【0042】

図1に示したブロック図の電圧加算回路 C_{16} は、図8に示す第3の実施の形態に係る基準電圧発生回路では、第1電源 V_{DD} と第2電源（GND）間に設けられ一端を直列回路（ N_1, R_{11} ）に直列接続され他端に第1の電流制御回路 A_1 の出力電流に応じた電流が供給される第3の抵抗素子 R_{31} を設け、この第3の抵抗素子 R_{31} の一端に第2の電流変換回路 C_{12} の出力電流 I_{21} を供給することで、第3の抵抗素子 R_{31} に正の温度依存を持った第1の電流量 I_{11} から負の温度依存を持った第2の電流量 I_{21} を減じた第3の電流量 $I_{31} = I_{11} - I_{21}$ を発生させ、第3の抵抗素子 R_{31} の他端に温度補償された電源電圧に依存しないバンドギャップ電圧以下の電圧 $V_{ref} = V_2 + V_{31}$ を出力させる。これにより、第1の電流制御回路 A_1 の帰還作用によって第1電源 V_{DD} の電圧がバンドギャップ電圧以下であっても電圧依存がより小さくなる様にしている。

10

【0043】

本発明の第3の実施の形態に係る基準電圧発生回路によれば、第1及び第2の実施の形態に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第3の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、MOSトランジスタ閾値電圧特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第3の実施の形態に係る基準電圧発生回路によれば、アナログ回路等の半導体集積回路の精度を向上でき、半導体集積回路の製品としての付加価値を高めることができる。

20

【0044】

（第4の実施の形態）

図9に本発明の第4の実施の形態に係る基準電圧発生回路を示す。図9では、図3に示した第1の実施の形態に係る基準電圧発生回路のpnpトランジスタ Q_1, Q_2 と抵抗素子 R_{11} の代わりに第1差動増幅回路 A_1 の負（-）入力端子とGND電源間にnpnトランジスタ Q_{12} を接続し、第1差動増幅回路 A_1 の正（+）入力端子とGND電源の間に複数個並列接続させnpnトランジスタ Q_{12} よりエミッタ電流密度を低くしたnpnトランジスタ Q_{11} と抵抗素子 R_{11} を直列接続している。

30

【0045】

npnトランジスタ Q_{11}, Q_{12} の V_{BE} をそれぞれ V_{BEQ11}, V_{BEQ12} とすると、エミッタ電流密度の違いから $V_{11} = V_{BEQ12} - V_{BEQ11}$ なる電位差を発生する。第1差動増幅回路 A_1 は正（+）入力端子と負（-）入力端子を同電位に保つ様にフィードバック制御し、抵抗素子 R_{11} によって V_{BE} 電位差 V_{11} に応じた電流 I_{11} を発生する電流変換回路を構成する。よって、この場合も図3に示した第1の実施の形態に係る基準電圧発生回路と同等の動作特性を示し同等の効果が得られる。

【0046】

本発明の第4の実施の形態に係る基準電圧発生回路によれば、第1～第3の実施の形態に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第4の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、 V_f 特性や V_{BE} 特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第4の実施の形態に係る基準電圧発生回路によれば、アナログ回路等の半導体集積回路の精度が向上し、半導体集積回路の製品としての付加価値を高めることができる。

40

【0047】

（第5の実施の形態）

50

図 10 に本発明の第 5 の実施の形態に係る基準電圧発生回路を示す。図 10 では、図 3 に示した第 1 の実施の形態に係る基準電圧発生回路の第 2 差動増幅回路 A_2 の負 (-) 入力端子を抵抗素子 R_{32} と p n p トランジスタ Q_2 との接続点 (第 1 ノード) X_{10} (= X_{22}) から抵抗素子 R_{31} と抵抗素子 R_{11} の接続点 (第 2 ノード) X_{11} (= X_{21}) に変更している。

【 0 0 4 8 】

抵抗素子 R_{32} と p n p トランジスタ Q_2 との接続点 (第 1 ノード) X_{12} (= X_{10}) と、抵抗素子 R_{31} と抵抗素子 R_{11} の接続点 (第 2 ノード) X_{11} は共に第 1 差動増幅回路 A_1 によってフィードバック制御され同電位 (イマジナリショート) となるため、図 3 に示した第 1 の実施の形態に係る基準電圧発生回路と同等の動作特性を示し同等の効果が得られる。

【 0 0 4 9 】

本発明の第 5 の実施の形態に係る基準電圧発生回路によれば、第 1 ~ 第 4 の実施の形態に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第 5 の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、 V_f 特性や V_{BE} 特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第 5 の実施の形態に係る基準電圧発生回路によれば、アナログ回路等の半導体集積回路の精度が向上し、半導体集積回路の製品としての付加価値を高めることができる。

【 0 0 5 0 】

(第 6 の実施の形態)

図 11 に本発明の第 6 の実施の形態に係る基準電圧発生回路を示す。図 11 では、図 3 に示した第 1 の実施の形態に係る基準電圧発生回路の p M O S トランジスタ (第 1 電流制御トランジスタ) P_0 と抵抗素子 R_{32} の代わりに、 V_{DD} 電源と出力端子 V_{ref} 間に直列接続された抵抗素子 R_{101} と p M O S トランジスタ (第 1 電流制御トランジスタ) P_{01} と、 V_D 電源と p n p トランジスタ Q_2 のエミッタ間に直列接続された抵抗素子 R_{102} と p M O S トランジスタ (第 1 電流制御トランジスタ) P_{02} を設置し、p M O S トランジスタ (第 1 電流制御トランジスタ) P_{01} 、 P_{02} のゲートには第 1 差動増幅回路 A_{11} の出力を接続する。又、p M O S トランジスタ P_{20} 、 P_{21} 、 P_{22} のソースと V_{DD} 電源間にそれぞれ抵抗素子 R_{120} 、 R_{121} 、 R_{122} を設置している。抵抗素子 R_{101} 、 R_{102} と p M O S トランジスタ (第 1 電流制御トランジスタ) P_{01} 、 P_{02} は第 1 差動増幅回路 A_{11} からのフィードバック制御によって、所望の電流比を持った I_{31} 、 I_{32} を出力するカレントミラー回路として動作する。

【 0 0 5 1 】

図 1 に示す基準電圧発生回路の第 1 の電流変換回路 C_{11} は、図 11 では、第 1 電源 V_{DD} と第 2 電源 (G N D) の第 1 電流経路に設けられ、第 2 電源 (G N D) の電位に一端の電位が固定され、他端を第 1 ノード X_{12} に接続し、この第 1 ノード X_{12} に負の温度依存性を有する第 1 基準電圧を発生する第 1 の基準電圧発生素子 Q_2 と、第 1 電源 V_{DD} と第 2 電源 (G N D) の第 2 電流経路に設けられ、第 2 電源 (G N D) の電位に一端の電位が固定され、第 1 の基準電圧発生素子 Q_2 より電流密度の低く、他端に負の温度依存性を有する第 2 基準電圧を発生する第 2 の基準電圧発生素子 Q_1 と、この第 2 の基準電圧発生素子 Q_1 の他端に一端を接続され、他端を第 2 ノード X_{11} に接続する第 1 の抵抗素子 R_{11} からなる直列回路 (Q_1 、 R_{11}) と、第 1 基準電圧と、第 2 ノード X_{11} に生じる第 2 基準電圧と第 1 の抵抗素子 R_{11} に発生する電圧の和とを比較し、第 1 及び第 2 電流経路に一定の比で電流を供給し、第 1 及び第 2 基準電圧の差から正の温度依存性を有する第 1 の電流量 I_{11} を、第 1 の抵抗素子 R_{11} に流す第 1 の電流制御回路 (A_{11} 、 P_{01}) とを備える。ここで、第 1 の電流制御回路 (A_{11} 、 P_{01}) は、第 1 ノード X_{12} に一方の入力端子、第 2 ノード X_{11} に他方の入力端子を接続した第 1 差動増幅器 A_{11} と、第 1 電源 V_{DD} に抵抗 R_{101} を介して一端を接続し、他端を第 2 電流経路に設けられ、基準電圧 V_{ref} を出力する出力ノード X_{31}

に接続し、ゲートを第1差動増幅器 A_{11} の出力端子に接続した第1電流制御トランジスタ P_{01} とを備える。

【0052】

又、図1に示したブロック図の第2の電流変換回路 C_{12} は、図11では、第1電源 V_{DD} と第2電源(GND)の第3電流経路に設けられ、第2電源(GND)の電位に一端の電位が固定され、他端を第3ノード X_{20} に接続した第2の抵抗素子 R_{20} と、第3ノード X_{20} と第1電源 V_{DD} 間に抵抗 R_{120} を介して接続された第2電流制御トランジスタ P_{20} と、第1ノード X_{12} ($=X_{10}=X_{22}$)を負(-)入力端子に、第3ノード X_{20} を正(+)入力端子に接続した第2差動増幅器 A_{12} と、第1電源 V_{DD} と第2差動増幅器 A_{12} の負(-)入力端子の間に抵抗 R_{122} を介して接続され、ゲートに第2差動増幅器 A_{12} の出力を接続し、第2電流制御トランジスタ P_{20} とカレントミラーを構成する第3電流制御トランジスタ P_{22} と、第1電源 V_{DD} と第2ノード X_{11} の間に抵抗 R_{121} を介して接続され、ゲートに第2差動増幅器 A_{12} の出力を接続し、第2電流制御トランジスタ P_{20} とカレントミラーを構成する第4電流制御トランジスタ P_{21} とを更に備える。第2の電流変換回路 C_{12} は、第2差動増幅器 A_{12} の負(-)入力端子と、正(+)入力端子の電位とが等しくなる様に、第2~第4電流制御トランジスタ P_{20} 、 P_{22} 、 P_{21} を制御し、第4電流制御トランジスタ P_{21} から負の温度依存性を持った第2の電流量 I_{21} の電流を第2ノード X_{11} に出力する。

10

【0053】

図1に示したブロック図の電圧加算回路 C_{16} は、図11では、出力ノード X_{31} と第2ノード X_{11} 間に接続された第3の抵抗素子 R_{31} を更に備え、この第3の抵抗素子 R_{31} に第1の電流量 I_{11} から第2の電流量 I_{21} を減じた電流量の電流を、第3の電流量 I_{31} の電流として流し、第3の抵抗素子 R_{31} の両端子間に正の温度依存性を有する温度特性補償電圧 V_{31} を発生させ、出力ノード X_{31} から基準電圧 V_{ref} を出力する。

20

【0054】

図12に示すように、第1差動増幅回路 A_{11} 、 A_{12} は、第1電源 V_{DD} に抵抗 R_{201} を介してソースを接続し、ゲートとドレインとを短絡したpMOSトランジスタ(第2電流制御トランジスタ) P_{201} と、第1電源 V_{DD} に抵抗 R_{202} を介してソースを接続し、pMOSトランジスタ P_{201} のゲートにゲートを接続したpMOSトランジスタ(第2電流制御トランジスタ) P_{202} と、pMOSトランジスタ(第2電流制御トランジスタ) P_{201} のドレインにドレインを接続し定電流源 K_{220} にソースを接続したnMOSトランジスタ N_{201} と、pMOSトランジスタ(第2電流制御トランジスタ) P_{202} のドレインにドレインを接続し定電流源 K_{220} にソースを接続したnMOSトランジスタ N_{202} とを備え、nMOSトランジスタ N_{201} のゲートを正(+)入力端子、nMOSトランジスタ N_{202} のゲートを負(-)入力端子、nMOSトランジスタ N_{202} のドレインを出力端子としている。

30

【0055】

第6の実施の形態に係る基準電圧発生回路において、抵抗素子 R_{120} 、 R_{121} 、 R_{122} は、トランジスタ P_{20} 、 P_{21} 、 P_{22} の素子相対ばらつきやチャネル長変調による設計値からのずれを改善させ出力電流 I_{20} 、 I_{21} 、 I_{22} の精度を向上させる効果を持つ。図11に示した基準電圧発生回路の場合も図3に示した第1の実施の形態に係る基準電圧発生回路と同様に、 $I_{31}=I_{11}-I_{21}$ なる電流を発生し、式(13)で示す V_{ref} 出力電圧を得る。よって、図3に示した第1の実施の形態に係る基準電圧発生回路と同等の動作特性を示し同等の効果が得られる。

40

【0056】

本発明の第6の実施の形態に係る基準電圧発生回路によれば、第1~第5の実施の形態に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第6の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、 V_f 特性や V_{BE} 特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第6の実施の形態に係る基準電圧発生回路によれば、アナログ

50

回路等の半導体集積回路の精度が向上し、半導体集積回路の製品としての付加価値を高めることができる。

【0057】

(第7の実施の形態)

図13に本発明の第7の実施の形態に係る基準電圧発生回路を示す。図13では、図3に示した第1の実施の形態に係る基準電圧発生回路のpMOSトランジスタ P_{20} 、 P_{21} 、 P_{22} の代わりに、ソースを V_{DD} 電源に接続しゲートを第2差動増幅回路 A_2 に接続したpMOSトランジスタ P_{220} と、それぞれ一端をpMOSトランジスタ P_{220} のドレインに接続した抵抗素子 R_{220} 、 R_{221} 、 R_{222} を設置し、抵抗 R_{220} の他端を第3ノード X_{20} において抵抗素子 R_{20} の他端に接続し、抵抗素子 R_{221} の他端を抵抗素子 R_{31} と抵抗素子 R_{11} の接続点(第2ノード) X_{11} に接続し、抵抗素子 R_{222} の他端を抵抗素子 R_{32} とpnpトランジスタ Q_2 の接続点(第1ノード) X_{10} に接続している。

10

【0058】

抵抗素子 R_{220} は、図3の基準電圧発生回路と同様に第2差動増幅回路 A_2 によってフィードバック制御された電流 $I_{20} = V_{BEQ2} / R_{20}$ が印加される。

【0059】

ここで、抵抗素子 R_{220} の他端の接続された第3ノード X_{20} と抵抗素子 R_{222} の他端の接続されたノード X_{22} とは第2差動増幅回路 A_2 によって同電位(イマジナリショート)となり、抵抗素子 R_{222} の他端の接続されたノード X_{12} と抵抗素子 R_{221} の他端の接続されたノード X_{11} とは第1差動増幅回路 A_1 によって同電位(イマジナリショート)となる。結果として、第3ノード X_{20} 、ノード X_{22} 、ノード X_{12} 、ノード X_{11} は、それぞれ第1差動増幅回路 A_1 及び第2差動増幅回路 A_2 によって同電位(イマジナリショート)となるため、電流 I_{20} 、 I_{21} 、 I_{22} はそれぞれ抵抗素子 R_{220} 、 R_{221} 、 R_{222} の抵抗値に反比例する電流を出力する。よって、図3に示した第1の実施の形態に係る基準電圧発生回路と同等の動作特性を示し同等の効果が得られる。

20

【0060】

本発明の第7の実施の形態に係る基準電圧発生回路によれば、第1~第6の実施の形態に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第7の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、 V_f 特性や V_{BE} 特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第7の実施の形態に係る基準電圧発生回路によれば、アナログ回路等の半導体集積回路の精度が向上し、半導体集積回路の製品としての付加価値を高めることができる。

30

【0061】

(第8の実施の形態)

図14に本発明の第8の実施の形態に係る基準電圧発生回路を示す。図14では、図3に示した基準電圧回路の出力端子 V_{ref} とGND電源間に直列接続された抵抗素子 R_{33} とpnpトランジスタ Q_3 を接続点(ノード) X_{13} で接続し、図3の抵抗素子 R_{32} とpnpトランジスタ Q_2 の接続点(第1ノード) X_{10} の代わりに抵抗素子 R_{33} とpnpトランジスタ Q_3 の接続点(ノード) X_{13} を第2差動増幅回路 A_2 の負(-)入力端子に接続している。

40

【0062】

pnpトランジスタ Q_3 には抵抗素子 R_{33} の値に応じた V_{BE} 電圧 V_{BEQ3} を発生する。又、第2差動増幅回路 A_2 は正(+)入力端子と負(-)入力端子を同電位に保つ様にフィードバック制御し、 V_{BEQ3} を抵抗素子 R_{20} によって電圧電流変換しカレントミラー構成のMOSトランジスタ P_{20} 、 P_{21} 、 P_{22} によりドレイン電流 I_{20} 、 I_{21} 、 I_{22} を出力する電圧電流変換回路を構成する。この V_{BEQ3} は、図3に示した基準電圧回路の V_{BEQ2} と同様に負の温度依存性を持った電圧となるため、この場合も図3に示した第1の実施の形態

50

に係る基準電圧発生回路と同等の動作特性を示し同等の効果が得られる。

【0063】

本発明の第8の実施の形態に係る基準電圧発生回路によれば、第1～第7の実施の形態に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第8の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、 V_f 特性や V_{BE} 特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第8の実施の形態に係る基準電圧発生回路によれば、アナログ回路等の半導体集積回路の精度が向上し、半導体集積回路の製品としての付加価値を高めることができる。

10

【0064】

(第9の実施の形態)

図15に本発明の第9の実施の形態に係る基準電圧発生回路を示す。図15では、図11に示した第6の実施の形態に係る基準電圧発生回路の第1電源 V_{DD} と第2電源(GND)間に直列接続された抵抗素子 R_{103} 、pMOSトランジスタ P_{03} 、pnptランジスタ Q_3 と、pnptランジスタ Q_3 のエミッタ端子とGND電源間に直列接続された抵抗素子 R_{232} と R_{231} を追加している。

【0065】

即ち、図1に示す基準電圧発生回路の第1の電流変換回路 C_{11} は、図15では、第1電源 V_{DD} と第2電源(GND)の第1電流経路に設けられ、第2電源(GND)の電位に一端(コレクタ端子)の電位が固定され、他端(エミッタ端子)を第1ノード X_{12} に接続し、この第1ノード X_{12} に負の温度依存性を有する第1基準電圧を発生する第1の基準電圧発生素子(pnptランジスタ) Q_2 と、第1電源 V_{DD} と第2電源(GND)の第2電流経路に設けられ、第2電源(GND)の電位に一端(コレクタ端子)の電位が固定され、第1の基準電圧発生素子(pnptランジスタ) Q_2 より電流密度の低く、他端(エミッタ端子)に負の温度依存性を有する第2基準電圧を発生する第2の基準電圧発生素子(pnptランジスタ) Q_1 と、第1電源 V_{DD} と第2電源(GND)の第3電流経路に設けられ、第2電源(GND)の電位に一端(コレクタ端子)の電位が固定され、他端(エミッタ端子)に負の温度依存性を有する第3基準電圧を発生する第3の基準電圧発生素子(pnptランジスタ) Q_3 と、この第2の基準電圧発生素子(pnptランジスタ) Q_1 の他端に一端を接続され、他端を第2ノード X_{11} に接続する第1の抵抗素子 R_{11} からなる直列回路(Q_1 , R_{11})と、第1基準電圧と、第2ノード X_{11} に生じる第2基準電圧と第1の抵抗素子 R_{11} に発生する電圧の和とを比較し、第1及び第2電流経路に一定の比で電流を供給し、第1及び第2基準電圧の差から正の温度依存性を有する第1の電流量 I_{11} を、第1の抵抗素子 R_{11} に流す第1の電流制御回路(A_{11} , P_{01})とを備える。第3の基準電圧発生素子(pnptランジスタ) Q_3 の他端(エミッタ端子)は、抵抗素子 R_{103} 及びpMOSトランジスタ P_{03} を介して第1電源 V_{DD} に接続され、第3の基準電圧発生素子(pnptランジスタ) Q_3 のエミッタ端子とコレクタ端子間には、抵抗素子 R_{232} と抵抗素子 R_{231} とが第4ノード X_{23} で接続された直列回路が、並列接続されている。ここで、第1の電流制御回路(A_{11} , P_{01})は、第1ノード X_{12} に一方の入力端子、第2ノード X_{11} に他方の入力端子を接続した第1差動増幅器 A_{11} と、第1電源 V_{DD} に抵抗 R_{101} を介して一端を接続し、他端を第2電流経路に設けられ、基準電圧 V_{ref} を出力する出力ノード X_{31} に接続し、ゲートを第1差動増幅器 A_{11} の出力端子に接続した第1電流制御トランジスタ P_{01} とを備える。

20

30

40

【0066】

図1に示したブロック図の第2の電流変換回路 C_{12} は、図15では、第1電源 V_{DD} と第2電源(GND)の第3電流経路に設けられ、第2電源(GND)の電位に一端の電位が固定され、他端を第3ノード X_{20} に接続した第2の抵抗素子 R_{20} と、第3ノード X_{20} と第1電源 V_{DD} 間に抵抗 R_{120} を介して接続された第2電流制御トランジスタ P_{20} と、第4ノ

50

ード X_{23} を負 (-) 入力端子に、第 3 ノード X_{20} を正 (+) 入力端子に接続した第 2 差動増幅器 A_{12} と、第 1 電源 V_{DD} と第 2 ノード X_{11} の間に抵抗 R_{121} を介して接続され、ゲートに第 2 差動増幅器 A_{12} の出力を接続し、第 2 電流制御トランジスタ P_{20} とカレントミラーを構成する第 3 電流制御トランジスタ P_{21} と、第 1 電源 V_{DD} と第 1 ノード X_{10} の間に抵抗 R_{122} を介して接続され、ゲートに第 2 差動増幅器 A_{12} の出力を接続し、第 2 電流制御トランジスタ P_{20} とカレントミラーを構成する第 4 電流制御トランジスタ P_{22} とを更に備える。第 2 差動増幅器 A_{12} は、負 (-) 入力端子と正 (+) 入力端子の電位とが等しくなる様に、第 2 ~ 第 4 電流制御トランジスタ P_{20} , P_{21} , P_{22} を制御し、第 3 電流制御トランジスタ P_{21} から負の温度依存性を持った第 2 の電流量 I_{21} の電流を第 2 ノード X_{11} へ出力し、第 4 電流制御トランジスタ P_{22} から負の温度依存性を持った電流量 I_{22} の電流を第 1 ノード X_{10} (= X_{12}) へ出力する。

10

【 0 0 6 7 】

図 1 に示したブロック図の電圧加算回路 C_{16} は、図 1 5 では、出力ノード X_{32} と第 1 ノード X_{10} (= X_{12}) 間に接続された第 3 の抵抗素子 R_{32} を更に備え、この第 3 の抵抗素子 R_{32} に第 1 の電流量 I_{11} から第 2 の電流量 I_{21} を減じた電流量 I_{31} に比例した電流量 I_{32} の電流を第 3 の電流量 I_{32} の電流として流し、第 3 の抵抗素子 R_{32} の両端子間に正の温度依存性を有する温度特性補償電圧 V_{32} を発生させ、出力ノード X_{32} から基準電圧 V_{ref} を出力する。

【 0 0 6 8 】

即ち、図 1 1 に示した第 6 の実施の形態に係る基準電圧発生回路の p M O S トランジスタ P_{02} と p n p トランジスタ Q_2 の接続点 (第 1 ノード) X_{12} の代わりに抵抗素子 R_{232} と R_{231} の接続点 (第 4 ノード) X_{23} を第 2 差動増幅回路 A_2 の負 (-) 入力端子に接続し、抵抗素子 R_{31} を廃止し p M O S トランジスタ P_{01} のドレインと抵抗素子 R_{11} の他端を接続点 (第 2 ノード) X_{11} で接続し第 1 差動増幅回路 A_1 の正 (+) 入力端子に接続し、代わりに p M O S トランジスタ P_{02} のドレインと p n p トランジスタ Q_2 のエミッタ間に抵抗 R_{32} を追加し、p M O S トランジスタ P_{02} と抵抗 R_{32} の接続点 (出力ノード) X_{32} を出力端子 V_{ref} としている。

20

【 0 0 6 9 】

この場合、抵抗素子 R_{101} と p M O S トランジスタ P_{01} 及び抵抗素子 R_{102} と p M O S トランジスタ P_{02} で構成されるカレントミラー回路の電流比 $I_{31} : I_{32} = 1 : m$ とし、抵抗素子 R_{120} と p M O S トランジスタ (第 2 電流制御トランジスタ) P_{20} 及び抵抗素子 R_{121} と p M O S トランジスタ (第 3 電流制御トランジスタ) P_{21} 及び抵抗素子 R_{122} と p M O S トランジスタ P_{22} で構成されるカレントミラー回路の電流比 $I_{20} : I_{21} : I_{22} = p : q : (m \times q)$ とし、抵抗素子 R_{32} に発生する電圧を V_{32} とすると、

30

$$I_{12} = V_T \times \ln((S_{Q1} / S_{Q2}) \times m) / R_{11} \times m \quad \dots (16)$$

と表わせる。又、

$$I_{22} = (V_{BEQ3} / R_{20}) \times (R_{231} / (R_{231} + R_{232})) \times ((m \times q) / p) \quad \dots (17)$$

となり、出力電圧 V_{ref} は、

$$\begin{aligned} V_{ref} &= V_{BEQ2} + V_{32} \\ &= V_{BEQ2} + R_{32} \times (I_{12} - I_{22}) \\ &= V_{BEQ2} + R_{32} \times (V_T \times \ln((S_{Q1} / S_{Q2}) \times m) / R_{11} \times m \\ &\quad - (V_{BEQ3} / R_{20}) \times (R_{231} / (R_{231} + R_{232})) \times ((m \times q) / p)) \end{aligned} \quad \dots (18)$$

40

式 (1 8) は式 (1 3) と同様に V_{DD} 電源の電圧に依存する項が無いので、 V_{ref} は V_{DD} 依存の無い電圧として定電圧動作を行なう。又この場合、p n p トランジスタの V_{BE} 電圧、 V_{BEQ3} の温度依存の傾きを抵抗素子 R_{231} , R_{232} により任意に変更でき、電圧電流変換後の電流 I_{21} と I_{22} の設定自由度が増す。この場合も、図 3 に示した第 1 の実施の形態に係る基準電圧発生回路と同等の動作特性を示し同等の効果が得られる。

【 0 0 7 0 】

本発明の第 9 の実施の形態に係る基準電圧発生回路によれば、第 1 ~ 第 8 の実施の形態

50

に係る基準電圧発生回路と同様に、シリコンのバンドギャップ電圧以下の低い電圧領域でも、温度依存の無い基準電圧を発生し、電源電圧変動の非常に小さい理想的な出力電圧を得ることができる。又、本発明の第9の実施の形態に係る基準電圧発生回路によれば、使用される抵抗素子の温度依存性による出力電圧の歪みを補正し、 V_T 特性や V_{BE} 特性等のばらつきに対してもそれを補正する様に動作するため、より高精度な基準電圧を発生できる。これにより、本発明の第9の実施の形態に係る基準電圧発生回路によれば、アナログ回路等の半導体集積回路の精度が向上し、半導体集積回路の製品としての付加価値を高めることができる。

【0071】

(その他の実施の形態)

上記のように、本発明は第1～第9の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施の形態及び運用技術が明らかとなろう。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【0072】

【図1】本発明の第1～第9の実施の形態に係る基準電圧発生回路の論理的な構成を示すブロック図である。

【図2】図2(a)は、図1の基準電圧発生回路の動作電圧の温度依存特性を模式的に示す図で、図2(b)は、その動作電流の温度依存特性を模式的に示す図である。

【図3】本発明の第1の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図4】図3の差動増幅回路の構成を示す回路図である。

【図5】図5(a)は、図3に示した本発明の第1の実施の形態に係る基準電圧発生回路の動作電圧の温度依存特性を模式的に示す図で、図5(b)は、第1の実施の形態に係る基準電圧発生回路の動作電流の温度依存特性を模式的に示す図である。

【図6】第1の実施の形態に係る基準電圧発生回路の出力電圧の電源電圧依存特性を示す図である。

【図7】本発明の第2の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図8】本発明の第3の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図9】本発明の第4の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図10】本発明の第5の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図11】本発明の第6の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図12】図11の差動増幅回路の構成を示す回路図である。

【図13】本発明の第7の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図14】本発明の第8の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図15】本発明の第9の実施の形態に係る基準電圧発生回路の構成を示す回路図である。

【図16】比較例としての基準電圧発生回路の構成を示すブロック図である。

【図17】図16に示した基準電圧発生回路の動作電圧と動作電流の温度依存特性を模式的に示す図である。

【図18】図16に示した基準電圧発生回路の電源電圧依存特性を示す図である。

【図19】基準電圧発生回路の他の比較例を示す回路図である。

【符号の説明】

【0073】

A_1, A_2, A_{11}, A_{12} ... 差動増幅回路

10

20

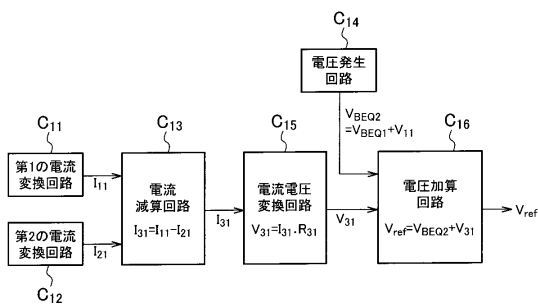
30

40

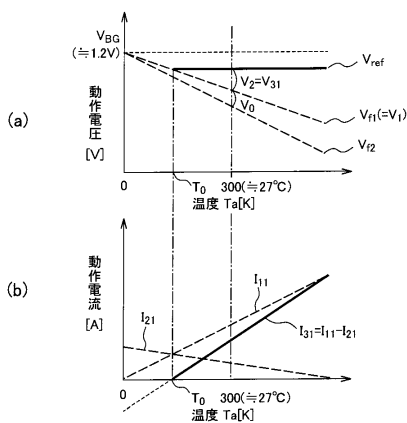
50

- C₀₁, C₀₂... 電流源回路
- C₀₃... カレントミラー回路
- C₁₁... 第1の電流変換回路
- C₁₂... 第2の電流変換回路
- C₁₃... 電流減算回路
- C₁₄... 電圧発生回路
- C₁₅... 電流電圧変換回路
- C₁₆... 第1の電圧加算回路
- D₁, D₂... ダイオード
- N₁, N₂... nMOSトランジスタ
- P₀, P₁, P₂, P₀₁, P₀₂, P₂₀, P₂₁, P₂₂, P₂₂₀... pMOSトランジスタ
- Q₁₁, Q₁₂... npnトランジスタ
- Q₁, Q₂, Q₃... pnpトランジスタ
- R₀, R₁, R₂, R₁₀₁, R₁₀₂, R₁₀₃, R₁₁₁, R₁₁, R₁₂₀, R₁₂₁, R₁₂₂, R₂₀, R₂₂₀, R₂₂₁, R₂₂₂, R₂₃₁, R₂₃₂, R₃₁, R₃₂, R₃₃... 抵抗素子
- R₃, R₄... プリード抵抗

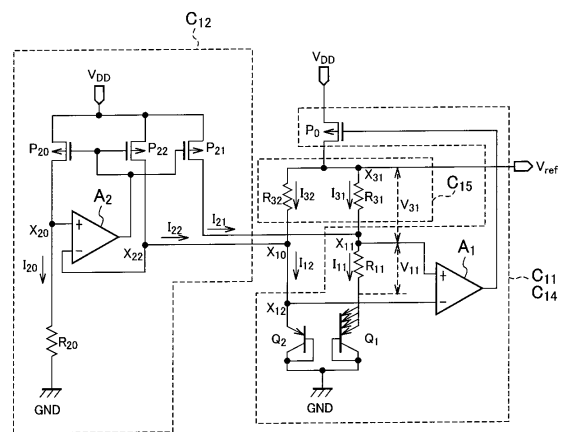
【図1】



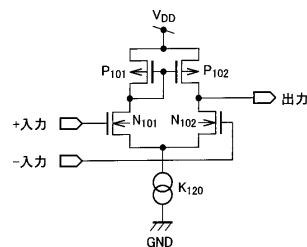
【図2】



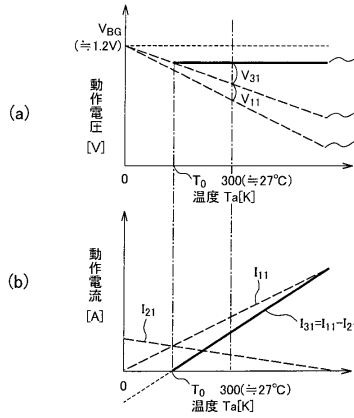
【図3】



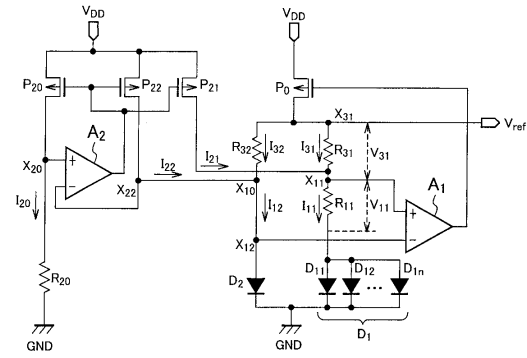
【図4】



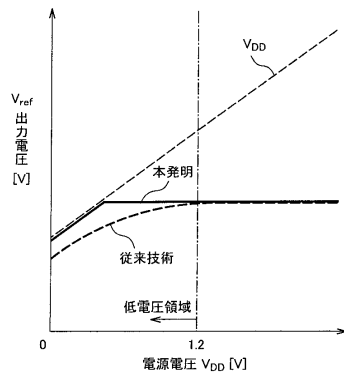
【図5】



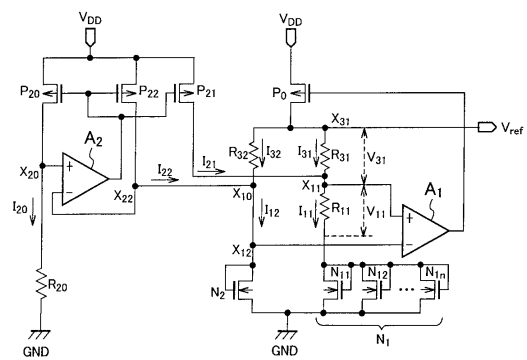
【図7】



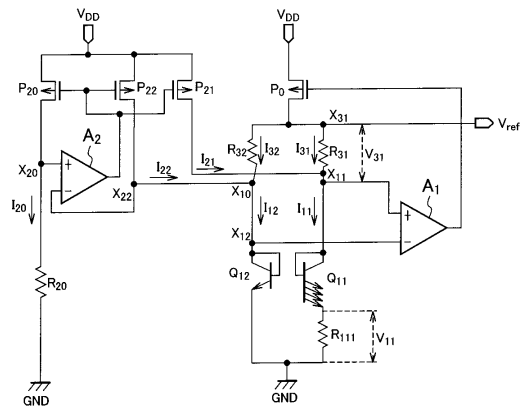
【図6】



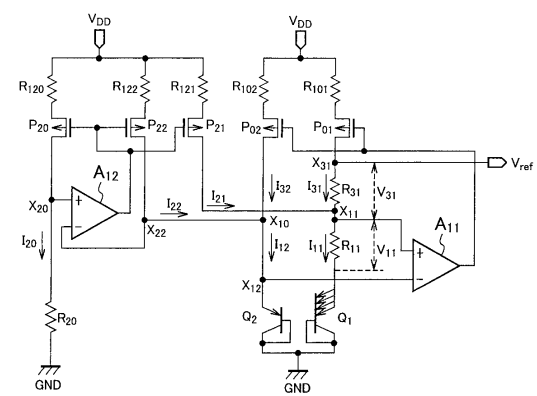
【図8】



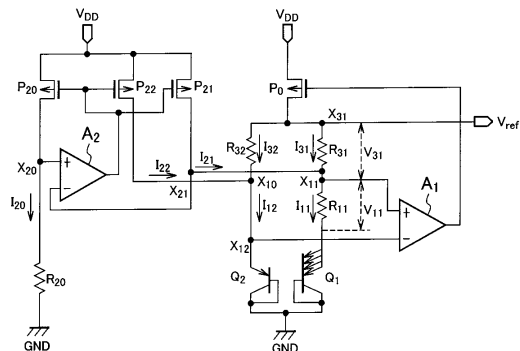
【図9】



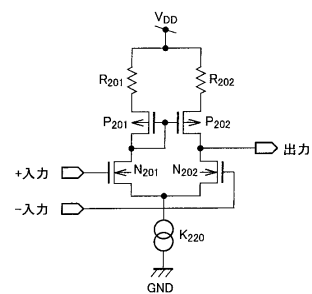
【図11】



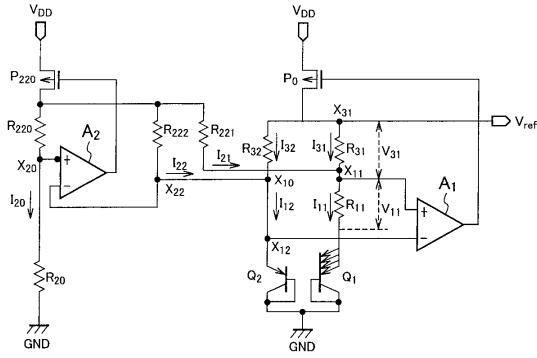
【図10】



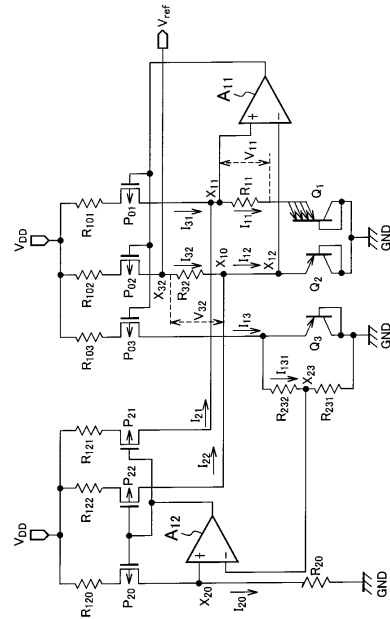
【図12】



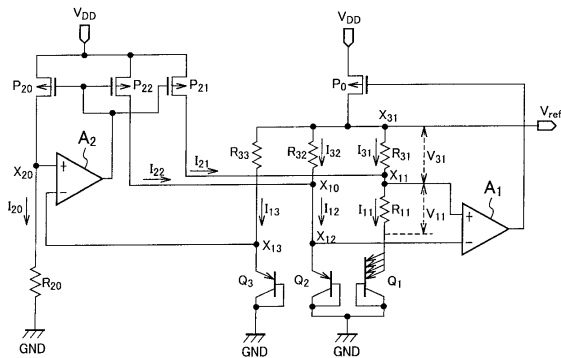
【図13】



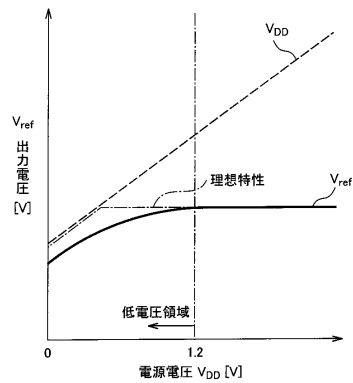
【図15】



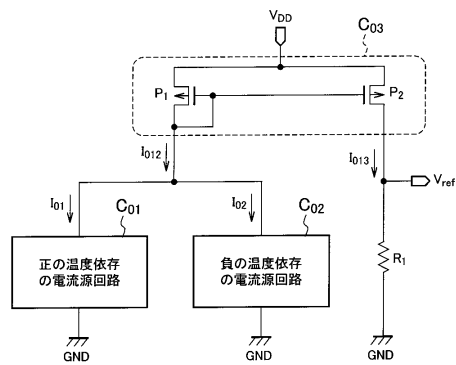
【図14】



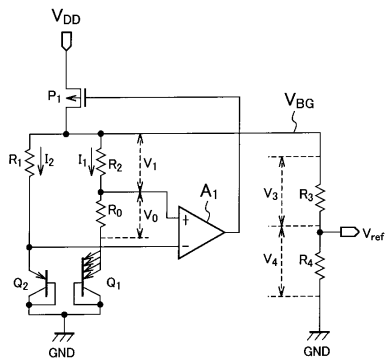
【図18】



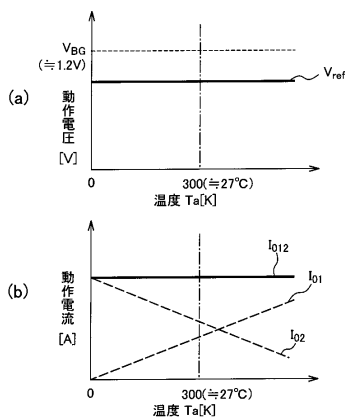
【図16】



【図19】



【図17】



フロントページの続き

(74)代理人 100095500

弁理士 伊藤 正和

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 諏訪部 裕之

神奈川県川崎市川崎区駅前本町2-5番地1 東芝マイクロエレクトロニクス株式会社内

(72)発明者 三村 安志

神奈川県川崎市川崎区駅前本町2-5番地1 東芝マイクロエレクトロニクス株式会社内

審査官 三島木 英宏

(56)参考文献 特開2004-192608(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05F 3/30