



(12) 发明专利

(10) 授权公告号 CN 108319385 B

(45) 授权公告日 2021.06.25

(21) 申请号 201711412057.2

(22) 申请日 2017.12.23

(65) 同一申请的已公布的文献号
申请公布号 CN 108319385 A

(43) 申请公布日 2018.07.24

(30) 优先权数据
62/438990 2016.12.23 US

(73) 专利权人 鸿富锦精密工业(深圳)有限公司
地址 518109 广东省深圳市宝安区龙华镇
油松第十工业区东环二路2号
专利权人 鸿海精密工业股份有限公司

(72) 发明人 佐藤秀夫 吴纪良

(74) 专利代理机构 深圳市赛恩倍吉知识产权代
理有限公司 44334
代理人 汪飞亚 薛晓伟

(51) Int.Cl.

G06F 3/041 (2006.01)

G06F 3/044 (2006.01)

G06F 3/147 (2006.01)

G09G 3/20 (2006.01)

(56) 对比文件

US 2016275889 A1, 2016.09.22

CN 102760495 A, 2012.10.31

CN 102298896 A, 2011.12.28

US 2014111495 A1, 2014.04.24

KR 20150073466 A, 2015.07.01

审查员 廖凌慧

权利要求书2页 说明书18页 附图19页

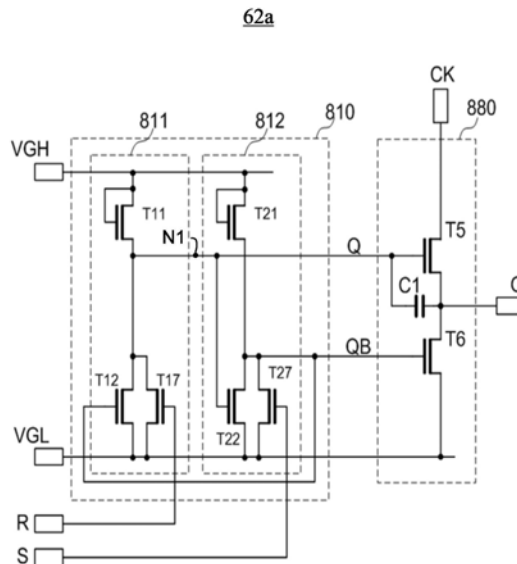
(54) 发明名称

移位寄存器及具有移位寄存器的触控显示装置

(57) 摘要

一种移位寄存器用于给触控显示装置的多条栅极线提供脉冲信号进行扫描。触控显示装置工作在多个显示阶段和多个触控阶段。移位寄存器包括多个级联连接的移位寄存单元。每个移位寄存单元包括触发器电路和输出电路。触发器电路包括内部输出端及反向输出端。第n级移位寄存单元中,触发器电路接收前一级移位寄存单元和后一级移位寄存单元的脉冲信号,并控制对应的内部输出端与反向输出端的输出信号。输出电路在内部输出端及反向输出端的输出信号的控制下选择性地输出与时钟信号同步的脉冲信号。内部输出端与反向输出端的信号在触控阶段时保持在上一个显示阶段中邻近触控阶段时所处的信号状态。本发明还提供了一种具有移位寄存器的触控显示装置。

CN 108319385 B



1. 一种移位寄存器,用于通过多个输出端产生多个脉冲信号给具有触控功能的触控显示装置内的多条栅极线作为显示用的扫描信号,该触控显示装置能够工作在多个显示阶段和多个触控阶段,且在相邻的所述显示阶段之间插入所述的触控阶段;所述移位寄存器包括多个级联连接的移位寄存单元;每个所述移位寄存单元用于输出脉冲信号给对应的所述栅极线;其特征在于:每个所述移位寄存单元包括触发器电路和输出电路;所述触发器电路包括内部输出端及反向输出端,第一级所述移位寄存单元的所述触发器电路接收起始信号,在多个所述移位寄存单元的第n级(n大于1)所述移位寄存单元中,所述触发器电路接收前一级所述移位寄存单元输出的所述脉冲信号和后一级所述移位寄存单元输出的所述脉冲信号,并控制对应的所述触发器电路的所述内部输出端与所述反向输出端的输出信号;所述输出电路接收时钟信号,并在所述内部输出端及所述反向输出端的输出信号的控制下选择性地输出与所述时钟信号同步且同相位的所述脉冲信号给对应的所述栅极线;所述触发器电路的所述内部输出端与所述反向输出端的输出信号在所述触控阶段时始终保持所述触发器电路在上一个所述显示阶段中邻近所述触控阶段时所处的信号状态;所述移位寄存器的每一个所述移位寄存单元进一步包括控制电路,所述控制电路接收第一触控信号,并在所述第一触控信号的控制下在所述触控阶段期间钳制所述触发器电路的内部输出端的输出信号保持在上一个所述显示阶段中邻近所述触控阶段时所处的信号状态,所述第一触控信号维持有效电平期间与所述触控阶段同步对应;所述控制电路包括第一开关和第二开关;所述第一开关和所述第二开关的控制端均接收所述第一触控信号,所述第一开关的第一端与所述第一开关的控制端电性连接,所述第一开关的第二端与所述输出电路中的下拉晶体管的控制端电性连接,所述第二开关的第一端与所述第二开关的控制端电性连接,所述第二开关的第二端与所述输出电路中的上拉晶体管的控制端电性连接。

2. 如权利要求1所述的移位寄存器,其特征在于:所述触发器电路为静态触发器电路,所述触发器电路能够工作在置“1”状态、置“0”状态以及保持态,当所述触发器电路工作在置“1”状态时,所述触发器电路的所述内部输出端的输出信号为高电平,所述反向输出端的输出信号为低电平,当所述触发器电路工作在置“0”状态时,所述触发器电路的所述内部输出端的输出信号为低电平,所述反向输出端的输出信号为高电平,所述触发器电路通过控制其处于保持态,以使所述触发器电路的所述内部输出端和反向输出端的输出信号在触控阶段时始终保持在上一个显示阶段中邻近所述触控阶段时所处的信号状态。

3. 如权利要求2所述的移位寄存器,其特征在于:所述触发器电路接收前一级所述移位寄存单元输出的所述脉冲信号作为触发信号和后一级所述移位寄存单元输出的所述脉冲信号作为重置信号。

4. 如权利要求3所述的移位寄存器,其特征在于:所述静态触发器电路包括第一静态反相电路及第二静态反相电路,所述第一静态反相电路包括具有接收所述重置信号的端子,所述第二静态反相电路包括具有接收触发信号的端子,且二者均接收稳态的高电压与稳态的低电压,所述第一静态反相电路的输出端作为所述触发器电路的所述内部输出端,并在所述重置信号的控制下,控制所述输出端的输出信号,所述第二静态反相电路在所述触发信号及所述内部输出端的输出信号的作用下控制所述触发器电路的所述反向输出端的输出信号。

5. 如权利要求4所述的移位寄存器,其特征在于:所述第一静态反相电路包括逆变电路

及重置电路,所述第二静态反相电路包括逆变电路及触发电路,所述逆变电路至少由第一晶体管与第二晶体管连接构成,所述重置电路至少由接收所述重置信号的晶体管构成,所述触发电路至少由接收所述触发信号的晶体管构成。

6.如权利要求1所述的移位寄存器,其特征在于:所述移位寄存器为双向移位寄存器,所述双向移位寄存器的每个所述移位寄存单元进一步接收另一触发信号,所述触发信号为有效时表征所述移位寄存器进行正向扫描,所述另一触发信号为有效时表征所述移位寄存器进行反向扫描,且根据扫描的先后顺序确定所述移位寄存单元的上一级与下一级。

7.如权利要求6所述的移位寄存器,其特征在于:多个所述移位寄存单元中,奇数级中的第p级所述移位寄存单元接收第p-1级所述移位寄存单元的输出信号作为所述触发信号,并接收第一时钟信号和第三时钟信号其中一者作为重置信号,接收第p+1级所述移位寄存单元的输出信号作为所述另一触发信号,并通过相应的所述内部输出端产生与所述第一时钟信号和所述第三时钟信号之中另一者同步的输出信号给对应的所述栅极线和第p+1级所述移位寄存单元;偶数级中的第i级所述移位寄存单元接收第i-1级所述移位寄存单元的输出信号作为所述触发信号,接收第二时钟信号和第四时钟信号其中一者作为所述重置信号,接收第i+1级所述移位寄存单元的输出信号作为所述另一触发信号,并通过对应的所述内部输出端产生与所述第二时钟信号和所述第四时钟信号之中另一者同步的输出信号给对应的所述栅极线和第i+1级所述移位寄存单元。

8.如权利要求7所述的移位寄存器,其特征在于:每一所述移位寄存单元包括第一静态反相电路和第二静态反相电路,所述第一静态反相电路包括逆变电路及重置电路,所述第二静态反相电路包括逆变电路及触发电路,所述逆变电路至少由第一晶体管与第二晶体管连接构成,所述重置电路包括至少由接收所述重置信号的晶体管构成,所述触发电路包括至少由接收所述触发信号的晶体管构成;所述第二静态反相电路进一步包括反向触发晶体管;所述反向触发晶体管接收所述另一触发信号,在所述显示阶段进行反向扫描时,所述反向触发晶体管根据所述另一触发信号触发对应所述反向输出信号的电平改变。

9.如权利要求1所述的移位寄存器,其特征在于:每一所述移位寄存单元的所述控制电路进一步接收第二触控信号;所述第二触控信号作为所述控制电路的重置信号,以在所述显示阶段重置所述控制电路的状态。

10.一种触控显示装置,定义有显示区域和围绕所述显示区域设置的非显示区域,所述显示区域内设置有多条栅极线、多条数据线及多个像素单元,所述非显示区域内设置有至少一个栅极驱动器;所述至少一个栅极驱动器用于提供脉冲信号给所述栅极线作为显示用扫描信号;所述至少一个栅极驱动器包括至少一移位寄存器;其特征在于:所述至少一移位寄存器采用权利要求1-9项中任意一项所述的移位寄存器。

11.如权利要求10所述的触控显示装置,其特征在于:所述至少一个栅极驱动器包括第一栅极驱动器与第二栅极驱动器,所述非显示区域内设置有所述第一栅极驱动器和所述第二栅极驱动器;所述第一栅极驱动器和所述第二栅极驱动器对称设置于所述显示区域的相对两侧;所述第一栅极驱动器用于驱动奇数条所述栅极线;所述第二栅极驱动电路用于驱动偶数条所述栅极线。

12.如权利要求10所述的触控显示装置,其特征在于:所述触控显示装置为内嵌式触控显示装置。

移位寄存器及具有移位寄存器的触控显示装置

技术领域

[0001] 本发明涉及一种移位寄存器及具有移位寄存器的触控显示装置。

背景技术

[0002] 触控显示装置在驱动电路的驱动下实现显示和触摸功能。触控显示装置包括多条数据线和多条扫描线。多条数据线和多条扫描线正交设置定义出呈矩阵排列的多个像素单元。驱动电路包括时序控制器、栅极驱动器以及数据驱动器。栅极驱动器输出扫描驱动信号给扫描线以对像素单元进行扫描。数据驱动器输出数据驱动信号给数据线以对像素单元加载相应的图像数据信息。栅极驱动器通常由一个或多个移位寄存器构成。移位寄存器包括多个级联的移位寄存器单元。每一级移位寄存单元对应为一条扫描线提供扫描信号，且分别与上一级移位寄存单元和/或下一级移位寄存单元电性连接。通常，上一级移位寄存单元的输出端所输出的脉冲信号（上一阶扫描信号）作为本级触发移位寄存单元的触发信号。下一级移位寄存单元的输出端所输出的脉冲信号（下一阶扫描信号）作为通知本级移位寄存单元的重置信号。

[0003] 图17为一个现有技术的栅极驱动器中移位寄存器的其中一级移位寄存单元的电路结构示意图。移位寄存单元包括动态触发器电路910和输出电路980。动态触发器电路910包括置位端、重置端、内部输出端Q以及反向输出端QB。动态触发器电路910的置位端接收触发信号S，重置端接收重置信号R，并根据触发信号S与重置信号R对应控制内部输出端Q和反向输出端QB的输出电位，内部输出端Q与反向输出端QB分别用于控制输出电路980的上拉晶体管T5与下拉晶体管T6的栅极电位。如下表一所示，其为动态触发器电路910的真值表。

[0004] 表一动态触发器电路的真值表

[0005]

S	R	Q	QB
L	L	$Q_{(n-1)}$	$QB_{(n-1)}$
H	L	H	L
L	H	L	H
H	H	无定义	无定义

[0006] 当触发信号S和重置信号R均为低电平时，内部输出端Q和反向输出端QB维持之前的输出状态不变；当触发信号S为高电平，重置信号R为低电平时，内部输出端Q输出高电平，反向输出端QB输出低电平；当触发信号S为低电平，重置信号R均为高电平时，内部输出端Q输出低电平，反向输出端QB输出高电平。

[0007] 输出电路980根据内部输出端Q、反向输出端QB的输出信号及时钟信号CK控制输出电路980的输出端O的输出信号。输出电路980包括上拉晶体管T5、下拉晶体管T6、第一电容C1、第二电容C2及输出端O。其中，上拉晶体管T5为自举开关，第一电容C1为自举电容。输出电路980为自举式开关电路。自举开关电路是指上拉晶体管T5的栅极电压在第一电容C1的作用下从低电平上升至高电平。第二电容C2用于在反向输出端QB的输出信号由高电平降低至低电平时能够持续保持下拉晶体管T6的栅极电压。图18为图17中栅极驱动器内触发信号

S、重置信号R、时钟信号CK、内部输出端Q、反向输出端QB以及输出端O的输出电压时序图。图18中的箭头表示信号转换顺序。当触发信号S从低电平上升为高电平，重置信号R维持低电平时，触发器电路910的内部输出端Q的输出电压由低电平上升至高电平，反向输出端QB从高电平切换为低电平，进而分别控制上拉晶体管T5导通，下拉晶体管T6截止，此时，由于时钟信号CK为低电平，则输出电路980的输出端O为低电平输出，触发器电路910的内部输出端Q的输出电压对第一电容C1充电。进一步，当触发信号S由高电平切换为低电平，重置信号R维持低电平，触发器910电路的内部输出端Q与反向输出端QB维持上一阶段的输出，即分别维持输出高电平与低电平。接着，直到时钟信号CK由低电平上升至高电平时，使得输出端O的信号由低电平上升至第一高电平，内部输出端Q点电位在第一电容C1的放电作用下进一步上升至更高的电平，即第二高电平。当时钟信号CK由高电平降低至低电平、且触发信号S、重置信号R均为低电平使得触发器处于保持状态时，输出端O的信号在时钟信号CK控制信号的作用下由高电平切换至低电平，并使得内部输出端Q的输出电压由第二高电平下降至第一高电平。接着，在重置信号R由低电平上升至高电平，触发信号S仍为低电平时，触发器910处于清零状态，导致反向输出端QB的输出电位由低电平切换至高电平，内部输出端Q的输出电位则由高电平切换至低电平，上拉晶体管T5截止，下拉晶体管T6导通，使得输出端O输出低电平。因此，在时钟信号CK再次由低电平上升至高电平时，由于重置信号R与触发信号S均维持低电平，使得触发器保持上一阶段的输出，即反向输出端QB的输出电位维持高电平，内部输出端Q的输出电位维持低电平，则相应地，上拉晶体管T5截止，输出端O的输出信号不会随之改变。

[0008] 图19为以第5级移位寄存单元为例，触发信号S为上一级移位寄存单元G4的输出信号，重置信号R为下一级移位寄存单元G6的输出信号。对于具有触控功能的内嵌式触控显示装置，会出现在触发信号S输入后插入触控扫描阶段T_{touch}的情况。此时时钟信号CK暂不输出。由于动态触发器电路910内的晶体管在截止期间会产生大小为皮安(pA)至微安(nA)的漏电流，会导致内部输出端Q的输出信号的电压下降。假设晶体管T1和晶体管T2的总漏电流为I_{off}，且设该下降电压 ΔV 与时钟信号CK的停止时间呈比例关系， $\Delta V = I_{off} \times T_{touch} / C1$ 。由于内部输出端Q的输出信号下降电压 ΔV ，使得输出端O电压上升和下降变慢，则会使得触控显示装置在显示图像时产生水平线。

[0009] 为解决上述显示缺陷的办法，可以考虑增加第一电容C1的电容值或减少总的漏电流I_{off}。然而，放大第一电容C1的电容量是很困难的，因为增大电容量会增加驱动电路的占用面积。另外，漏电流I_{off}变小也难以实现，因为需要增加新的电子元器件。

发明内容

[0010] 有鉴于此，有必要提供一种避免显示缺陷的移位寄存器。

[0011] 还有必要提供另一种避免显示缺陷的具有移位寄存器的触控显示装置。

[0012] 一种移位寄存器，用于通过多个输出端产生多个脉冲信号给具有触控功能的触控显示装置内的多条栅极线作为显示用的扫描信号。触控显示装置能够工作在多个显示阶段和多个触控阶段，且在相邻的显示阶段之间插入触控阶段。移位寄存器包括多个级联连接的移位寄存单元。每个移位寄存单元用于输出脉冲信号给对应的栅极线。每个移位寄存单元包括触发器电路和输出电路。触发器电路包括内部输出端及反向输出端，第一级移位寄

存单元的触发器电路接收起始信号,在多个移位寄存单元的第 n 级(n 大于1)移位寄存单元中,触发器电路接收前一级移位寄存单元输出的脉冲信号和后一级移位寄存单元输出的脉冲信号,并控制对应的触发器电路的内部输出端与反向输出端的输出信号。输出电路接收时钟信号,并在内部输出端及反向输出端的输出信号的控制下选择性地输出与时钟信号同步且同相位的脉冲信号给对应的栅极线。触控器电路的内部输出端与反向输出端的输出信号在触控阶段时始终保持触发器电路在上一个显示阶段中邻近触控阶段时所处的信号状态。

[0013] 一种触控显示装置,定义有显示区域和围绕显示区域设置的非显示区域。显示区域内设置有多条栅极线、多条数据线及多个像素单元。非显示区域内设置有至少一个栅极驱动器。至少一个栅极驱动器用于提供脉冲信号给栅极线作为显示用扫描信号。至少一个栅极驱动器包括至少一个移位寄存器。至少一个移位寄存器用于通过多个输出端产生多个脉冲信号给具有触控功能的触控显示装置内的多条栅极线作为显示用的扫描信号。触控显示装置能够工作在多个显示阶段和多个触控阶段,且在相邻的显示阶段之间插入触控阶段。移位寄存器包括多个级联连接的移位寄存单元。每个移位寄存单元用于输出脉冲信号给对应的栅极线。每个移位寄存单元用于输出脉冲信号作为扫描信号给对应的栅极线。每个移位寄存单元包括触发器电路和输出电路。触发器电路包括内部输出端及反向输出端,第一级移位寄存单元的触发器电路接收起始信号,在多个移位寄存单元的第 n 级(n 大于1)移位寄存单元中,触发器电路接收前一级移位寄存单元输出的脉冲信号和后一级移位寄存单元输出的脉冲信号,并控制对应的触发器电路的内部输出端与反向输出端的输出信号。输出电路接收时钟信号,并在内部输出端及反向输出端的输出信号的控制下选择性地输出与时钟信号同步且同相位的脉冲信号给对应的栅极线。触控器电路的内部输出端与反向输出端的输出信号在触控阶段时始终保持触发器电路在上一个显示阶段中邻近触控阶段时所处的信号状态。

[0014] 与现有技术相比,本发明具有移位寄存器的触控显示装置中在触控阶段避免内部输出端的输出信号和反相输出端的输出信号产生偏移,进而避免触控显示装置显示水平线,提高了触控显示装置的显示性能。

附图说明

[0015] 图1为一种较佳实施方式触控显示装置的模块示意图。

[0016] 图2为图1中第一实施方式之移位寄存器的模块示意图。

[0017] 图3为图2中第一实施方式之移位寄存单元的电路结构示意图。

[0018] 图4为图3所示之移位寄存单元的触发信号、重置信号、时钟信号、内部输出端的输出信号、反相输出端的输出信号以及输出信号的时序图。

[0019] 图5为图2中所示之移位寄存器中起始信号、时钟信号、移位寄存单元的输出信号以及扫描信号的时序图。

[0020] 图6为图5中第5级移位寄存单元的触发信号、重置信号、时钟信号、内部输出端的输出信号、反相输出端的输出信号以及输出端的输出信号的时序图。

[0021] 图7为图2中第二实施方式之移位寄存单元的电路结构示意图。

[0022] 图8为图1中第二实施方式之移位寄存器的模块示意图。

- [0023] 图9为图8中第三实施方式之移位寄存单元的电路结构示意图。
- [0024] 图10为图9所示之移位寄存器处于正向扫描时的第一起始信号、第二起始信号、时钟信号、移位寄存单元的输出信号以及端的输出信号的时序图。
- [0025] 图11为图9所示之移位寄存器处于反向扫描时的第一起始信号、第二起始信号、时钟信号、移位寄存单元的输出信号以及端的输出信号的时序图。
- [0026] 图12为图9中第四实施方式之移位寄存单元的电路结构示意图。
- [0027] 图13为图1中第五实施方式之移位寄存单元的电路结构示意图。
- [0028] 图14为图13所示之移位寄存单元的触发信号、重置信号、时钟信号、内部输出端的输出信号、反相输出端的输出信号以及输出端的输出信号的时序图。
- [0029] 图15为图1中第六实施方式之移位寄存单元的电路结构示意图。
- [0030] 图16图15所示之移位寄存单元的触发信号、重置信号、时钟信号、内部输出端的输出信号、反相输出端的输出信号以及输出端的输出信号的时序图。
- [0031] 图17为现有技术中移位寄存单元的电路结构示意图。
- [0032] 图18为图17所示之移位寄存单元的触发信号、重置信号、时钟信号、内部输出端的输出信号、反相输出端的输出信号以及输出端的输出信号的时序图。
- [0033] 图19为图17所示之第5级移位寄存单元的触发信号、重置信号、时钟信号、内部输出端的输出信号、反相输出端的输出信号以及输出端的输出信号的时序图。
- [0034] 主要元件符号说明
- | | | |
|--------|-----------|-------------------------|
| [0035] | 触控显示装置 | 1 |
| [0036] | 显示面板 | 100 |
| [0037] | 对向基板 | 101 |
| [0038] | 薄膜晶体管阵列基板 | 102 |
| [0039] | 数据线 | D1-Dn |
| [0040] | 栅极线 | G1-Gm |
| [0041] | 显示区域 | 200 |
| [0042] | 非显示区域 | 300 |
| [0043] | 第一栅极驱动器 | 310 |
| [0044] | 第二栅极驱动器 | 320 |
| [0045] | 控制芯片 | 400 |
| [0046] | 第一控制线 | 401 |
| [0047] | 第二控制线 | 402 |
| [0048] | 移位寄存器 | 600、700 |
| [0049] | 时钟信号 | CK |
| [0050] | 第一时钟信号 | CK1 |
| [0051] | 第二时钟信号 | CK2 |
| [0052] | 第三时钟信号 | CK3 |
| [0053] | 第四时钟信号 | CK4 |
| [0054] | 移位寄存单元 | 62、62a、62b、62c、62d、62e、 |
| [0055] | | 62f |

[0056]	起始信号	ST、ST1、ST2
[0057]	输出端	0、01-06、01-04k
[0058]	内部输出端	Q、Q1-Qm
[0059]	反向输出端	QB
[0060]	触发信号	S、S1、S2
[0061]	重置信号	R
[0062]	触发器电路	810、820、830、840、910
[0063]	输出电路	880、980
[0064]	第一静态反相电路	811、821、831、841
[0065]	第二静态反相电路	812、822、832、842
[0066]	第一晶体管	T11、T21
[0067]	第二晶体管	T12、T22
[0068]	第三晶体管	T17、T27
[0069]	高电压	VGH
[0070]	低电压	VGL
[0071]	节点	N1
[0072]	上拉晶体管	T5
[0073]	下拉晶体管	T6
[0074]	第一电容	C1
[0075]	显示阶段	Tdisplay
[0076]	触控阶段	Ttouch
[0077]	时段	Tm
[0078]	第四晶体管	T13、T23
[0079]	第五晶体管	T14、T24
[0080]	第六晶体管	T15、T25
[0081]	第七晶体管	T16、T26
[0082]	第八晶体管	T28
[0083]	第九晶体管	T29
[0084]	第十晶体管	T30
[0085]	控制电路	950、960
[0086]	第一触控信号	TP
[0087]	第二触控信号	xTP
[0088]	第一开关	T41
[0089]	第二开关	T42
[0090]	第三开关	T51
[0091]	第四开关	T52
[0092]	第五开关	T61
[0093]	第六开关	T62
[0094]	第七开关	T71

[0095] 第八开关 T72

[0096] 如下具体实施方式将结合上述附图进一步说明本发明。

具体实施方式

[0097] 本发明提供一种具有栅极驱动器的触控显示装置。栅极驱动器通常为移位寄存器,移位寄存器用于通过多个输出端产生多个脉冲信号给具有触控功能的触控显示装置内的多条栅极线作为显示用的扫描信号。触控显示装置能够在多个显示阶段和多个触控阶段,且在相邻的显示阶段之间插入触控阶段。移位寄存器包括多个级联连接的移位寄存单元。每个移位寄存单元用于输出脉冲信号给对应的栅极线。每个移位寄存单元包括触发器电路和输出电路。触发器电路包括内部输出端及反向输出端,第一级移位寄存单元的触发器电路接收起始信号,在多个移位寄存单元的第 n 级(n 大于1)移位寄存单元中,触发器电路接收前一级移位寄存单元输出的脉冲信号和后一级移位寄存单元输出的脉冲信号,并控制对应的触发器电路的内部输出端与反向输出端的输出信号。输出电路接收时钟信号,并在内部输出端及反向输出端的输出信号的控制下选择性地输出与时钟信号同步且同相位的脉冲信号给对应的栅极线。触控器电路的内部输出端与反向输出端的输出信号在触控阶段时始终保持触发器电路在上一个显示阶段中邻近触控阶段时所处的信号状态,从而避免触控显示装置显示水平线。

[0098] 请参阅图1,图1是本发明一实施例的触控显示装置1的模块示意图。在本实施方式中,触控显示装置可以为有机发光二极管显示器(organic light emitting display, OLED)、液晶显示器(liquid crystal display, LCD)。触控显示装置1包括显示面板100和触控结构(图未示)。在本实施例中,所述触控显示装置1为内嵌式触控该显示装置。也就是说,显示面板100与触控结构集成为一体。例如,触控结构的至少部分触控电极与薄膜晶体管阵列基板集成以形成触控显示装置1。显示面板100大致呈板状。显示面板100定义有显示区域200和围绕显示区域200设置的非显示区域300。显示面板100包括对向基板101以及薄膜晶体管阵列基板102。在本实施方式中,对向基板101可以为彩色滤光片基板。薄膜晶体管阵列基板102包括第一栅极驱动器310、第二栅极驱动器320及控制芯片400。在其他实施方式中,薄膜晶体管阵列基板102可仅包括第一栅极驱动器310。第一栅极驱动器310和第二栅极驱动器320设置于位于非显示区域300内,且对称设置于显示区域200的相对两侧。控制芯片400设置于非显示区域300内与第一栅极驱动器310和第二栅极驱动器320相邻的一侧。在本实施例中,控制芯片400包括源极驱动电路及控制电路,该控制电路通过第一控制线401输出栅极控制信号给第一栅极驱动器310,并通过第二控制线402输出栅极控制信号给第二栅极驱动器320。显示面板100还包括多条相互平行的数据线D1-D m 以及多条相互平行的栅极线G1-G m 。栅极线G1-G m 和数据线D1-D n 设置于显示区域200内。其中, m 和 n 为偶数。多条栅极线G1-G n 沿第一方向X平行设置,多条数据线D1-D n 沿第二方向Y平行设置。栅极线G1-G m 和数据线D1-D n 相互绝缘且正交设置,在每个交叉区域定义出多个呈矩阵排列的像素单元(图未示)。源极驱动电路连接多条数据线D1-D n ,从而为数据线提供图像数据信号。可理解地,控制芯片400进一步可集成有提供触控所需信号的触控控制电路,并不以此为限。

[0099] 第一栅极驱动器310和第二栅极驱动器320内均包括一个或多个移位寄存器600(如图2所示)。第一栅极驱动器310用于驱动奇数条栅极驱动线G1, G3, …… , G($m-1$), 第二栅

极驱动器320用于驱动偶数条栅极驱动线G₂,G₄,……,G_m。可以理解,触控显示装置也可仅在显示面板100的一侧设置用于驱动全部栅极线G₁-G_m的一个栅极驱动器。

[0100] 图2为第一栅极驱动器310内的移位寄存器600的示意图。移位寄存器600与时钟信号线(图未示)电性连接以接收两个时钟信号CK,并与起始信号线电性连接以接收起始信号ST。在本实施方式中,移位寄存器600接收第一时钟信号CK₁和第二时钟信号CK₂。移位寄存器600包括多个级联连接的移位寄存单元62。每个移位寄存单元62的输出端0与对应一条奇数栅极线G₁,G₃,……,G_(m-1)电性连接,并依序输出脉冲信号作为扫描信号提供给对应的栅极线G₁,G₃,……,G_(m-1)。每一移位寄存单元62包括用于接收触发信号S的触发端、用于接收重置信号R的重置端及用于接收时钟信号CK的控制端。其中,对于移位寄存器600而言,偶数级的移位寄存单元62接收第二时钟信号CK₂,奇数级的移位寄存单元62接收第一时钟信号CK₁。具体地,第一级移位寄存单元62(1)接收起始信号ST,并接收后一级移位寄存单元62,即第二级移位寄存单元62(2),的输出端0₂输出的脉冲信号作为重置信号R,并接收第一时钟信号CK₁。最后一级移位寄存单元62(m/2)接收前一级的移位寄存单元62,即第m/2-1级移位寄存单元62(m/2-1),的输出端0_(m/2-1)输出的脉冲信号作为触发信号S,接收,并接收第一时钟信号CK₁。其他位于第一级和最后一级之间的每个移位寄存单元62接收前一级移位寄存单元62输出端0输出的脉冲信号作为触发信号S,并接收后一级移位寄存单元62输出端0输出的脉冲信号作为重置信号R,还接收时钟信号CK(第一时钟信号CK₁或第二时钟信号CK₂)。在本实施方式中,以m为12为例,每个移位寄存单元62(1)-62(6)具有一个输出端0₁-0₆。例如,第一级移位寄存单元62(1)的输出端0₁输出脉冲信号给栅极线G₁,第二级移位寄存单元62(2)的输出端0₂输出脉冲信号给栅极线G₃,第三级移位寄存单元62(3)的输出端0₃输出脉冲信号给栅极线G₅,第四级移位寄存单元62(4)的输出端0₄输出脉冲信号给栅极线G₇,第五级移位寄存单元62(5)的输出端0₅输出脉冲信号给栅极线G₉,第六级移位寄存单元62(6)的输出端0₆输出脉冲信号给栅极线G₁₁。

[0101] 第一级移位寄存单元62(1)接收起始信号ST作为触发信号S,接收第一时钟信号CK₁,接收第二级移位寄存单元62(2)输出端0₂的输出信号作为重置信号R,并通过输出端0₁输出脉冲信号给对应的栅极线G₁和第二级移位寄存单元62(2)。第二级移位寄存单元62(1)接收第一级移位寄存单元62(1)输出端0₁输出的脉冲信号作为触发信号S,接收第二时钟信号CK₂,接收第三级移位寄存单元62(3)输出端0₃输出的脉冲信号作为重置信号R,并通过输出端0₂产生输出脉冲信号给对应的栅极线G₃和第三级移位寄存单元62(3)。类似地,第p级移位寄存单元62(p)接收第n-1级移位寄存单元62(p-1)的输出信号作为触发信号S,接收对应时钟信号CK(第一时钟信号CK₁或第二时钟信号CK₂),接收第p+1级移位寄存单元62(p+1)输出端0_(p+1)输出的脉冲信号作为重置信号R,并通过输出端0_(p)输出脉冲信号给对应的栅极线G_i和第p+1级移位寄存单元62(p+1)。

[0102] 请参阅图3,其为第一实施方式之移位寄存单元62a的电路结构图。移位寄存单元62a包括触发器电路810和输出电路880。触发器电路810根据接收的触发信号S和重置信号R控制内部输出端Q和反向输出端QB的输出信号。其中,内部输出端Q和反向输出端QB的输出信号互为反转的信号。触发器电路810能够工作在2个稳态(如置“1”状态与置“0”状态)以及保持态;例如,当触发器电路810工作在置“1”状态时,内部输出端Q的输出信号为高电平时,反向输出端QB的输出信号为低电平;当触发器电路810工作在置“0”状态时,内部输出端Q的

输出信号为低电平时,反向输出端QB的输出信号为高电平。在本实施例中,触发器电路810为静态反相器型触发器,并通过控制静态反相器型触发器的内部输出端Q与反向输出端QB的输出信号在触控阶段Ttouch时处于保持态以始终保持在上一个显示阶段Tdisplay时所处的输出状态。

[0103] 具体地,触发器电路810包括第一静态反相电路811和第二静态反相电路812,且二者均接收稳态的高电压VGH与稳态的低电压VGL。第一静态反相电路811包括具有接收重置信号R的端子,第二静态反相电路812包括具有接收触发信号S的端子。第一静态反相电路811在重置信号R及作为反馈信号的触发器电路810的反向输出端QB的输出信号的控制下,控制其输出至节点N1的输出信号,该输出至节点N1的输出信号同时作为触发器电路810的内部输出端Q的输出信号。该第二静态反相电路812在触发信号S及节点N1的输出信号的作用下控制其输出信号,同时作为触发器电路810的反向输出端QB的输出信号。

[0104] 第一静态反相电路811和第二静态反相电路812具有相同的电路元件,但是具有不同的电性连接方式。第一静态反相电路811包括第一晶体管T11、第二晶体管T12及第三晶体管T17。第二静态反相电路812包括第一晶体管T21、第二晶体管T22及第三晶体管T27。在第一静态反相电路811内,第一晶体管T11和第二晶体管T12构成逆变电路,第一晶体管T11作为上拉元件,用于在触控阶段Ttouch将内部输出端Q输出信号的电平状态钳制在前一显示阶段Tdisplay下的电平状态;第二晶体管T12为反馈控制晶体管;第三晶体管T17构成重置电路,用于根据重置信号R重置内部输出端Q的输出信号的电平状态;第一晶体管T11的栅极与源极电性连接,且与高电压VGH电性连接,第一晶体管T11的漏极作为内部输出端Q的输出信号的输出端,且与第二晶体管T12的源极电性连接。第二晶体管T12的栅极接收反向输出端QB的输出信号作为反馈信号。第二晶体管T12和第三晶体管T17的源极与第一晶体管T11的漏极电性连接,第二晶体管T12和第三晶体管T17的漏极同时与低电压VGL电性连接。第三晶体管T17的栅极接收重置信号R。

[0105] 在第二静态反相电路812内,第一晶体管T21和第二晶体管T22构成逆变电路,第一晶体管T21作为上拉元件,用于在触控阶段Ttouch将反向输出端QB的输出信号的电平状态钳制在上一显示阶段Tdisplay中紧邻的阶段Tm的下的电平状态;第二晶体管T22为反馈晶体管;第三晶体管T27构成触发电路,用于根据触发信号S重置反向输出端QB的输出信号的电平状态;第一晶体管T21的栅极和源极电性连接,且与高电压VGH电性连接。第二晶体管T22的栅极接收内部输出端Q的输出信号作为反馈信号,第二晶体管T22和第三晶体管T27的源极同时与第一晶体管T21的漏极电性连接,第二晶体管T22和第三晶体管T27的漏极同时与低电压VGL电性连接。第二晶体管T22的栅极与第一静态反相电路811中的第一晶体管T11的漏极电性连接。第三晶体管T27的栅极接收触发信号S。

[0106] 输出电路880接收触发器电路810的内部输出端Q的输出信号、反向输出端QB的输出信号及对应的时钟信号(第一时钟信号CK1或第二时钟信号CK2)。只有当内部输出端Q输出高电平时,该输出电路880的输出端O输出与对应的时钟信号CK同步且相同电位的信号作为输出信号,当反向输出端QB输出高电平时,该输出电路880的输出端O输出低电平信号。输出电路880包括上拉晶体管T5、下拉晶体管T6及第一电容C1。上拉晶体管T5的控制端(栅极)与第一静态反相电路811内的第一晶体管T11的漏极,即触发器电路810的内部输出端Q,电性连接,第一端(源极)接收时钟信号CK,第二端与输出端O电性连接。下拉晶体管T6的控制

端(栅极)与第二静态反相电路812内的第一晶体管T21的漏极,即触发器电路810的反向输出端QB,电性连接,第一端(源极)与输出端0电性连接,第二端(漏极)与低电压VGL电性连接。第一电容C1的两端分别与上拉晶体管T5的控制端和第二端电性连接。

[0107] 其中,表二为触发器电路810的触发信号S、重置信号R、内部输出端Q的输出信号及反向输出端QB的输出信号之间真值表。

[0108] 表二触发器电路的真值表

[0109]

S	R	Q	QB
L	L	Q _{n-1}	QB (n-1)
H	L	H	L
L	H	L	H
H	H	未定义	未定义

[0110] 其中,L表示低电平,H表示高电平,Q_{n-1}表示保持之前的状态,QB (n-1)表示保持之前的状态。

[0111] 请参阅图4,其为图3所示的移位寄存单元60a的触发信号S、时钟信号CK、内部输出端Q的输出信号、反向输出端QB的输出信号及输出端0的时序图。当触发信号S有效(即为高电平),且重置信号R无效(即为低电平)时,节点N1输出高电平,则反向输出端QB的输出信号由高电平下降至低电平,内部输出端Q的输出信号由低电平上升至第一高电平,并对第一电容C1充电。当触发信号S无效时,由于此时重置信号R仍为无效,该触发器电路810的内部输出端Q与反向输出端QB均维持上一阶段的输出状态,即,内部输出端Q维持输出高电平,继续对第一电容C1充电,而反向输出端QB维持输出低电平。接着,当时钟信号CK由低电平切换至高电平时,内部输出端Q的输出信号在第一电容C1的自举作用下上升至高于第一高电平的第二高电平,输出端0则输出与时钟信号CK同步的高电平。当时钟信号CK由高电平下降至低电平时,输出端0也相应由高电平下降至低电平,同时内部输出端Q的输出信号由第二高电平下降至第一高电平。当触发信号S无效且重置信号R有效时,节点N1的电平被拉低至低电平,则内部输出端Q的输出信号由第一高电平下降至低电平,第二晶体管T22关断,第一晶体管T21维持导通,则反向输出端QB的输出信号由低电平上升至高电平,从而控制输出电路880的输出端0维持输出低电平,直到下一个触发信号S的上升沿到来。

[0112] 请参阅图5,其为图2所示的移位寄存器600中的起始信号ST、第一时钟信号CK1、第二时钟信号CK2、内部输出端Q1-Q6的输出信号及栅极线G1、G3、G5、G7、G9、G11的时序图。在一帧(frame)图像显示时间内,移位寄存器600依次且轮流工作在显示阶段T_{display}和触控阶段T_{touch},且每一个显示阶段T_{display}分区的对扫描线进行扫描(如图2所示,以4条奇数行扫描线为一区域进行一个显示时段扫描为例进行说明)。在该相邻分区扫描时间间隔之间,插入触控阶段T_{touch}。在本实施方式中,m等于12。在显示阶段T_{display},第一时钟信号CK1和第二时钟信号CK2均顺序输出脉冲信号,在触控阶段T_{touch},第一时钟信号CK1和第二时钟信号CK2均处于低电平状态。在触控阶段T_{touch},栅极线G1、G3、G5、G7、G9、G11上的脉冲信号保持低电平状态,触发器电路810的内部输出端Q1、Q2、Q3、Q4、Q5、Q6输出信号维持在上一个显示阶段T_{display}中与该触控阶段T_{touch}紧邻的时段T_m时所处的电平状态。在本实施方式中,首先移位寄存器600工作在显示阶段T_{display},以依次加载脉冲信号至栅极线G1、G3、G5、G7,然后切换至触控阶段T_{touch},以感测施加于触控显示装置1上的触摸操作,在触

控阶段Ttouch结束后再次进入显示阶段Tdisplay,以加载脉冲信号至剩余的栅极线G9和G11。

[0113] 请参阅图6,其为图5中第5级移位寄存单元62(5)的触发信号S、重置信号R、第一时钟信号CK1、内部输出端Q5的输出信号、反向输出端QB5的输出信号及输出端O5的时序图。具体地,以第5级移位寄存单元62(5)为例,说明其在一帧图像显示时间内的显示阶段Tdisplay和触控阶段Ttouch的时序变化。其中,触控阶段Ttouch发生在栅极线G4的脉冲信号由高电平下降为低电平之后。在触控阶段Ttouch,第一时钟信号CK1维持低电平,所述触发器电路810处于保持态,则使得内部输出端Q5的输出信号保持其在上一显示阶段Tdisplay中与该触控阶段Ttouch紧邻的时段Tm时所处的电平状态,即处于第一高电平,反向输出端QB5的输出信号保持其在上一显示阶段Tdisplay中与该触控阶段Ttouch紧邻的时段Tm时所处的电平状态,即处于低电平。直到触控阶段Ttouch结束后进入下一显示阶段Tdisplay,且重置信号R的下一个上升沿到来为止,即栅极线G6输出高电平时。

[0114] 与现有技术相比较,本发明触控显示装置1中通过采用触发器电路810使得内部输出端Q的输出信号和反向输出端QB的输出信号不会在触控阶段Ttouch产生偏移,进而避免触控显示装置1显示水平线。同时,可省略并联连接在下拉晶体管T6的栅极和漏极之间的电容,进而提高了触控显示装置1的显示性能。

[0115] 请参阅图7,其为第二实施方式之移位寄存单元62b的电路结构示意图。其中,移位寄存单元62b与移位寄存单元62a不同的地方在于触发器电路820。第二实施方式的触发器电路820接收触发信号S和重置信号R控制内部输出端Q和反向输出端QB的输出信号。触发器电路820类似触发器电路810,能够工作在2个稳态(如置“1”状态与置“0”状态)以及保持态下;例如,当触发器电路820工作在置“1”状态时,内部输出端Q的输出信号为高电平,反向输出端QB的输出信号为低电平;当触发器电路820工作在置“0”状态时,内部输出端Q的输出信号为低电平时,反向输出端QB的输出信号为高电平。在本实施例中,触发器电路820亦为静态反相器型触发器,并通过控制静态逆变型触发器的内部输出端Q与反向输出端QB的输出信号在触控阶段Ttouch时处于保持态以始终保持在上一个显示时段在邻近触控阶段Ttouch的时段Tm时所处的输出状态。但触发器电路820与触发器电路810在电路结构上有所不同。

[0116] 具体地,触发器电路820包括第一静态反相电路821和第二静态反相电路822。第一静态反相电路821和第二静态反相电路822具有相同电路元件,但具有不同的连接方式。第一静态反相电路821包括第一晶体管T11、第二晶体管T12、第四晶体管T13、第五晶体管T14、第六晶体管T15及第七晶体管T16。其中,第一晶体管T11、第二晶体管T12、第四晶体管T13及第五晶体管T14共同构成逆变电路,从而取代第一实施方式仅用第一晶体管T11与第二晶体管T12构成的逆变电路;而第六晶体管T15与第七晶体管T16共同构成重置电路,从而取代第一实施方式仅用第三晶体管T17构成的重置电路。当重置信号R为有效电平时,第一静态反相电路821的输出,即节点N1的电平被拉低,从而重置触发器电路830的内部输出端Q。

[0117] 在第一静态反相电路821中,第一晶体管T21、第二晶体管T22、第四晶体管T23及第五晶体管T24共同构成逆变电路,从而取代第一实施方式仅用第一晶体管T21与第二晶体管T22构成的逆变电路,第一晶体管T11和第四晶体管T13共同作为上拉元件,用于在触控阶段Ttouch将内部输出端Q的输出信号的电平状态钳制在前一显示阶段Tdisplay中邻近触控阶

段 T_{touch} 的时段 T_m 时所处的电平状态;第二晶体管T12和第六晶体管T15共同作为反馈控制晶体管;第六晶体管T15及第七晶体管T16共同作为重置电路,用于根据重置信号R重置内部输出端Q的输出信号的电平状态。第一晶体管T11的栅极与源极电性连接,且与高电压VGH电性连接,第一晶体管T11的漏极与第四晶体管T13的栅极电性连接。第四晶体管T13的源极与高电压VGH电性连接,第四晶体管T13的漏极连接至节点N1,同时作为内部输出端Q的输出信号的输出端,且与输出电路880电性连接。第二晶体管T12和第五晶体管T14的栅极作为反向输出端QB的输出信号的输出端,同时与输出电路880电性连接。第二晶体管T12的源极与第一晶体管T11的漏极电性连接,第二晶体管T12的漏极与低电压VGL电性连接。第五晶体管T14的源极与第四晶体管T13的漏极电性连接,第五晶体管T14的漏极与低电压VGL电性连接。第六晶体管T15和第七晶体管T16的栅极同时接收重置信号R。第六晶体管T15的源极与第一晶体管T11的漏极电性连接,第六晶体管T15的漏极与低电压VGL电性连接。第七晶体管T16的源极与第四晶体管T13的漏极电性连接,第七晶体管T16的漏极与低电压VGL电性连接。

[0118] 第二静态反相电路822包括第一晶体管T21、第二晶体管T22、第四晶体管T23、第五晶体管T24、第六晶体管T25及第七晶体管T26。其中,第一晶体管T21、第二晶体管T22、第四晶体管T23及第五晶体管T24共同构成反相器结构,从而取代第一实施方式仅用第一晶体管T21与第二晶体管T22构成的反相器结构;而第六晶体管T25与第七晶体管T26共同构成重置元件,从而取代第一实施方式仅用第三晶体管T27构成的重置晶体管。在第二静态反相电路822中,第一晶体管T21和第四晶体管T23共同作为上拉元件,用于在触控阶段 T_{touch} 将内部输出端Q的输出信号的电平状态钳制在前一显示阶段 $T_{display}$ 中邻近触控阶段 T_{touch} 的时段 T_m 时所处的电平状态;第二晶体管T22和第五晶体管T24共同作为反馈控制晶体管;第六晶体管T25及第七晶体管T26共同作为重置元件,用于根据重置信号R重置内部输出端Q的输出信号的电平状态。第一晶体管T21的栅极与源极电性连接,且与高电压VGH电性连接,第一晶体管T21的漏极与第四晶体管T23的栅极电性连接。第四晶体管T23的源极与高电压VGH电性连接,第四晶体管T23的漏极连接反向输出端QB,且与输出电路880电性连接。第二晶体管T22和第五晶体管T24的栅极连接至内部输出端Q,同时与输出电路880电性连接。第二晶体管T22的源极与第一晶体管T21的漏极电性连接,第二晶体管T22的漏极与低电压VGL电性连接。第五晶体管T24的源极与第四晶体管T23的漏极电性连接,第五晶体管T24的漏极与低电压VGL电性连接。第六晶体管T25和第七晶体管T26的栅极同时接收触发信号S。第六晶体管T25的源极与第一晶体管T21的漏极电性连接,第六晶体管T25的漏极与低电压VGL电性连接。第七晶体管T26的源极与第四晶体管T23的漏极电性连接,第七晶体管T26的漏极与低电压VGL电性连接。

[0119] 输出电路880接收触发器电路820的内部输出端Q的输出信号、反向输出端QB的输出信号及时钟信号CK。只有当内部输出端Q输出高电平时,该输出电路880输出与时钟信号CK同步且相同电位的信号作为输出信号,当反向输出端QB输出高电平时,该输出电路880输出低电平信号。其具有与第一实施方式相同的电路结构及连接关系,在此不再累述。

[0120] 与现有技术相比较,本发明触控显示装置1中通过采用触发器电路820使得内部输出端Q的输出信号和反向输出端QB的输出信号不会在触控阶段 T_{touch} 产生偏移,进而避免触控显示装置1显示水平线。同时,由于采用反向输出端QB的输出信号作为触发器电路820

的输出端,可省略并联连接在下拉晶体管T6的栅极和漏极之间的电容,提高了触控显示装置1的显示性能。进一步地,通过第一晶体管T11\T21、第二晶体管T12\T22、第三晶体管T13\T23、第四晶体管T14\T24共同构成反相器结构,并通过第六晶体管T15\T25和第七晶体管T16\T26共同构成重置元件,可增加触发器电路820的增益并降低输出电阻,可适用于接收高频信号。

[0121] 请参阅图8,其为第二实施例的移位寄存器700。在本实施例中,移位寄存器700为双向移位寄存器。也就是说,该移位寄存器700能够按照从上至下依次输出脉冲信号以作为扫描信号的方式对扫描线进行扫描,称为正向扫描;也能够按照从下至上依次输出脉冲信号以作为扫描信号的方式对扫描线进行扫描,称为反向扫描。可以理解,触控显示装置1可以具有一个或多个移位寄存器700。

[0122] 在本实施例中,移位寄存器700接收四个时钟信号CK、第一起始信号ST1、第二起始信号ST2,并输出信号给对应栅极线G1-G4k。其中,k为大于等于正整数。该第一起始信号ST1有效时表征该移位寄存器处于正向扫描状态,第二起始信号ST2有效时表征该移位寄存器处于反向扫描状态。

[0123] 移位寄存器700由多个双向移位寄存单元62组成。其中,奇数级移位寄存单元62接收第一时钟信号CK1和第三时钟信号CK3,且二者中任意一者可作为第二触发信号S2。例如,第一级移位寄存单元62(1)将第三时钟信号CK3作为第二触发信号S2,第三级移位寄存单元62(3)将第一时钟信号CK1作为第二触发信号S2,后续奇数级移位寄存单元62依次重复上述时钟信号CK的接收方式。偶数级移位寄存单元62接收第二时钟信号CK2和第四时钟信号CK4,且二者中任意一者作为第二触发信号S2,后续偶数级移位寄存单元62依次重复上述时钟信号CK的接收方式。每个移位寄存单元62接收前一级移位寄存单元62的输出信号作为第一触发信号S1,并接收后一级移位寄存单元62的输出信号作为第二触发信号S2。在本实施方式中,第一级移位寄存单元62接收第一起始信号ST1作为第一触发信号S1。最后一级移位寄存单元62接收第二起始信号ST2作为第二触发信号S2。

[0124] 举例而言,第一级移位寄存单元62(1)接收第一起始信号ST1作为第一触发信号S1,接收第一时钟信号CK1,接收第三时钟信号CK3作为重置信号R,接收第二级移位寄存单元62(2)输出的脉冲信号作为第二触发信号S2,并通过输出端O1输出的脉冲信号给对应的栅极线G1和第二级移位寄存单元62(2)。第二级移位寄存单元62(2)接收第一级移位寄存单元62(1)输出端O1输出的脉冲信号作为第一触发信号S1,接收第四时钟信号CK4作为重置信号R,接收第三级移位寄存单元62(3)输出的脉冲信号作为第二触发信号S2,并通过输出端O2输出与第一时钟信号CK1同步的脉冲信号给对应的栅极线G2和第三级移位寄存单元62(3)。类似地,奇数级中的第p级移位寄存单元62(p)接收第p-1级移位寄存单元62(p-1)输出的脉冲信号作为第一触发信号S1,接收第一时钟信号CK1与第三时钟信号CK3其中一者,接收第p+1级移位寄存单元62(p+1)输出的脉冲信号作为第二触发信号S2,并通过输出端O(p)产生与第一时钟信号CK1与第三时钟信号CK3之中另一者同步的脉冲信号给对应的栅极线G和第p+1级移位寄存单元62(p+1)。偶数级中的第i级移位寄存单元62(i)接收第i-1级移位寄存单元62(i-1)的脉冲信号作为第一触发信号S1,接收第二时钟信号CK2与第四时钟信号CK4其中一者,接收第i+1级移位寄存单元62(i+1)输出的脉冲信号作为第二触发信号S2,并通过输出端O(i)产生与第二时钟信号CK2与第四时钟信号CK4之中另一者同步的脉冲信号

给对应的栅极线和第 $i+1$ 级移位寄存单元62($i+1$)。

[0125] 请参阅图9,其图8所示移位寄存器700中移位寄存单元62c的一实施方式的电路结构示意图。在本实施例中,移位寄存单元62c具有相同的电路结构,在此以其中一移位寄存单元62c为例进行说明。其中,移位寄存单元62c与移位寄存单元62a不同的地方在于触发器电路830内的第二静态反相电路832。具体地,移位寄存单元62c为双向移位寄存单元,接收第一触发信号S1、第二触发信号S2及重置信号R。移位寄存单元62c包括静态触发器电路830及输出电路880。该静态触发器电路830进一步包括第一静态反相电路831和第二静态反相电路832。其中,第二静态反相电路832在第一实施方式的第二静态反相电路812的基础上进一步包括第八晶体管T28。第八晶体管T28作为反向触发晶体管,用于接收第二触发信号S2。第三晶体管T27作为正向触发晶体管,用于接收第一触发信号S1。在显示阶段Tdisplay进行反向扫描时,第二触发信号S2为有效电位,第一触发信号S1为无效电位,此时,第八晶体管T28根据第二触发信号S2控制反向输出端QB的输出信号的电位为低电平,而此时置重置信号R为无效电平,则内部输出端Q输出高电平,反向输出端QB输出低电平,而处于置“1”态。第八晶体管T28的栅极用于接收第二触发信号S2,作为移位寄存单元62c的反向控制端。第八晶体管T28的源极与下拉晶体管T6的控制端(栅极)电性连接,第八晶体管T28的漏极与低电压VGL电性连接。

[0126] 请参阅图10,其为图8及图9中移位寄存器700进行正向扫描时第一起始信号ST1、第二起始信号ST2、第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4、内部输出端Q1-Q4k的输出信号及栅极线G1-G4k的时序图。当第一起始信号ST1有效(即为高电平),第二起始信号ST2无效(即为低电平),第二级移位寄存单元62(2)的输出端O2输出为低电平,第一时钟信号CK1和第三时钟信号CK3处于低电平,第一级移位寄存单元62(1)的触发器电路830的内部输出端Q1的输出信号跳变为第一高电平,对输出电路880的第一电容C1充电,此时反向输出端QB1输出低电平,则输出端O1输出的脉冲信号跟随第一时钟信号CK1维持低电平输出。而在第一起始信号ST1无效(即为低电平)时,重置信号R仍为无效(即为低电平),触发器电路830处于保持态,从而保持上一阶段的输出信号,即内部输出端Q1维持输出高电平,反向输出端QB1维持输出低电平,在保持态期间,第一时钟信号CK1由低电平上升至高电平时,第一移位寄存单元62(1)的内部输出端Q1的输出信号由第一高电平上升至高于第一高电平的第二高电平,维持上拉晶体管T5的导通,使得与第一级移位寄存单元62(1)对应的输出端O1跟随第一时钟信号CK1输出高电平,即向栅极线G1输出脉冲信号作为扫描信号。同时,第二移位寄存单元62(2)接收由低电平上升至高电平的第一级移位寄存单元62(1)输出端O1的信号作为其对应的第一触发信号S1,并接收作为控制信号的第二时钟信号CK2和作为重置信号R的第四时钟信号CK4,以及接收第三级移位寄存单元62(3)的输出端O3(此时为低电平)输出的脉冲信号作为第二触发信号S2,使得第二级移位寄存单元62(2)的触发器电路830处于置“1”态,从而自内部输出端Q2的输出信号由低电平上升至第一高电平。而当第一级移位寄存单元62(1)的输出端O1跟随第一时钟信号CK1切换为低电平时,第二级移位寄存单元62(2)的第一触发信号S1为无效,重置信号R仍为无效,第二移位寄存单元62(2)的触发器电路830处于保持态,从而保持上一阶段的输出信号,即内部输出端Q2维持输出高电平,反向输出端QB1维持输出低电平,在保持态期间,第二时钟信号CK2由低电平上升至高电平时,第二移位寄存单元62(2)的内部输出端Q2输出的脉冲信号则由第一

高电平上升至高于第一高电平的第二高电平,维持上拉晶体管T5的导通,使得与第二级移位寄存单元62(2)对应的输出端O2跟随第二时钟信号CK2输出高电平,即向栅极线G2输出脉冲信号作为扫描信号。此后的第三级及第四级移位寄存单元62(3)、62(4)如第一级及第二级移位寄存单元62(1)、62(2)类似工作,在此不再累述。

[0127] 另外,对于第一级移位寄存单元62(1)而言,当第三时钟信号CK3从低电平切换为高电平时,第一级移位寄存单元62(1)的触发器电路830的重置信号R为有效,第一触发信号S1和第二触发信号S2均为无效,则触发器电路830处于置“0”态,从而使触发器电路830的内部输出端Q1清零,反向输出端QB1输出高电平。同样,对于第二级移位寄存单元62(2)而言,直到第四时钟信号CK4从低电平切换为高电平时,第二级移位寄存单元62(2)的触发器电路830的重置信号R为有效,第一触发信号S1和第二触发信号S2均为低电平,则触发器电路830处于置“0”态,从而使触发器电路830的内部输出端Q2清零,反向输出端QB2输出高电平。类似地,后面的移位寄存单元62以上述方式进行驱动,以使得栅极线G1-G4k以正向顺序依次被加载扫描信号。

[0128] 请参阅图11,其为图9中移位寄存器700进行反向扫描时第一起始信号ST1、第二起始信号ST2、第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4、内部输出端Q1-Q4k的输出信号及栅极线G1-G4k的时序图。当第二起始信号ST2有效,第一起始信号ST1无效,第4k-1级移位寄存单元62(4k-1)的输出端O(4k-1)输出为低电平,作为重置信号R的第二时钟信号CK2和作为控制信号的第四时钟信号CK4处于低电平,第4k级移位寄存单元62(4k)的的触发器电路830的内部输出端Q(4k)的输出信号跳变为第一高电平,对输出电路880的第一电容C1充电,此时反向输出端QB(4k)输出低电平,则输出端O(4k)输出的脉冲信号跟随第四时钟信号CK4维持低电平输出。而在第二起始信号ST2无效时,重置信号R仍为无效,触发器电路830处于保持态,从而保持上一阶段的输出信号,即内部输出端Q(4k)维持输出高电平,反向输出端QB(4k)维持输出低电平,在保持态期间,第四时钟信号CK4由低电平上升至高电平时,第4k级移位寄存单元62(4k)的内部输出端Q(4k)的输出信号由第一高电平上升至高于第一高电平的第二高电平,维持上拉晶体管T5的导通,使得与第4k级移位寄存单元62(4k)的输出端O(4k)跟随第四时钟信号CK4输出高电平,即向对应的栅极线G4k输出脉冲信号作为扫描信号。同时,第4k-1级移位寄存单元62(4k-1)接收由低电平上升至高电平的第四时钟信号CK4输出的脉冲信号作为第二触发信号S2,并接收作为重置信号R的第一时钟信号CK1和作为控制信号的第三时钟信号CK3处于低电平,以及接收第4k-2级移位寄存单元62(4k-2)的输出端O(4k-2)(此时为低电平)输出的脉冲信号作为第二触发信号S2,使得第4k-1级移位寄存单元62(4k-1)的内部输出端Q(4k-1)的输出信号由低电平上升至第一高电平。而当第4k级移位寄存单元62(4k)的输出端O(4k)跟随第四时钟信号CK4切换为低电平时,第4k-1级移位寄存单元62(4k-1)的第一触发信号S1也无效,重置信号R仍为无效,第4k-1级移位寄存单元62(4k-1)的触发器电路830处于保持态,从而保持上一阶段的输出信号,即内部输出端Q(4k-1)维持输出高电平,反向输出端QB(4k)维持输出低电平,在保持态期间,第三时钟信号CK3由低电平上升至高电平时,第4k-1级移位寄存单元62(4k-1)的内部输出端Q(4k-1)输出的脉冲信号则由第一电平上升至高于第一高电平的第二高电平,维持上拉晶体管T5的导通,使得与第4k-1级移位寄存单元62(4k-1)对应的输出端O4k-1跟随第三时钟信号CK3输出高电平,即向栅极线G(4k-1)输出

脉冲信号作为扫描信号。此后的第4k-2级及第4k-3级移位寄存单元62(4k-2)、62(4k-3)如第一级及第二级移位寄存单元62(4k)、62(4k-1)类似工作,在此不再累述。

[0129] 另外,对于第4k级移位寄存单元62(4k)而言,当第二时钟信号CK2从低电平切换为高电平时,第4k级移位寄存单元62(4k)的触发器电路830的重置信号R为有效,第一触发信号S1和第二触发信号S2均为无效,则触发器电路830处于置“0”态,从而使触发器电路830的内部输出端Q(4k)清零,反向输出端QB(4k)输出高电平。同样,对于第4k-1级移位寄存单元62(4k-1)而言,直到第一时钟信号CK1从低电平切换为高电平时,第4k-1级移位寄存单元62(4k-1)的触发器电路830的重置信号R为有效,第一触发信号S1和第二触发信号S2均为低电平,则触发器电路830处于置“0”态,从而使触发器电路830的内部输出端Q(4k-1)清零,反向输出端QB(4k-1)输出高电平。6262类似地,前面的移位寄存单元62以上述方式进行驱动,以使得栅极线G1-G4k以反向顺序依次被加载扫描信号。

[0130] 与现有技术相比较,本发明触控显示装置1中通过采用触发器电路830使得内部输出端Q的输出信号和反向输出端QB的输出信号不会在触控阶段 T_{touch} 产生偏移,进而避免触控显示装置1显示水平线。同时,可省略并联连接在下拉晶体管T6的栅极和漏极之间的电容,提高了触控显示装置1的显示性能。进一步,触发器电路830可适用于双向扫描的触控显示装置1。

[0131] 请参阅图12,其为第四实施方式之移位寄存单元62d的电路结构示意图。移位寄存单元62d的结构与移位寄存单元62d62类似,不同之处在于触发器电路840。移位寄存单元62d为双向移位寄存单元。第四实施方式的触发器电路840接收第一触发信号S1、第二触发信号S2和重置信号R控制内部输出端Q和反向输出端QB的输出信号。触发器电路840类似触发器电路830,能够工作在2个稳态(如置“1”状态与置“0”状态)以及保持态下;例如,当触发器电路840工作在置“1”状态时,内部输出端Q的输出信号为高电平,反向输出端QB的输出信号为低电平;当触发器电路840工作在置“0”状态时,内部输出端Q的输出信号为低电平时,反向输出端QB的输出信号为高电平。在本实施例中,触发器电路840亦为静态反相器型触发器,并通过控制静态逆变型触发器的内部输出端Q与反向输出端QB的输出信号在触控阶段 T_{touch} 时处于保持态以始终保持在上一个显示阶段 $T_{display}$ 在邻近触控阶段 T_{touch} 时所处的输出状态。但触发器电路840与触发器电路830在电路结构上有所不同。

[0132] 具体地,触发器电路840包括第一静态反相电路841和第二静态反相电路842。第一静态反相电路821和第二静态反相电路822具有相同电路元件,但具有不同的连接方式。第一静态反相电路821包括第一晶体管T11、第二晶体管T12、第四晶体管T13、第五晶体管T14、第六晶体管T15及第七晶体管T16。其中,第一晶体管T11、第二晶体管T12、第四晶体管T13及第五晶体管T14共同构成逆变电路,从而取代第一实施方式仅用第一晶体管T11与第二晶体管T12构成的逆变电路;而第六晶体管T15与第七晶体管T16共同构成重置电路,从而取代第一实施方式仅用第三晶体管T17构成的重置电路。当重置信号R为有效电平时,第一静态反相电路821的输出,即节点N1的电平被拉低,从而重置触发器电路830的内部输出端Q。

[0133] 在第一静态反相电路841中,第一晶体管T11和第四晶体管T13共同作为上拉元件,用于在触控阶段 T_{touch} 将内部输出端Q的输出信号的电平状态钳制在前一显示阶段 $T_{display}$ 中邻近触控阶段 T_{touch} 的时段 T_m 时所处的电平状态;第二晶体管T12和第六晶体管T15共同作为反馈控制晶体管;第六晶体管T15及第七晶体管T16共同作为重置元件,用于

根据重置信号R重置内部输出端Q的输出信号的电平状态。第一晶体管T11的栅极与源极电性连接,且与高电压VGH电性连接,第一晶体管T11的漏极与第四晶体管T13的栅极电性连接。第四晶体管T13的源极与高电压VGH电性连接,第四晶体管T13的漏极连接至节点N1,同时作为内部输出端Q的输出信号的输出端,且与输出电路880电性连接。第二晶体管T12和第五晶体管T14的栅极作为反向输出端QB的输出信号的输出端,同时与输出电路880电性连接。第二晶体管T12的源极与第一晶体管T11的漏极电性连接,第二晶体管T12的漏极与低电压VGL电性连接。第五晶体管T14的源极与第四晶体管T13的漏极电性连接,第五晶体管T14的漏极与低电压VGL电性连接。第六晶体管T15和第七晶体管T16的栅极同时接收重置信号R。第六晶体管T15的源极与第一晶体管T11的漏极电性连接,第六晶体管T15的漏极与低电压VGL电性连接。第七晶体管T16的源极与第四晶体管T13的漏极电性连接,第七晶体管T16的漏极与低电压VGL电性连接。

[0134] 第二静态反相电路842包括第一晶体管T21、第二晶体管T22、第四晶体管T23、第五晶体管T24、第六晶体管T25及第七晶体管T26。其中,第一晶体管T21、第二晶体管T22、第四晶体管T23及第五晶体管T24共同构成逆变电路,从而取代第三实施方式仅用第一晶体管T21与第二晶体管T22构成的逆变电路;而第六晶体管T25与第七晶体管T26共同构成重置电路,从而取代第三实施方式仅用第三晶体管T27构成的重置电路。在第二静态反相电路842中,第一晶体管T21和第四晶体管T23共同作为上拉元件,用于在触控阶段T_{touch}将内部输出端Q的输出信号的电平状态钳制在前一显示阶段T_{display}中邻近触控阶段T_{touch}的时段T_m时所处的电平状态;第二晶体管T22和第五晶体管T24共同作为反馈控制晶体管;第六晶体管T25及第七晶体管T26共同作为重置元件,用于根据重置信号R重置内部输出端Q的输出信号的电平状态。第一晶体管T21的栅极与源极电性连接,且与高电压VGH电性连接,第一晶体管T21的漏极与第四晶体管T23的栅极电性连接。第四晶体管T23的源极与高电压VGH电性连接,第四晶体管T23的漏极连接反向输出端QB,且与输出电路880电性连接。第二晶体管T22和第五晶体管T24的栅极连接至内部输出端Q,同时与输出电路880电性连接。第二晶体管T22的源极与第一晶体管T21的漏极电性连接,第二晶体管T22的漏极与低电压VGL电性连接。第五晶体管T24的源极与第四晶体管T23的漏极电性连接,第五晶体管T24的漏极与低电压VGL电性连接。第六晶体管T25和第七晶体管T26的栅极同时接收触发信号S。第六晶体管T25的源极与第一晶体管T21的漏极电性连接,第六晶体管T25的漏极与低电压VGL电性连接。第七晶体管T26的源极与第四晶体管T23的漏极电性连接,第七晶体管T26的漏极与低电压VGL电性连接。

[0135] 第二静态反相电路842进一步包括第九晶体管T29和第十晶体管T30。第九晶体管T29和第十晶体管T30共同作为反向扫描时第二触发信号S2的接收端。在显示阶段T_{display}进行反向扫描时,第九晶体管T29和第十晶体管T30根据第二触发信号S2触发反向输出信号QB的电平改变。第九晶体管T29和第十晶体管T30的栅极接收第二触发信号S2,第九晶体管T29和第十晶体管T30的源极与下拉晶体管T6的控制端(栅极)电性连接,第九晶体管T29和第十晶体管T30的漏极与低电压VGL电性连接。

[0136] 与现有技术相比较,本发明触控显示装置1中通过采用触发器电路840使得内部输出端Q的输出信号和反向输出端QB的输出信号不会在触控阶段T_{touch}产生偏移,进而避免触控显示装置1显示水平线。同时,由于采用反向输出端QB的输出信号作为触发器电路840

的输出端,可省略并联连接在下拉晶体管T6的栅极和漏极之间的电容,提高了触控显示装置1的显示性能。进一步地,利用共同构成反相器结构,并通过第六晶体管T15\T25和第七晶体管T16\T26共同构成重置元件,可增加触发器电路840的增益并降低输出电阻,可适用于接收高频信号。同时,增加第九晶体管T29和第十晶体管T30作为第二触发元件,使得触发器电路840可适用于双向扫描的触控显示装置1。

[0137] 请参阅图13,其为第五实施方式之移位寄存单元62e的电路示意图。移位寄存单元62e为在现有技术中的动态触发器电路910的基础上增加了控制电路950。该控制电路950进一步接收第一触控信号TP,并在第一触控信号TP的控制下在触控阶段T_{touch}期间强制控制动态触发器电路910的控制内部输出端Q的输出信号保持在高电平。该第一触控信号TP维持高电平期间与触控阶段T_{touch}同步对应。控制电路950包括第一开关T41和第二开关T42。第一开关T41和第二开关T42的控制端(栅极)均接收第一触控信号TP,第一开关T41的第一端(源极)与第一开关T41的控制端电性连接,第一开关T41的第二端(漏极)与下拉晶体管T6的控制端电性连接,第二开关T42的第一端(源极)与第二开关T42的控制端电性连接,第二开关T42的第二端(漏极)与上拉晶体管T5的控制端电性连接。下面结合时序进行说明。

[0138] 请参阅图14,其为图13中移位寄存单元62e中触发信号S、重置信号R、时钟信号CK、第一触控信号TP、内部输出端Q的输出信号、反向输出端QB的输出信号及输出端O的时序图。当触发信号S由无效状态切换为有效状态,重置信号R维持无效状态,且第一触控信号TP为无效状态时,触发器电路910处于置“1”状态,则其内部输出端Q的输出信号由低电平上升至第一高电平,反向输出端QB的输出信号由高电平下降至低电平。当进入触控阶段T_{touch}时,第一触控信号TP由低电平上升至高电平,内部输出端Q的输出信号被强制保持在第一高电平。当触控阶段T_{touch}结束后,且时钟信号CK由低电平上升至高电平时,由于触发器电路910处于保持态,内部输出端Q的输出信号在第一电容C1的放电作用及时钟信号CK的作用下由第一高电平上升至第二高电平,输出端O跟随时钟信号CK同步输出脉冲信号作为扫描信号。当时钟信号CK由高电平下降至低电平时,内部输出端Q的输出信号由第二高电平下降至第一高电平,输出端O由高电平下降至低电平。

[0139] 与现有技术相比较,本发明触控显示装置1中利用利用表征触控阶段T_{touch}到来的第一触控信号TP控制内部输出端Q的输出信号和反向输出端QB的输出信号不会在触控阶段T_{touch}产生偏移,进而避免触控显示装置1显示水平线。

[0140] 请参阅图15,其为第六实施方式之移位寄存单元62f的电路结构示意图。移位寄存单元62f与移位寄存单元62e类似,其不同之处在于控制电路960。移位寄存单元62f接收第一触控信号TP与第二触控信号xTP。第一触控信号TP维持高电平期间与触控阶段T_{touch}同步对应。第二触控信号xTP作为重置信号,用于在显示阶段T_{display}重置控制电路950。其中,第一触控信号TP和第二触控信号xTP为反相信号。

[0141] 控制电路960包括第一开关T41、第二开关T42、第三开关T51、第四开关T52、第五开关T61、第六开关T62、第七开关T71及第八开关T72。第一开关T41和第二开关T42的控制端(栅极)均接收第一触控信号TP,第一开关T41的第一端(源极)与第一开关T41的控制端电性连接,第一开关T41的第二端(漏极)与第三开关T51的控制端电性连接,第二开关T42的第一端(源极)与第二开关T42的控制端电性连接,第二开关T42的第二端(漏极)与第四开关T52的控制端电性连接。第三开关T51的控制端(栅极)与第一开关T41的第二端(漏极)电性连

接,第三开关T51的第一端(源极)接收第一触控信号TP,第三开关T51的第二端(漏极)与下拉晶体管T6的控制端(栅极)电性连接。第四开关T52的控制端(栅极)与第二开关T42的第二端(漏极)电性连接,第四开关T52的第一端(源极)接收第一触控信号TP,第四开关T52的第二端(漏极)与上拉晶体管T5的控制端(栅极)电性连接。第五开关T61和第七开关T71的控制端(栅极)接收第二触控信号xTP,第五开关T61的第一端(源极)和第一开关T41的第二端(漏极)电性连接,第七开关T71的第一端(源极)和第二开关T42的第二端(漏极)电性连接,第六开关T62的控制端(栅极)与下拉晶体管T6的控制端(栅极)电性连接,第八开关T72的控制端(栅极)与上拉晶体管T5的控制端(栅极)电性连接,第六开关T62的第一端(源极)和第一开关T41的第二端(漏极)电性连接,第八开关T72的第一端(源极)和第二开关T42的第二端(漏极)电性连接,第五开关T61、第六开关T62、第七开关T71及第八开关T72的第二端(漏极)与低电压VGL电性连接。下面结合时序进行说明。

[0142] 请参阅图16,其为图15中移位寄存单元62c中触发信号S、重置信号R、时钟信号CK、第一触控信号TP、第二触控信号xTP、内部输出端Q的输出信号、反向输出端QB的输出信号及输出端O的时序图。当触发信号S由无效状态切换为有效状态,重置信号R维持无效状态,第一触控信号TP为无效状态,且第二触控信号xTP为有效状态时,触发器电路910处于置“1”状态,则其内部输出端Q的输出信号由低电平上升至第一高电平,反向输出端QB的输出信号由高电平下降至低电平。当进入触控阶段 T_{touch} 时,第一触控信号TP切换为有效状态,第二触控信号xTP切换为无效状态,由于触发器电路910处于保持态,内部输出端Q的输出信号保持在第一高电平。当触控阶段 T_{touch} 结束后,第一触控信号TP为无效状态,且第二触控信号xTP为有效状态,重置控制电路960的状态为初始状态。同时,时钟信号CK由低电平上升至高电平时,内部输出端Q的输出信号在第一电容C1的放电作用及时钟信号CK的作用下由第一高电平上升至第二高电平,输出端O跟随时钟信号CK同步输出脉冲信号作为扫描信号。当时钟信号CK由高电平下降至低电平时,内部输出端Q的输出信号由第二高电平下降至第一高电平,输出端O由高电平下降至低电平。

[0143] 与现有技术相比较,本发明触控显示装置1中利用触控信号控制内部输出端Q的输出信号和反向输出端QB的输出信号不会在触控阶段 T_{touch} 产生偏移,进而避免触控显示装置1显示水平线。同时,利用第一开关T41、第二开关T42、第三开关T51、第四开关T52、第五开关T61、第六开关T62、第七开关T71及第八开关T72共同构成反相器结构,可使得移位寄存单元62f可适用于接收高频信号。

[0144] 本技术领域的普通技术人员应当认识到,以上的实施方式仅是用来说明本发明,而并非用作为对本发明的限定,只要在本发明的实质精神范围之内,对以上实施例所作的适当改变和变化都落在本发明要求保护的范围之内。

1

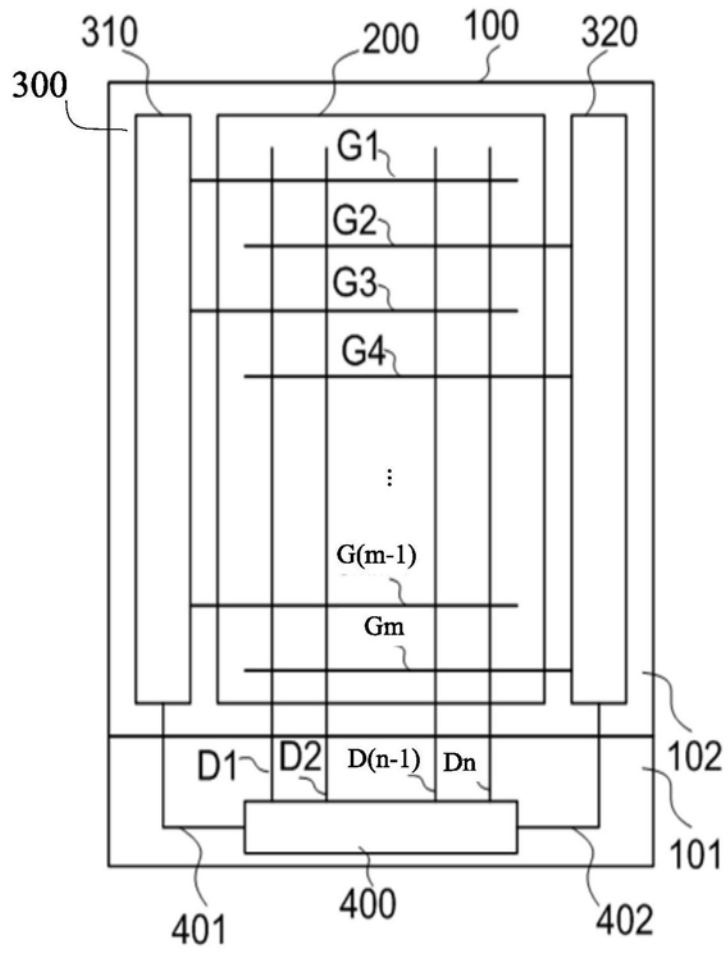


图1

600

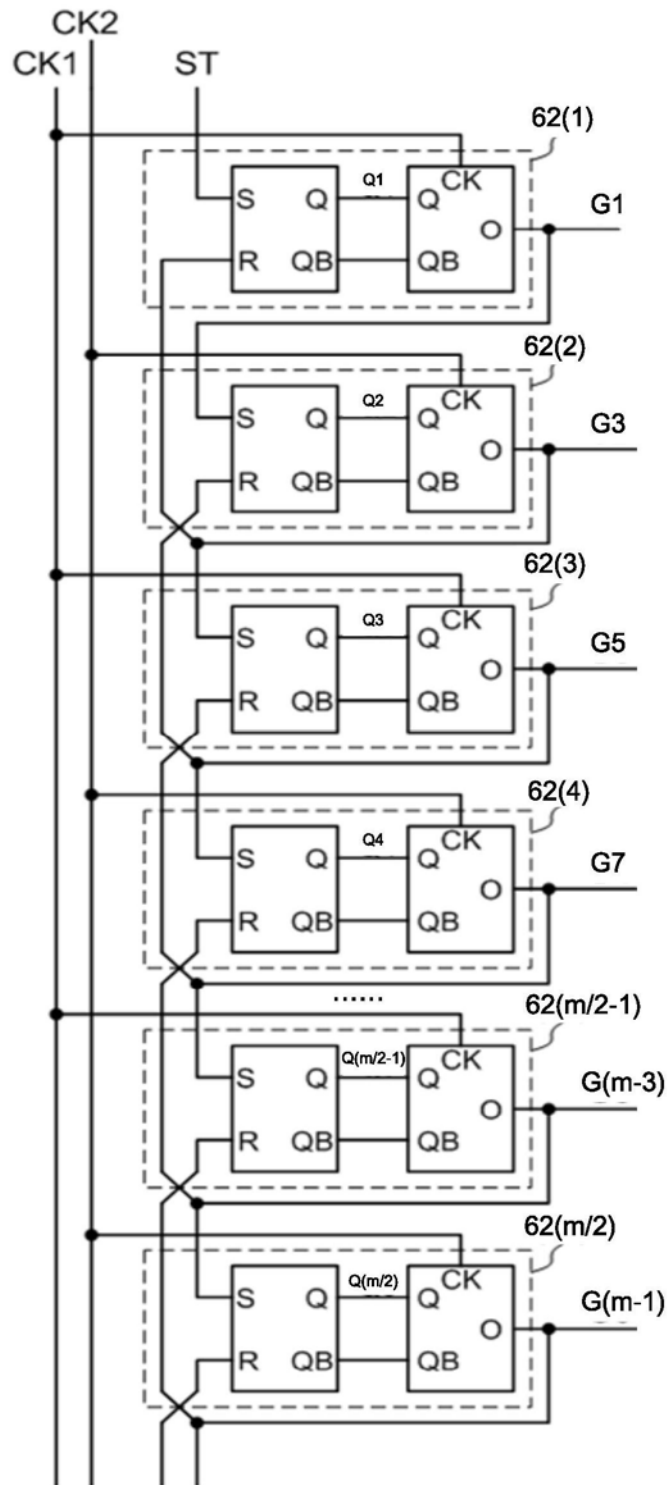


图2

62a

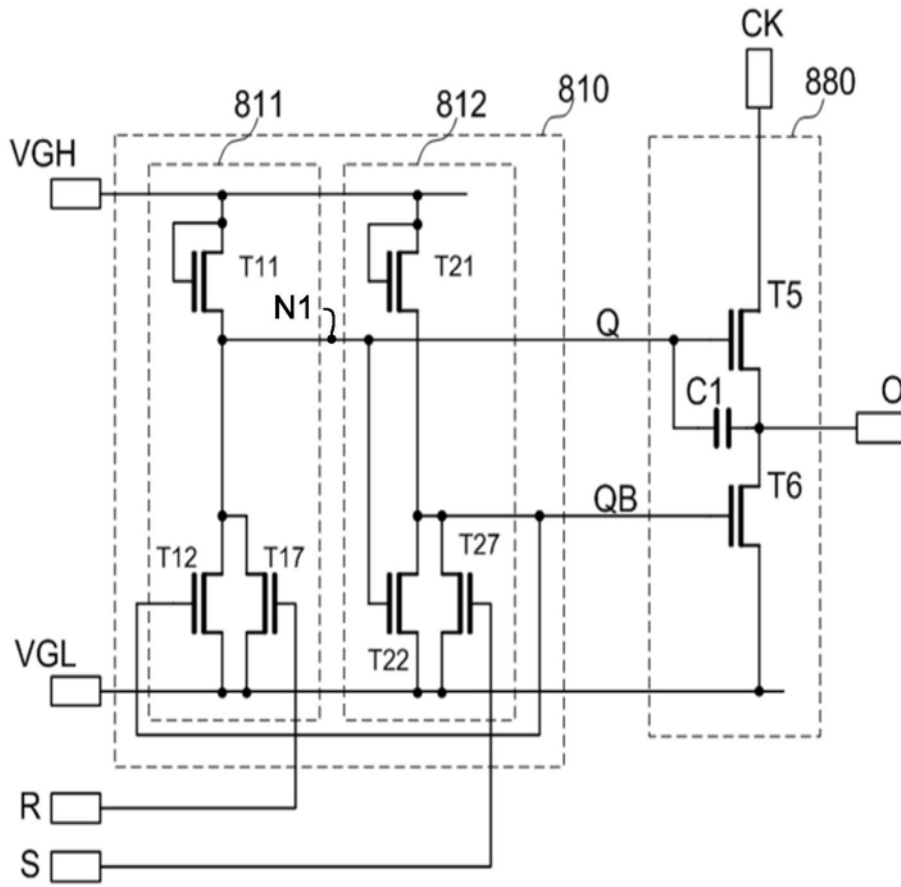


图3

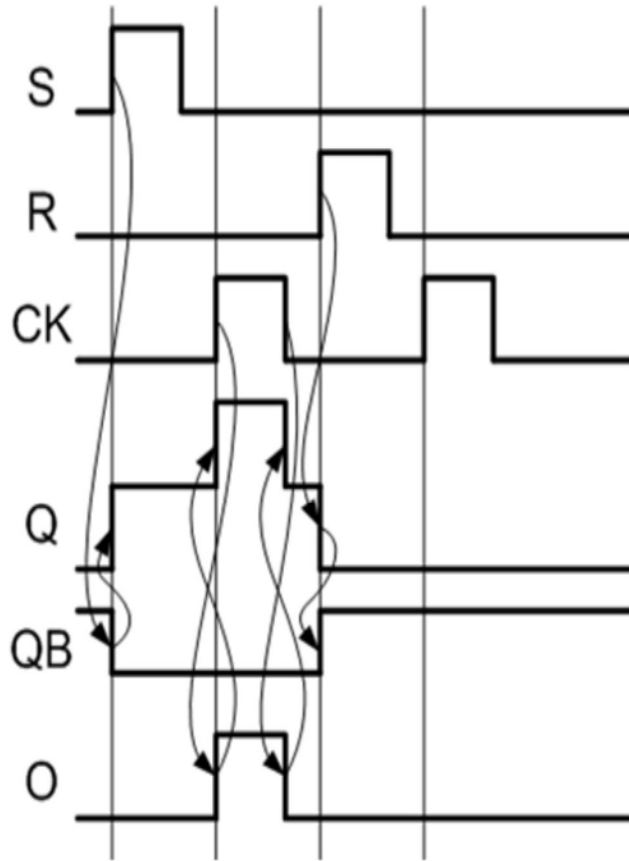


图4

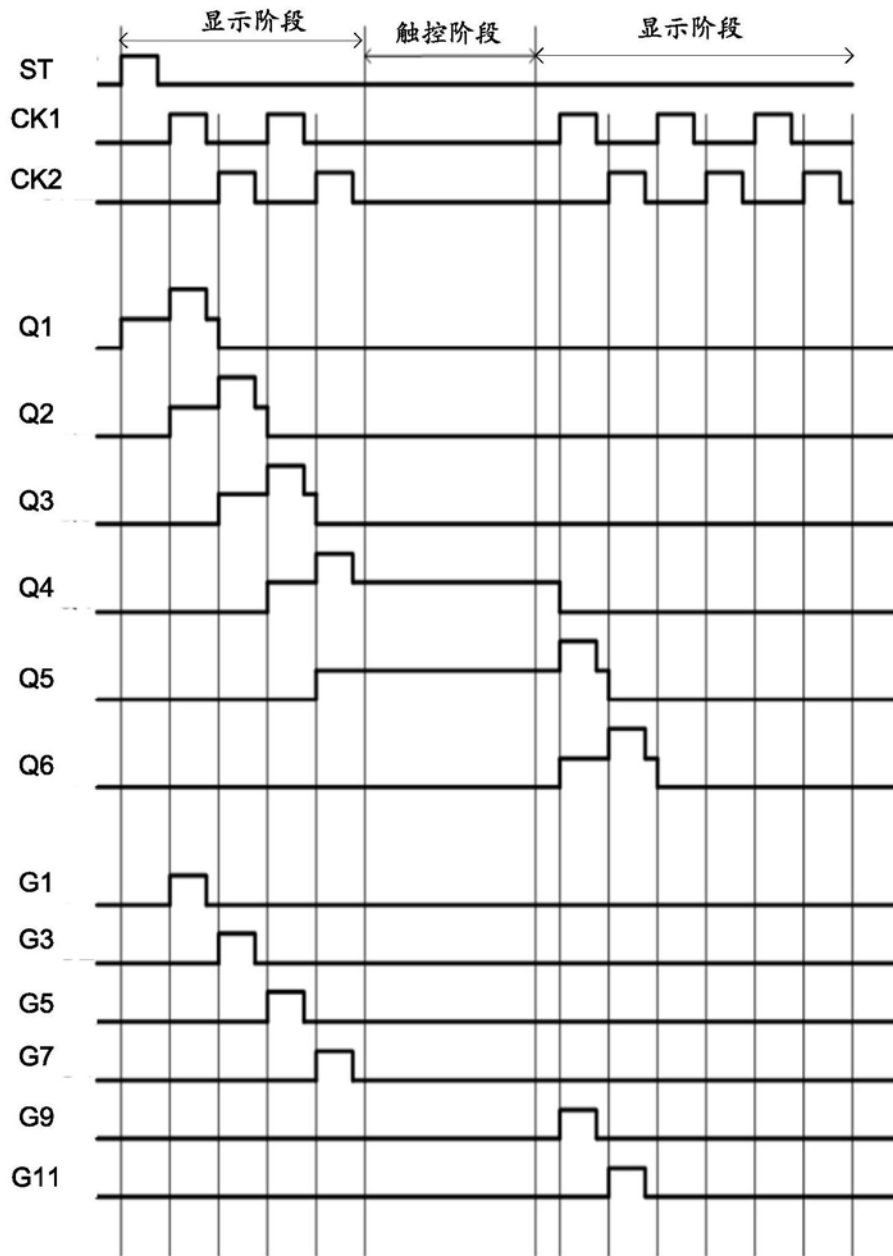


图5

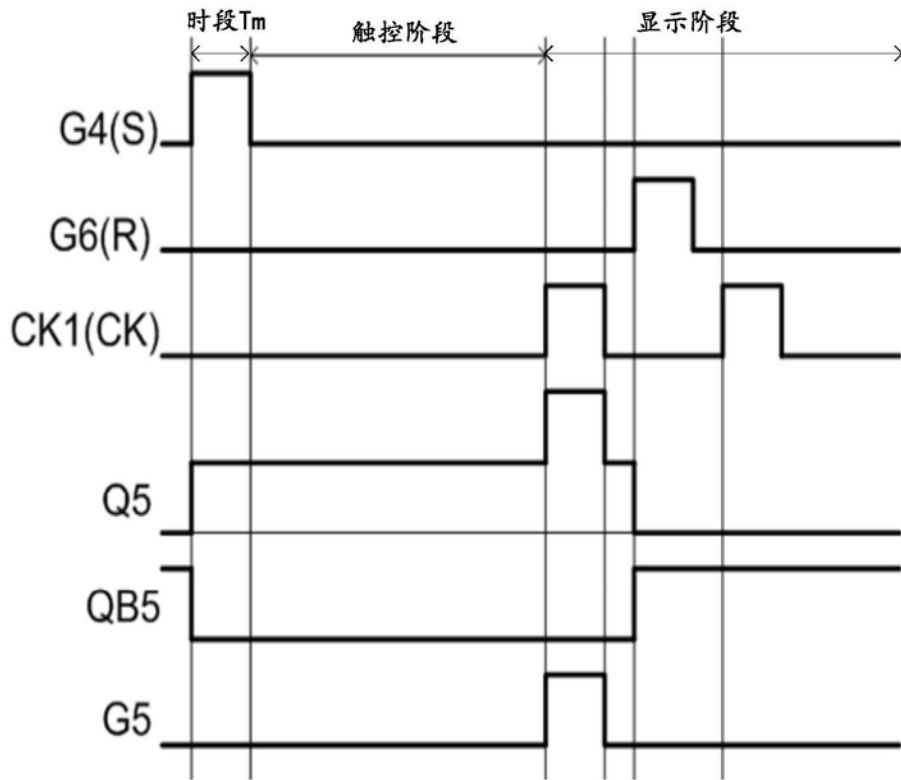


图6

62b

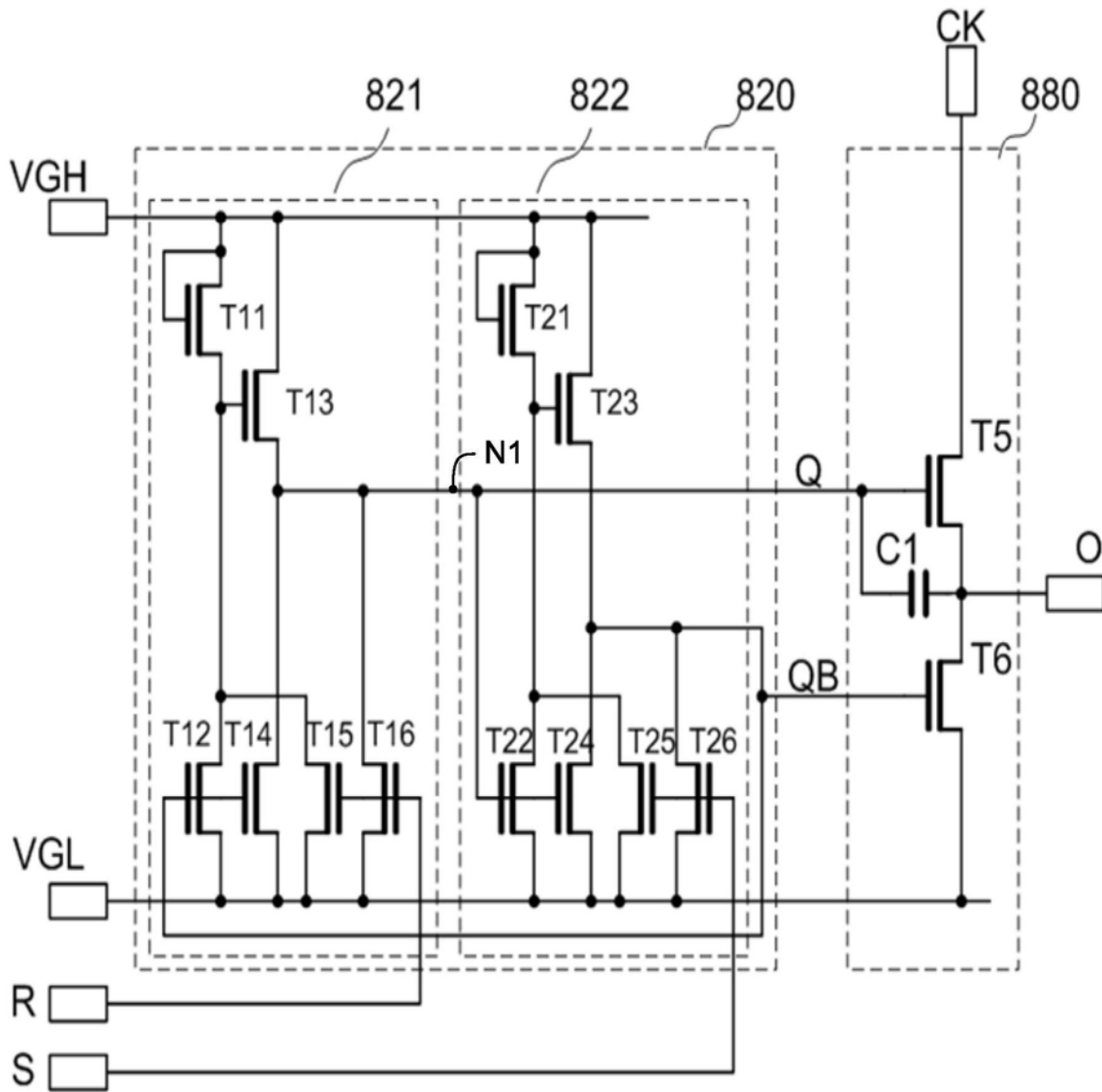


图7

700

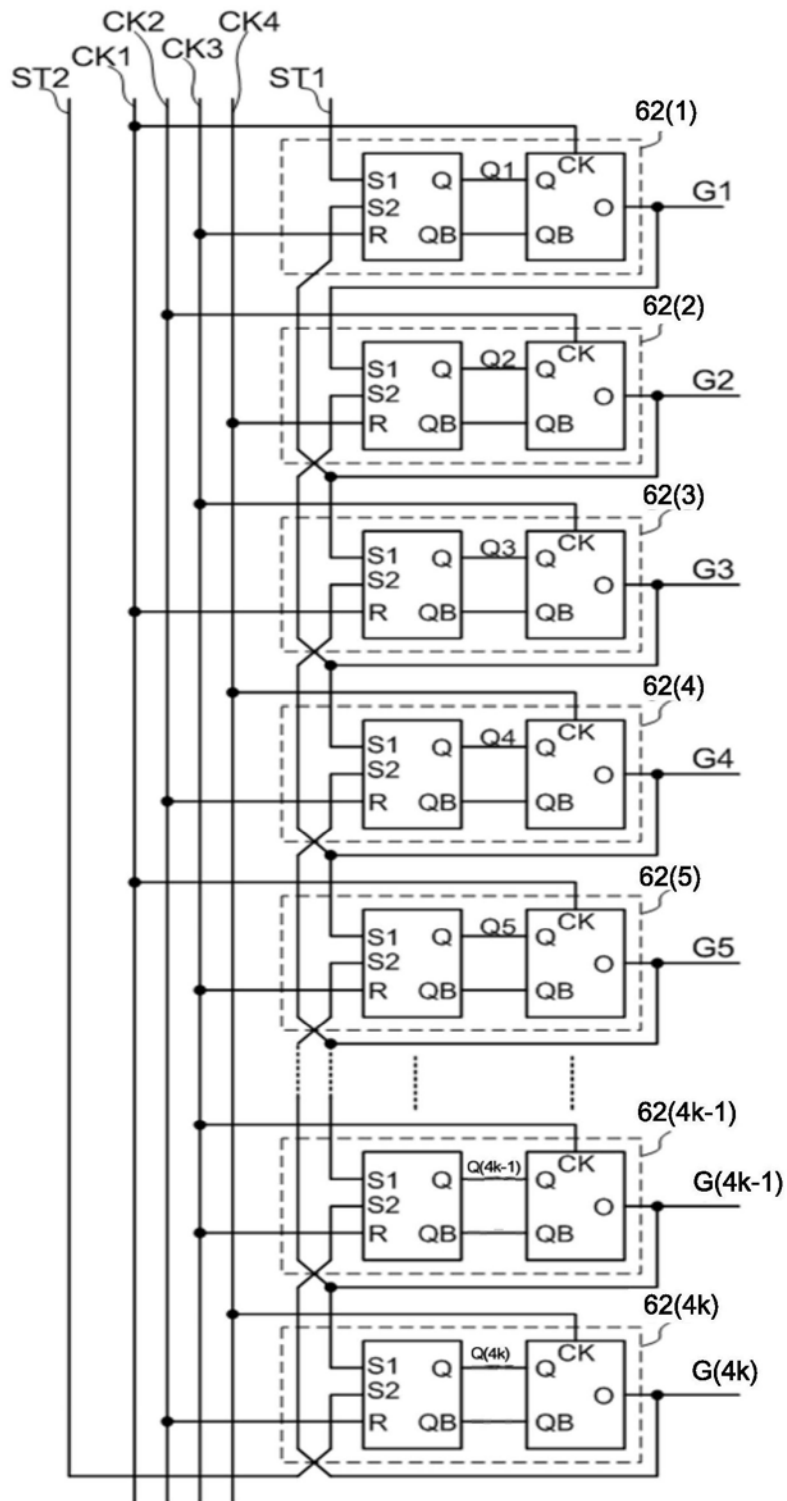


图8

62c

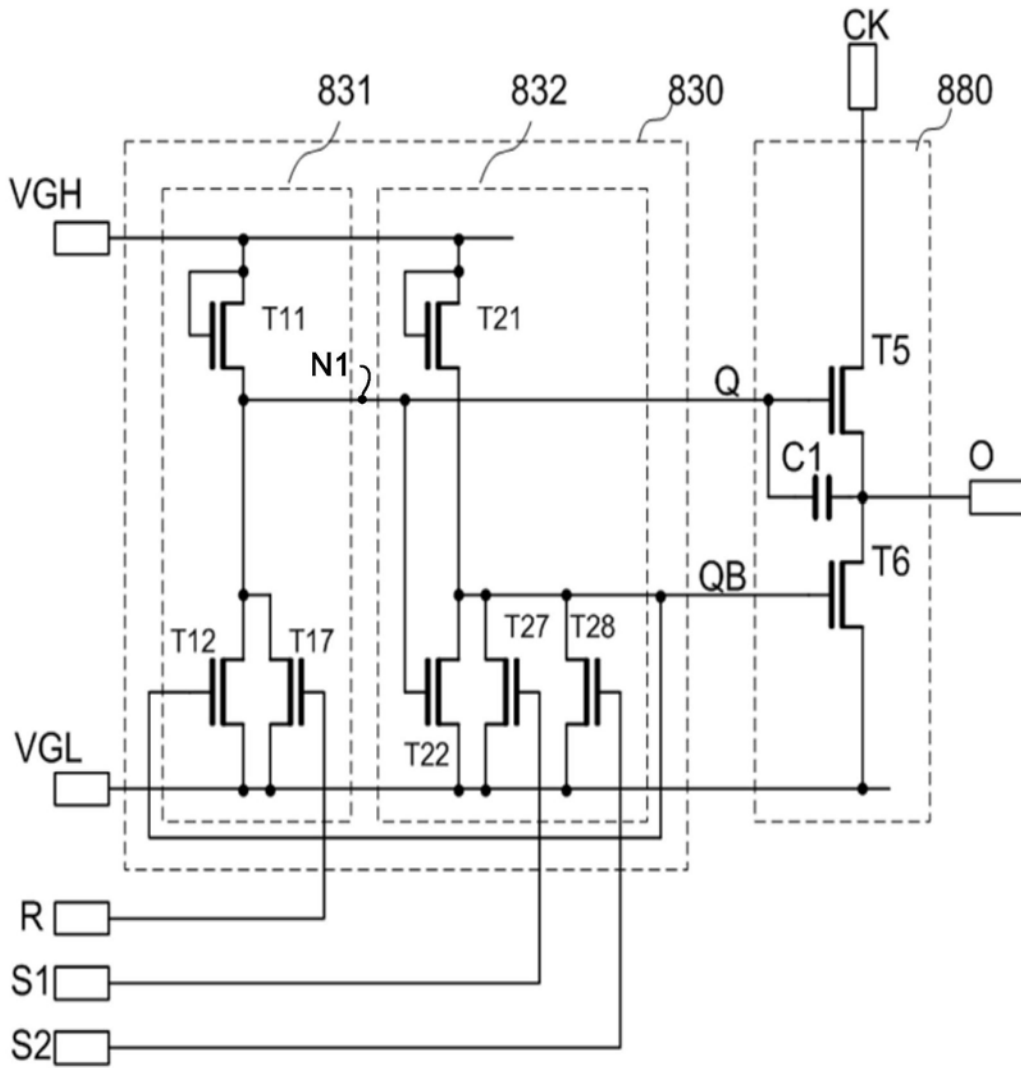


图9

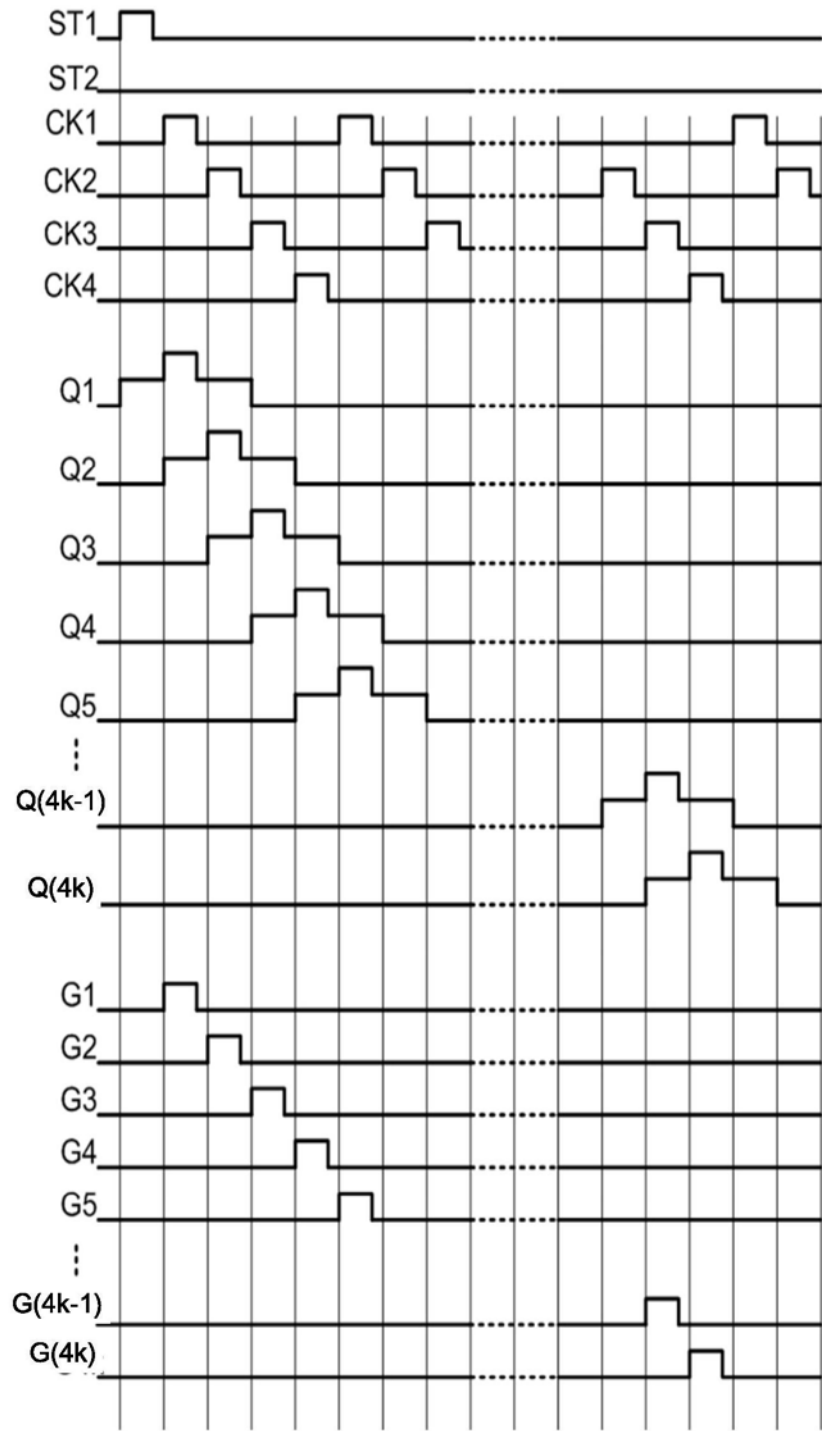


图10

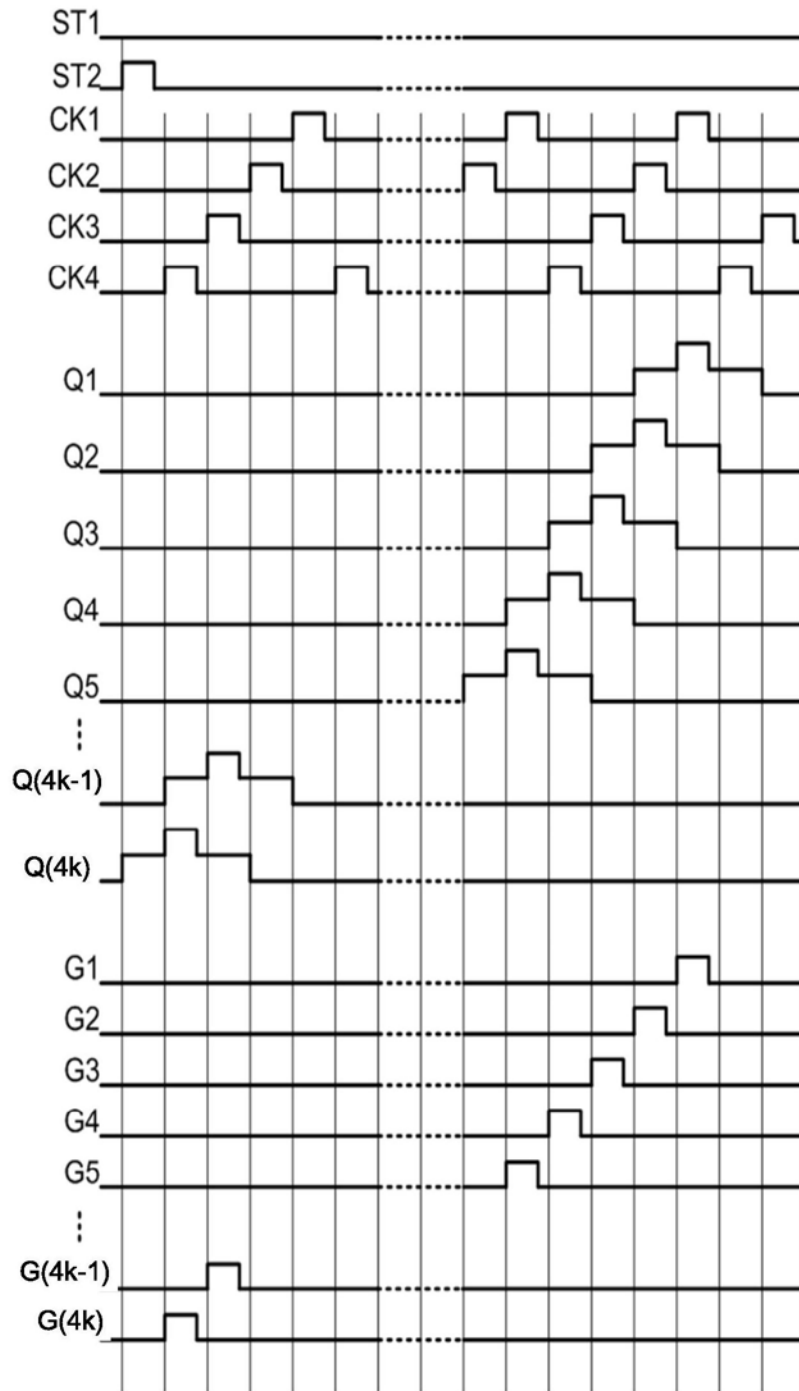


图11

62d

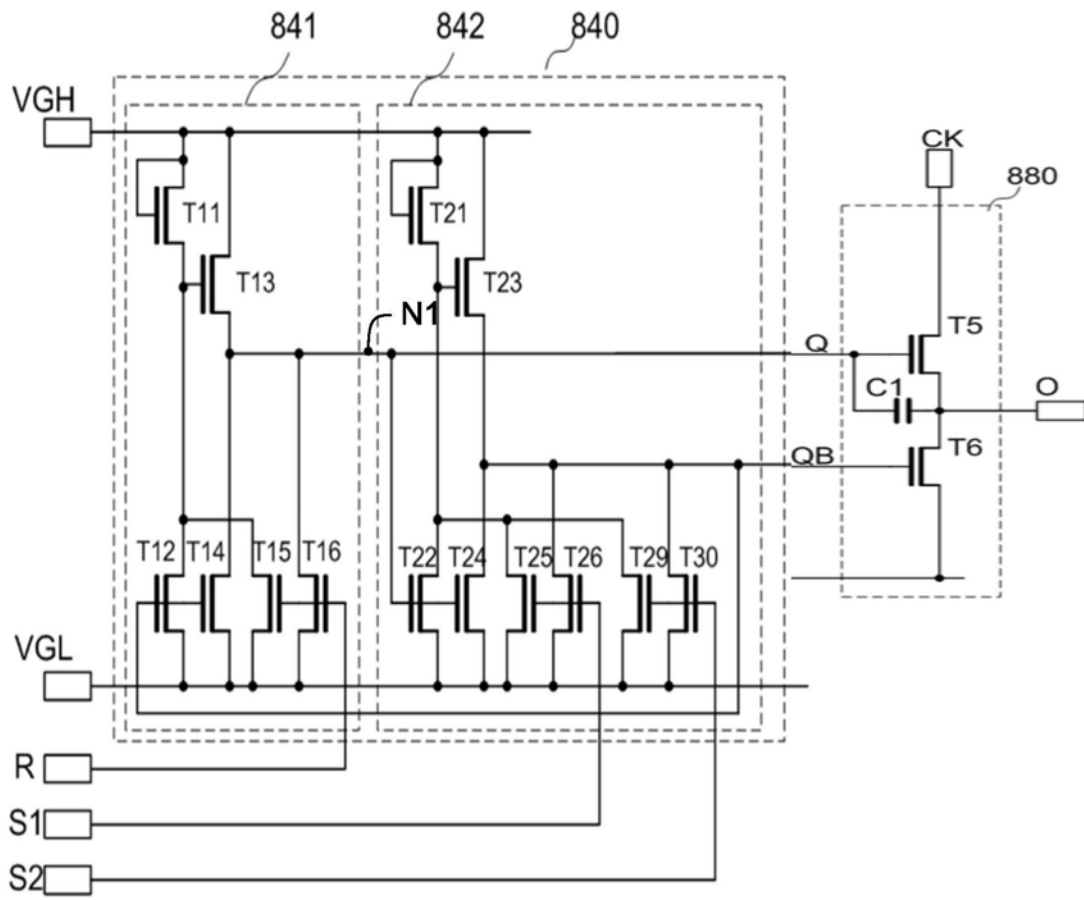


图12

62e

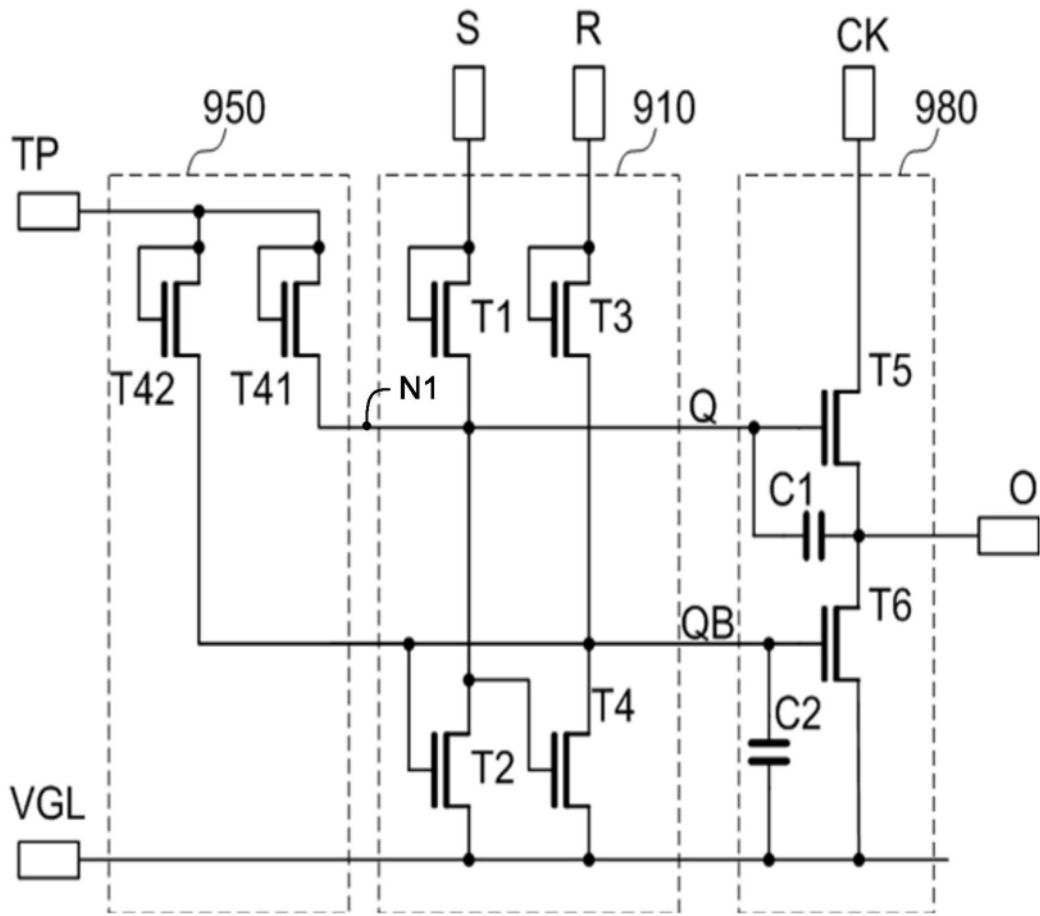


图13

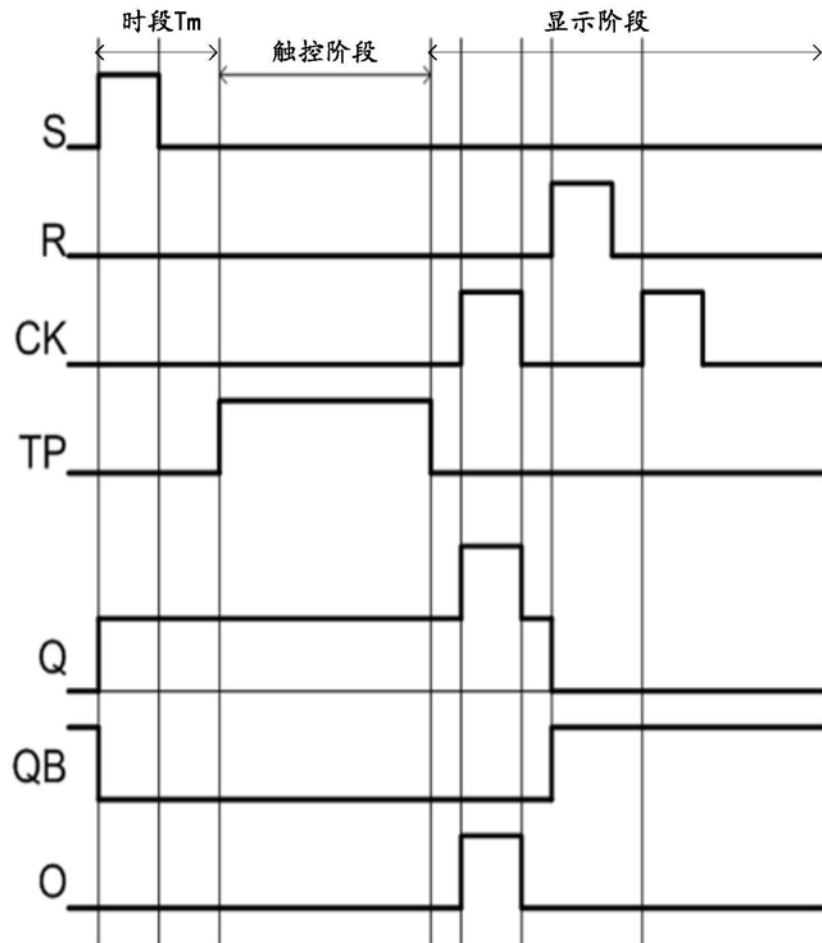


图14

62f

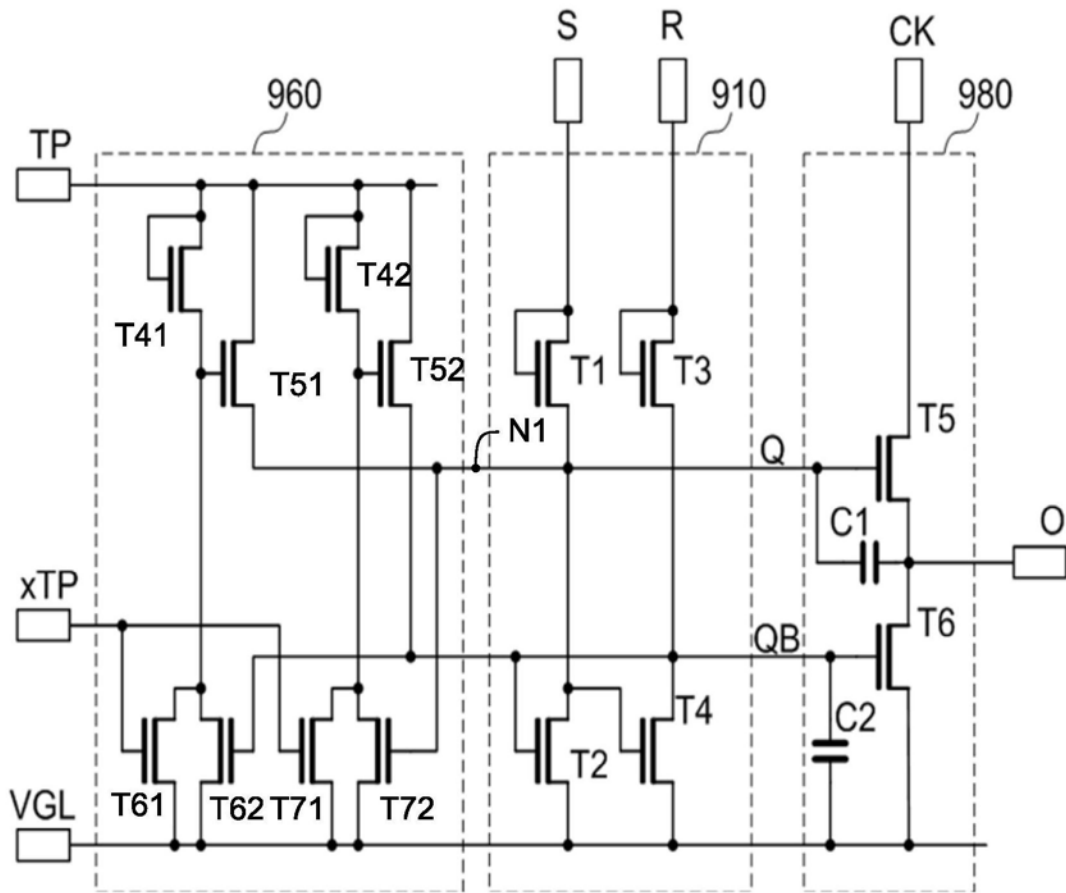


图15

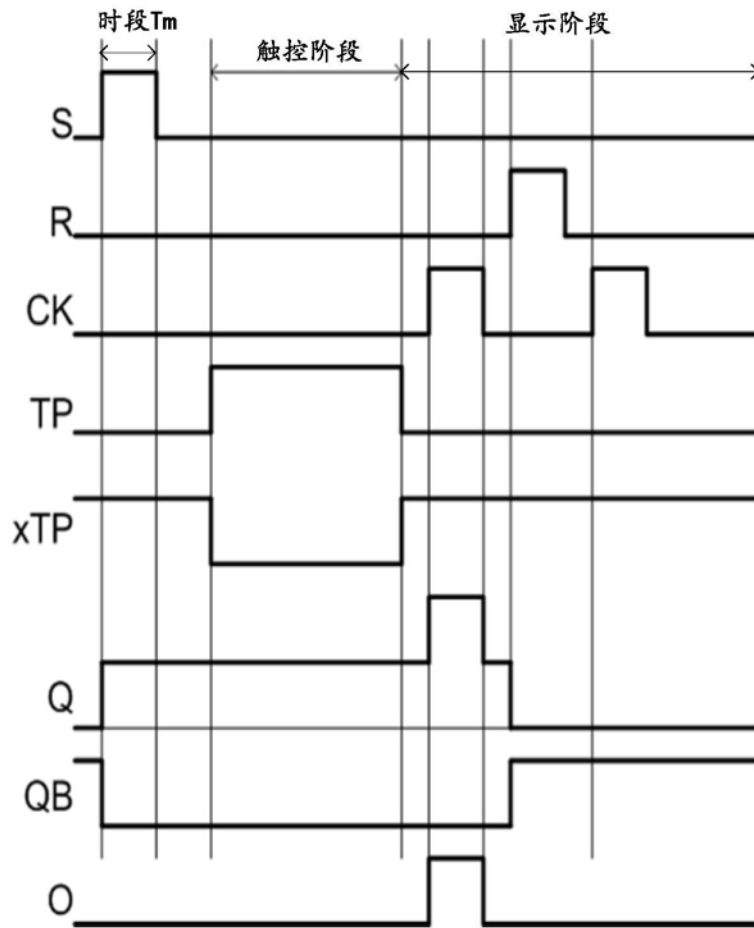


图16

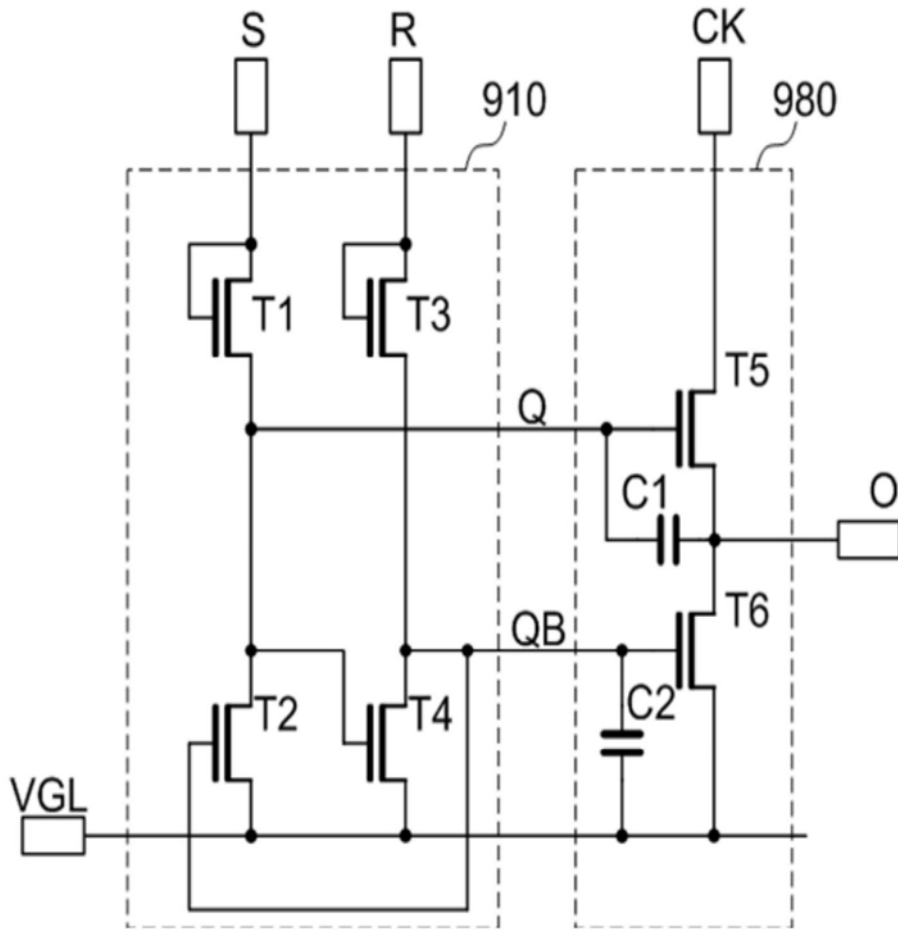


图17

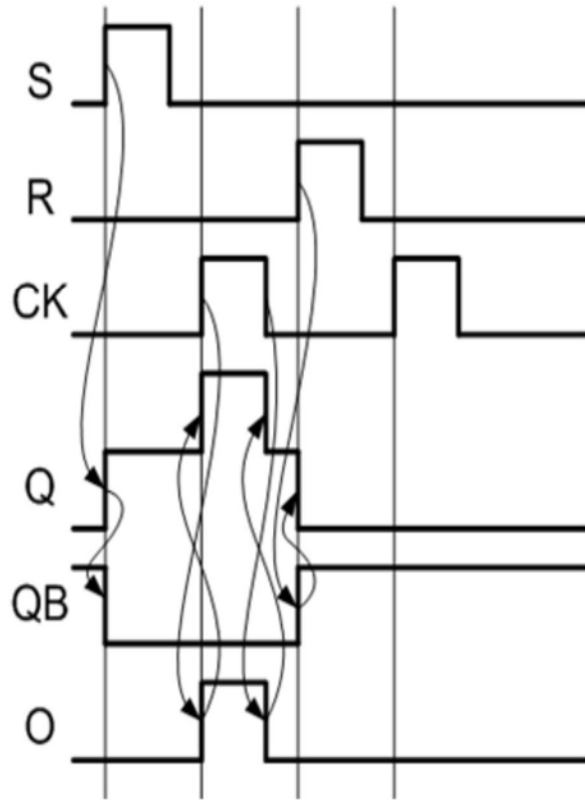


图18

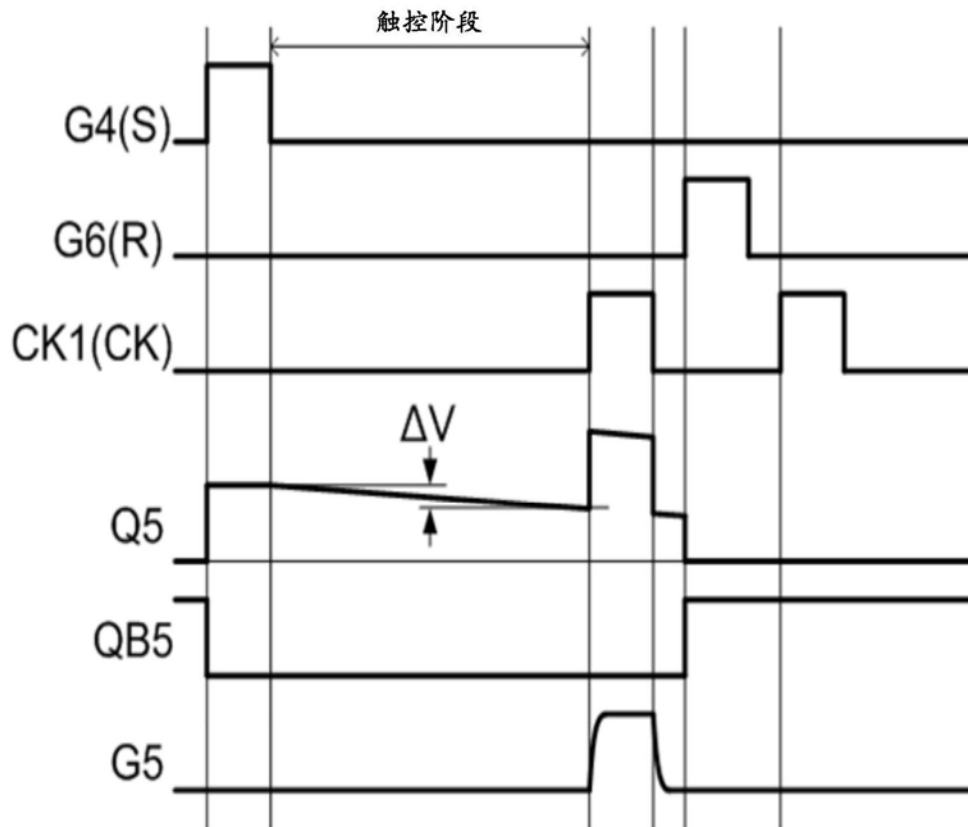


图19