



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0016198
(43) 공개일자 2009년02월13일

- | | |
|---|---|
| <p>(51) Int. Cl.
G11C 13/02 (2006.01) G11C 5/14 (2006.01)
G11C 7/12 (2006.01)</p> <p>(21) 출원번호 10-2007-0080670
(22) 출원일자 2007년08월10일
심사청구일자 2007년08월10일</p> | <p>(71) 출원인
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1</p> <p>(72) 발명자
강희복
충청북도 청주시 흥덕구 가경동 762 벽산아파트 106-801
홍석경
경기도 과천시 부림동 주공아파트 809-505</p> <p>(74) 대리인
특허법인태평양</p> |
|---|---|

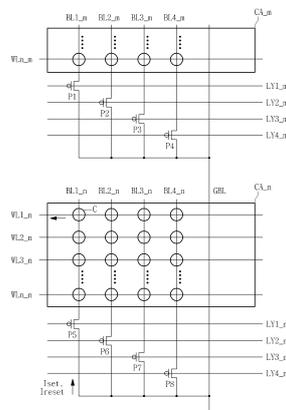
전체 청구항 수 : 총 13 항

(54) 상 변화 메모리 장치 및 그 동작방법

(57) 요약

본 발명은 상 변화 메모리 장치 및 그 동작방법에 관한 것으로, 라이트 동작 모드시 리셋 데이터를 라이트 할 때, 스위치 소자를 통해 구동전압을 차단시켜 분포가 작은 고 저항 특성을 가질 수 있는 기술을 개시한다. 이를 위해, 본 발명은 복수개의 워드라인과 복수개의 비트라인이 교차하는 영역에 배치된 복수개의 상 변화 저항 셀을 포함하는 셀 어레이부와, 복수개의 비트라인에 의해 공유되는 글로벌 비트라인과, 비트라인 선택신호에 따라 복수개의 비트라인과 글로벌 비트라인을 선택적으로 연결하는 비트라인 선택 스위칭 소자와, 글로벌 비트라인과 연결되어 상 변화 저항 셀에 라이트 전압을 공급하는 라이트 구동부를 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

복수개의 워드라인과 복수개의 비트라인이 교차하는 영역에 배치된 복수개의 상 변화 저항 셀을 포함하는 셀 어레이부;

상기 복수개의 비트라인에 의해 공유되는 글로벌 비트라인;

비트라인 선택신호에 따라 상기 복수개의 비트라인과 상기 글로벌 비트라인을 선택적으로 연결하는 비트라인 선택 스위칭 소자; 및

상기 글로벌 비트라인과 연결되어 상기 상 변화 저항 셀에 라이트 전압을 공급하는 라이트 구동부를 포함하되, 상기 라이트 구동부는

제 1 데이터에 대응하는 라이트 전압을 발생한 후에 제 2 데이터에 대응하는 라이트 전압을 발생하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 2

제 1 항에 있어서, 상기 제 1 데이터는 리셋 데이터인 것을 특징으로 하는 상 변화 메모리 장치.

청구항 3

제 1 항에 있어서, 상기 제 2 데이터는 세트 데이터인 것을 특징으로 하는 상 변화 메모리 장치.

청구항 4

제 1 항에 있어서, 상기 라이트 구동부는 상기 제 2 데이터에 대응하는 라이트 전압을 상기 제 1 데이터에 대응하는 라이트 전압과 동일한 레벨에서 순차적으로 감소하는 전압 파형으로 발생하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 5

제 1 항에 있어서, 상기 제 1 데이터와 상기 제 2 데이터를 라이트 하는 구간 사이에 상기 비트라인 선택 스위칭 소자가 턴 오프 되는 구간을 포함하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 6

제 1 항에 있어서, 상기 비트라인 선택 스위칭 소자는 상기 제 1 및 제 2 데이터를 라이트 하는 구간 동안만 상기 비트라인과 상기 라이트 구동부를 연결하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 7

제 1 항에 있어서, 상기 비트라인 선택 스위칭 소자는 PMOS 트랜지스터로 구성되는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 8

제 1 항에 있어서, 상기 상 변화 저항 셀은

전류의 크기에 따라 변화되는 결정화 상태를 감지하여 저항의 변화에 대응하는 데이터를 저장하는 상 변화 저항 소자; 및

상기 상 변화 저항 소자와 상기 워드라인 사이에 연결된 다이오드 소자

를 포함하는 것을 특징으로 하는 상 변화 메모리 장치.

청구항 9

워드라인과 비트라인이 교차하는 영역에 배치된 상 변화 저항 셀; 라이트 할 데이터에 대응하는 라이트 전압을 상기 상 변화 저항 셀에 공급하는 라이트 구동부; 및 비트라인 선택신호에 따라 상기 비트라인과 상기 라이트

구동부를 선택적으로 연결하는 비트라인 선택 스위칭 소자를 포함하는 상 변화 메모리 장치의 동작방법에 있어서,

라이트 동작 모드시 상기 워드라인 및 상기 비트라인 선택신호가 활성화된 상태에서 제 1 라이트 전압을 선택된 상기 상 변화 저항 셀에 인가하여 제 1 데이터를 라이트 하는 단계;

상기 워드라인은 활성화된 상태이고, 상기 비트라인 선택신호가 비활성화된 상태에서 상기 상 변화 저항 셀에 인가되는 상기 제 1 라이트 전압을 차단시키는 단계; 및

상기 워드라인 및 상기 비트라인 선택신호가 활성화된 상태에서 제 2 라이트 전압을 상기 상 변화 저항 셀에 인가하여 제 2 데이터를 라이트 하는 단계

를 포함하는 것을 특징으로 하는 상 변화 메모리 장치의 동작방법.

청구항 10

제 9 항에 있어서, 상기 제 1 데이터는 리셋 데이터인 것을 특징으로 하는 상 변화 메모리 장치의 동작방법.

청구항 11

제 9 항에 있어서, 상기 제 2 데이터는 세트 데이터인 것을 특징으로 하는 상 변화 메모리 장치의 동작방법.

청구항 12

제 9 항에 있어서, 상기 제 2 라이트 전압의 인가 시간은 상기 제 1 라이트 전압의 인가 시간 보다 긴 것을 특징으로 하는 상 변화 메모리 장치의 동작방법.

청구항 13

제 9 항에 있어서, 상기 제 2 라이트 전압은 상기 제 1 라이트 전압과 동일한 전압 레벨에서 순차적으로 감소하는 것을 특징으로 하는 상 변화 메모리 장치의 동작방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 상 변화 메모리 장치 및 그 동작방법에 관한 것으로, 특히 라이트 동작 모드시 스위칭 소자를 통해 리셋 라이트 전압을 빨리 차단시킬 수 있는 기술이다.

배경기술

<2> 일반적으로 마그네틱 메모리(Magnetic memory) 및 위상 변화 메모리(PCM; Phase Change Memory) 등의 불휘발성 메모리는 휘발성 램(RAM; Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성을 갖는다.

<3> 도 1a 및 도 1b는 종래의 상 변화 저항(PCR : Phase Change Resistor) 소자를 설명하기 위한 도면이다.

<4> 상 변화 저항 소자(4)는 상부 전극(1)과 하부 전극(3) 사이에 위상 변화층(PCM: Phase Change Material; 2)을 삽입하여 전압과 전류를 인가하면, 위상 변화층(2)에 고온이 유기되어 저항의 변화에 따른 전기 전도 상태가 변하게 된다.

<5> 여기서, 위상 변화층(2)의 재료로는 AgInSbTe가 주로 사용된다. 그리고, 위상 변화층(2)의 재료로 칼코겐(chalcogen) 원소(S, Se, Te)를 주성분으로 하는 화합물(Chalcogenide)을 이용할 수도 있는데, 구체적으로 Ge-Sb-Te로 이루어진 게르마늄 안티몬 텔루르 합금물질(Ge2Sb2Te5)을 이용한다.

<6> 도 2a 및 도 2b는 종래의 상 변화 저항 소자의 원리를 설명하기 위한 도면이다.

<7> 도 2a에서와 같이, 상 변화 저항 소자(4)에 임계값 이하의 저전류가 흐르면 위상 변화층(2)이 결정화가 되기에 적당한 온도가 된다. 이에 따라, 위상 변화층(2)이 결정 상태(Crystalline Phase)가 되어 저저항 상태의 물질이

된다.

- <8> 반면에, 도 2b에서와 같이 상 변화 저항 소자(4)에 임계값 이상의 고전류가 흐르면 위상 변화층(2)이 녹는점 (Melting Point) 이상의 온도가 된다. 이에 따라, 위상 변화층(2)이 비결정 상태(Amorphous Phase)가 되어 고 저항 상태의 물질이 된다.
- <9> 이와 같이 상 변화 저항 소자(4)는 두 저항의 상태에 대응하는 데이터를 불휘발성으로 저장할 수 있게 된다. 즉, 상 변화 저항 소자(4)가 저저항 상태일 경우를 데이터 "1" 이라 하고, 고저항 상태일 경우를 데이터 "0"이라 하면 두 데이터의 로직 상태를 저장할 수 있다.
- <10> 도 3은 종래의 상 변화 저항 셀의 라이트 동작을 설명하기 위한 도면이다.
- <11> 상 변화 저항 소자(4)의 상부 전극(1)과 하부 전극(3) 사이에 일정 시간 동안 전류를 흘리게 되면 고열이 발생하게 된다. 이에 따라, 상부 전극(1)과 하부 전극(3)에 가해 준 온도 상태에 의해 위상 변화층(2)의 상태가 결정상과 비결정상으로 변하게 된다.
- <12> 이때, 일정 시간 동안 저 전류를 흘리게 되면 저온 가열 상태에 의해 결정상이 형성되어 저 저항 소자인 상 변화 소자(4)가 세트(SET) 상태가 된다. 반대로, 일정 시간 동안 고 전류를 흘리게 되면 고온 가열 상태에 의해 비결정상이 형성되어 고 저항 소자인 상 변화 저항 소자(4)가 리셋(RESET) 상태가 된다. 따라서, 이 두 개의 상 (Phase) 차이가 전기적인 저항 변화로 표현되어 나타나게 된다.
- <13> 이에 따라, 라이트 동작 모드시 세트(SET) 상태를 라이트 하기 위해 상 변화 저항 소자(4)에 낮은 전압을 긴 시간 동안 인가하게 된다. 반면에, 라이트 동작 모드시 리셋(RESET) 상태를 라이트 하기 위해 상 변화 저항 소자(4)에 높은 전압을 짧은 시간 동안 인가하게 된다.
- <14> 그런데, 종래의 상 변화 메모리 장치에 있어서 라이트 동작 모드시 라이트 전압이 글로벌 비트라인(미도시)을 지나 해당 비트라인(미도시)에 인가되게 된다. 그런데, 리셋 데이터를 라이트 하기 위해서는 짧은 시간 동안만 라이트 전압이 단위 상 변화 저항 셀 C에 인가되어야 한다.
- <15> 하지만, 글로벌 비트라인 및 비트라인 자체의 기생 캐패시턴스에 의해 지연 요소가 발생하게 된다. 이에 따라, 리셋 상태의 라이트 전압 파형이 수직한 형태로 차단되지 못하고 완만한 형태로 차단되어 구동전압이 인가되는 시간이 길어지게 된다. 이로 인해, 리드 동작 모드시 리셋 데이터에 대한 리드 저항이 분포가 크고, 저 저항 특성을 가지는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <16> 본 발명은 다음과 같은 목적을 갖는다.
- <17> 첫째, 상 변화 메모리 장치에 있어서 라이트 동작 모드시 리셋 데이터와 세트 데이터를 다른 시간에 라이트 할 수 있는데 그 목적이 있다.
- <18> 둘째, 상 변화 메모리 장치에 있어서 라이트 동작 모드시 스위칭 소자를 통해 리셋 라이트 전압을 차단시켜 리셋 데이터에 대한 리드 저항이 분포가 작은 고 저항 특성을 가질 수 있는데 그 목적이 있다.

과제 해결수단

- <19> 본 발명에 따른 상 변화 메모리 장치는, 복수개의 워드라인과 복수개의 비트라인이 교차하는 영역에 배치된 복수개의 상 변화 저항 셀을 포함하는 셀 어레이부; 복수개의 비트라인에 의해 공유되는 글로벌 비트라인; 비트라인 선택신호에 따라 복수개의 비트라인과 글로벌 비트라인을 선택적으로 연결하는 비트라인 선택 스위칭 소자; 및 글로벌 비트라인과 연결되어 상 변화 저항 셀에 라이트 전압을 공급하는 라이트 구동부를 포함하되, 라이트 구동부는 제 1 데이터에 대응하는 라이트 전압을 발생한 후에 제 2 데이터에 대응하는 라이트 전압을 발생하는 것을 특징으로 한다.
- <20> 그리고, 본 발명의 워드라인과 비트라인이 교차하는 영역에 배치된 상 변화 저항 셀; 라이트 할 데이터에 대응하는 라이트 전압을 상 변화 저항 셀에 공급하는 라이트 구동부; 및 비트라인 선택신호에 따라 비트라인과 라이트 구동부를 선택적으로 연결하는 비트라인 선택 스위칭 소자를 포함하는 상 변화 메모리 장치의 동작방법에 있어서, 라이트 동작 모드시 워드라인 및 비트라인 선택신호가 활성화된 상태에서 제 1 라이트 전압을 선택된 상

변화 저항 셀에 인가하여 제 1 데이터를 라이트 하는 단계; 워드라인은 활성화된 상태이고, 비트라인 선택신호가 비활성화된 상태에서 상 변화 저항 셀에 인가되는 제 1 라이트 전압을 차단시키는 단계; 및 워드라인 및 비트라인 선택신호가 활성화된 상태에서 제 2 라이트 전압을 상 변화 저항 셀에 인가하여 제 2 데이터를 라이트 하는 단계를 포함하는 것을 특징으로 한다.

효 과

- <21> 본 발명은 다음과 같은 효과를 제공한다.
- <22> 첫째, 상 변화 메모리 장치에 있어서 라이트 동작 모드시 리셋 데이터와 세트 데이터를 다른 시간에 라이트 할 수 있는 효과를 제공한다.
- <23> 둘째, 상 변화 메모리 장치에 있어서 라이트 동작 모드시 스위칭 소자를 통해 리셋 라이트 전압을 차단시켜 리셋 데이터에 대한 리드 저항이 분포가 작은 고 저항 특성을 가질 수 있는 효과를 제공한다.
- <24> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

발명의 실시를 위한 구체적인 내용

- <25> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- <26> 도 4는 본 발명에 따른 상 변화 메모리 장치의 셀 어레이에 관한 구성도이다.
- <27> 본 발명의 셀 어레이는 복수개의 비트라인 BL0~BL3이 컬럼 방향으로 배치되고, 복수개의 워드라인 WL0~WL3이 로 오 방향으로 배치된다. 그리고, 셀 어레이는 복수개의 비트라인 BL0~BL3과 복수개의 워드라인 WL0~WL3이 서로 교차하는 영역에 배치된 단위 상 변화 저항 셀 C을 포함한다. 여기서, 단위 상 변화 저항 셀 C은 상 변화 저항 소자 PCR와 PN 다이오드 D를 포함한다.
- <28> 상 변화 저항 소자 PCR의 일측은 워드라인 WL에 연결되며, 타측은 PN 다이오드의 N형 영역에 연결된다. PN 다이오드 D의 P형 영역은 비트라인 BL에 연결되고, N형 영역은 워드라인 WL에 연결된다. 각각의 비트라인 BL에 흐르는 세트 전류 Iset, 리셋 전류 Ireset에 따라 상 변화 저항 소자 PCR의 상(Phase)이 변화되어 데이터를 라이트 하게 된다.
- <29> 센스앰프 S/A는 비트라인 BL을 통해 인가되는 셀 데이터를 감지하고 기준전압 ref과 비교하여 데이터 "1"과 데이터 "0"을 구별한다. 기준전압 ref 인가단에는 레퍼런스 전류 Iref가 흐르게 된다. 그리고, 라이트 구동부 W/D는 단위 상 변화 저항 셀 C에 데이터를 라이트 할 때, 비트라인 BL에 데이터의 상태에 대응하는 라이트 전압을 공급한다.
- <30> 도 5는 본 발명에 따른 상 변화 메모리 장치에 관한 구성도이다.
- <31> 본 발명은 복수개의 셀 어레이 CA_m, CA_n 및 비트라인 선택 스위치 수단을 포함한다. 복수개의 셀 어레이 CA_m, CA_n 각각은 비트라인 BL과 워드라인 WL이 교차하는 영역에 형성된 단위 상 변화 저항 셀 C을 포함한다.
- <32> 그리고, 비트라인 선택 스위치 수단은 PMOS 트랜지스터 P1~P8로 구성되는 것이 바람직하다. PMOS 트랜지스터 P1~P4는 비트라인 BL과 글로벌 비트라인 GBL 사이에 연결되어 각 게이트 단자를 통해 비트라인 선택신호 LY1_m~LY4_m를 인가받는다. PMOS 트랜지스터 P5~P8는 비트라인 BL과 글로벌 비트라인 GBL 사이에 연결되어 각 게이트 단자를 통해 비트라인 선택신호 LY1_n~LY4_n를 인가받는다.
- <33> 이에 따라, 비트라인 선택신호 LY1_m~LY4_m, LY1_n~LY4_n에 따라 PMOS 트랜지스터 P1~P8가 선택적으로 턴 온되어 비트라인 BL과 글로벌 비트라인 GBL을 연결한다. 여기서, 비트라인 선택신호 LY1_m~LY4_m, LY1_n~LY4_n는 라이트 동작 모드시 세트 데이터 또는 리셋 데이터를 라이트 하는 동안만 활성화되는 신호이다.
- <34> 도 6은 본 발명의 라이트 모드 동작을 도시한 타이밍도이다.
- <35> 먼저, t0 구간에서 글로벌 비트라인 GBL은 로우 레벨로 비활성화 상태를 유지하고, 비트라인 선택신호 LY1_n는 하이 레벨로 비활성화 상태를 유지한다. 그리고, 워드라인 WL1_n은 하이 레벨로 비선택된 상태이다.

- <36> 그 다음, 라이트 동작 모드시 t1 구간에서 라이트 구동부 W/D를 통해 글로벌 비트라인 GBL에 리셋 데이터에 대응하는 라이트 전압이 인가된다.
- <37> 그리고, 비트라인 선택신호 LY1_n~LY4_n 중 해당하는 하나의 비트라인 선택신호 LY1_n가 로우 레벨로 활성화 상태가 되고, 나머지 비트라인 선택신호 LY2_n~LY4_n는 하이 레벨을 유지하게 된다.
- <38> 그러면, PMOS 트랜지스터 P5가 턴 온되어 해당 비트라인 BL1과 글로벌 비트라인 GBL이 연결된다. 이때, 선택된 워드라인 WL1_n은 활성화된 상태이다.
- <39> 이에 따라, 워드라인 WL_n과 비트라인 BL1의 교차지점에 형성된 단위 상 변화 저항 셀 C에 리셋 전류 Ireset가 인가되어 리셋 데이터가 라이트 된다.
- <40> t2 구간에서 비트라인 선택신호 LY1_n가 하이 레벨이 된다. 이에 따라, PMOS 트랜지스터 P5가 턴 오프되어 비트라인 BL1과 글로벌 비트라인 GBL의 연결이 차단된다.
- <41> 따라서, 워드라인 WL_n과 비트라인 BL1의 교차지점에 형성된 단위 상 변화 저항 셀 C에 인가되고 있던 리셋 전류 Ireset가 차단된다. 즉, 글로벌 비트라인 GBL에 리셋 상태의 라이트 전압은 계속 인가하되, PMOS 트랜지스터 P5를 턴 오프시켜 라이트 전압의 인가를 차단시킨다. 이에 따라, 비트라인 BL의 자체 기생 캐패시턴스에 의한 지연 요소만 존재하여 종래에 비해 리셋 라이트 전압이 빠른 차단 특성을 갖게 된다.
- <42> t3 구간 및 t4 구간에서 비트라인 선택신호 LY1_n가 활성화 상태가 되고, 나머지 비트라인 선택신호 LY2_n~LY4_n는 하이 레벨을 유지하게 된다. 이때, 글로벌 비트라인 GBL에는 세트 데이터에 해당하는 라이트 전압이 인가된다. 여기서, 세트 데이터에 해당하는 구동전압의 레벨은 t3 구간 동안 리셋 데이터에 해당하는 라이트 전압과 동일한 레벨을 유지하다가 t4 구간에서 계단형으로 감소하는 레벨인 것이 바람직하다.
- <43> 그러면, PMOS 트랜지스터 P5가 턴 온되어 해당 비트라인 BL1과 글로벌 비트라인 GBL이 연결된다.
- <44> 이에 따라, 워드라인 WL_n과 비트라인 BL1의 교차지점에 형성된 단위 상 변화 저항 셀 C에 세트 전류 Iset가 인가된다. 즉, 세트 데이터를 라이트시 리셋 데이터를 라이트 할 때와 동일하게 위상 변화층 PCM을 녹는점 이상으로 가열시키고, 천천히 냉각시켜 비결정 상태로 변화시키는 것이다.
- <45> t5 구간에서 비트라인 선택신호 LY1_n가 하이 레벨이 된다. 이에 따라, PMOS 트랜지스터 P5가 턴 오프되어 비트라인 BL1과 글로벌 비트라인 GBL의 연결이 차단된다.
- <46> 도 7은 본 발명의 라이트 사이클 구성을 나타낸 파형도이다.
- <47> 본 발명은 리셋 데이터와 세트 데이터를 동시에 라이트 하지 않고, 별도의 구간으로 나누어 라이트 동작을 수행한다. 본 발명의 실시예에서는 리셋 데이터를 라이트 한 후, 세트 데이터를 라이트 하는 경우를 예를 들어 설명한 것이다.
- <48> 먼저, 리셋 데이터를 라이트 한다. 여기서, 종래에는 라이트 구동부 W/D가 글로벌 비트라인 GBL에 리셋 상태의 라이트 전압을 짧은 시간 동안 인가하게 된다.
- <49> 이때, 라이트 전압이 글로벌 비트라인 GBL 및 비트라인 BL의 자체 기생 캐패시턴스에 의해 지연 시간이 발생한다. 이에 따라, 라이트 전압이 바로 차단되지 못하고, (A)와 같이 전압 파형의 기울기가 완만한 형태를 가지게 된다.
- <50> 이에 반하여, 본 발명은 라이트 구동부 W/D가 글로벌 비트라인 GBL에 라이트 전압을 계속 인가한다. 대신에, 비트라인 스위치 소자를 통해 글로벌 비트라인 GBL과 해당 비트라인 BL을 차단시켜 라이트 전압이 해당 셀 C에 인가되지 않도록 한다. 이에 따라, 라이트 전압이 바로 차단되어 (B)와 같이 전압 파형의 기울기가 수직한 형태를 가지게 된다.
- <51> 그 다음, 세트 데이터를 라이트 한다. 세트 데이터를 라이트 하기 위한 라이트 전압은 (C)와 같이 리셋 데이터를 라이트 하기 위한 라이트 전압과 동일한 레벨을 갖되, 계단형으로 천천히 감소하는 레벨을 갖는다. 이에 따라, 상 변화 저항 소자 PCR가 녹는점 이상의 온도에서 천천히 냉각되면서 결정 상태가 된다. 여기서, 세트 데이터를 라이트 하기 위한 라이트 전압의 인가 시간은 리셋 데이터를 라이트 하기 위한 라이트 전압의 인가 시간보다 긴 것이 바람직하다.
- <52> 따라서, 본 발명은 리셋 데이터에 대한 리드 저항이 분포가 작은 고 저항 특성을 가지며, 세트 데이터에 대한 리드 저항은 저 저항 특성을 가지게 된다.

<53> 도 8은 본 발명에 따른 상 변화 메모리 장치의 리드 전류 관계를 나타낸 도면이다.

<54> 레퍼런스 전류 I_{ref} 를 기준으로 리셋 전류 I_{reset} 는 레퍼런스 전류 I_{ref} 보다 낮은 전류값을 가지고, 세트 전류 I_{set} 는 레퍼런스 전류 I_{ref} 보다 높은 전류값을 가진다. 리셋 전류 I_{reset} 는 종래에는 (D)와 같이, 글로벌 비트 라인 GBL과 비트라인 BL의 자체 기생 캐패시턴스에 의해 분포가 큰 형태를 갖는다. 반면에, 본 발명은 (E)와 같이, 비트라인 BL의 자체 기생 캐패시턴스만 영향을 받아 분포가 작고 안정된 형태를 갖는다.

도면의 간단한 설명

<55> 도 1a 및 도 1b는 종래의 상 변화 저항(PCR : Phase Change Resistor) 소자를 설명하기 위한 도면.

<56> 도 2a 및 도 2b는 종래의 상 변화 저항 소자의 원리를 설명하기 위한 도면.

<57> 도 3은 종래의 상 변화 저항 셀의 라이트 동작을 설명하기 위한 도면.

<58> 도 4는 종래의 상 변화 메모리 장치의 셀 어레이에 관한 구성도.

<59> 도 5는 본 발명에 따른 상 변화 메모리 장치에 관한 구성도.

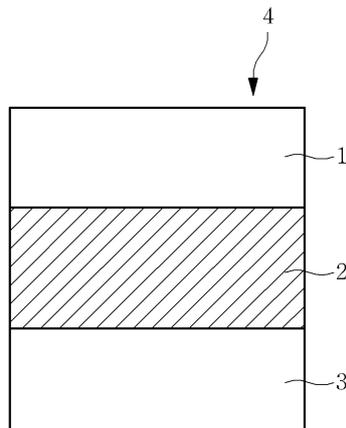
<60> 도 6은 본 발명의 라이트 모드 동작을 도시한 타이밍도.

<61> 도 7은 본 발명의 라이트 사이클 구성을 나타낸 파형도.

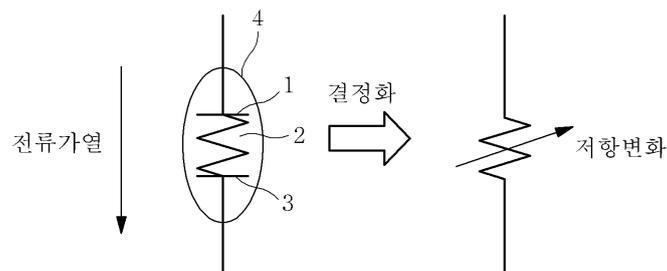
<62> 도 8은 본 발명에 따른 상 변화 메모리 장치의 리드 전류 관계를 나타낸 도면.

도면

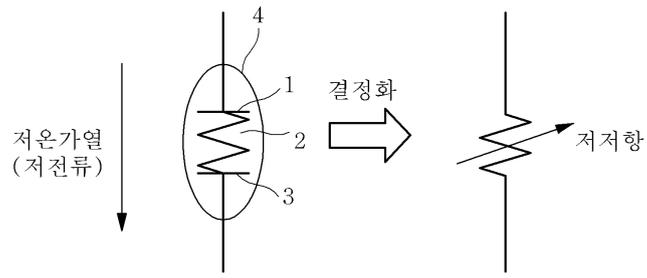
도면1a



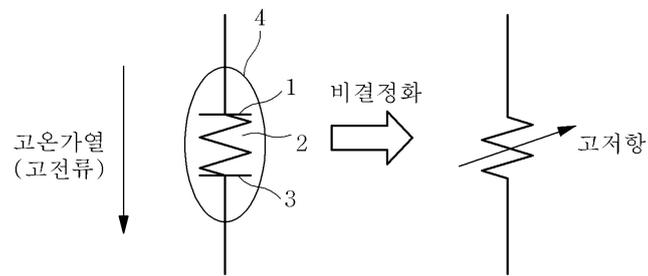
도면1b



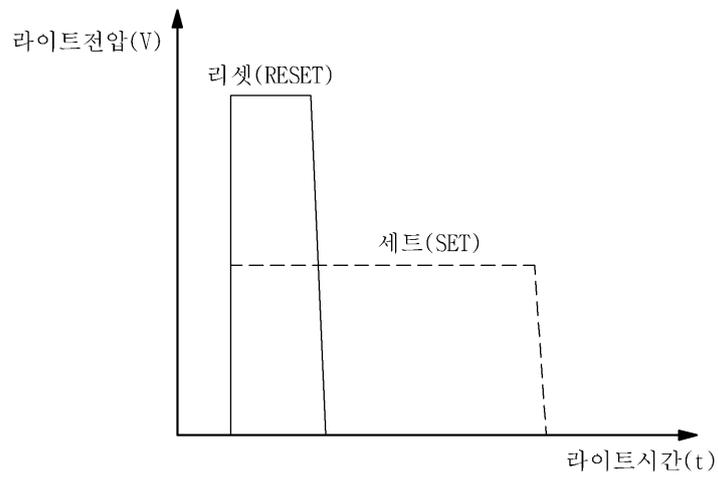
도면2a



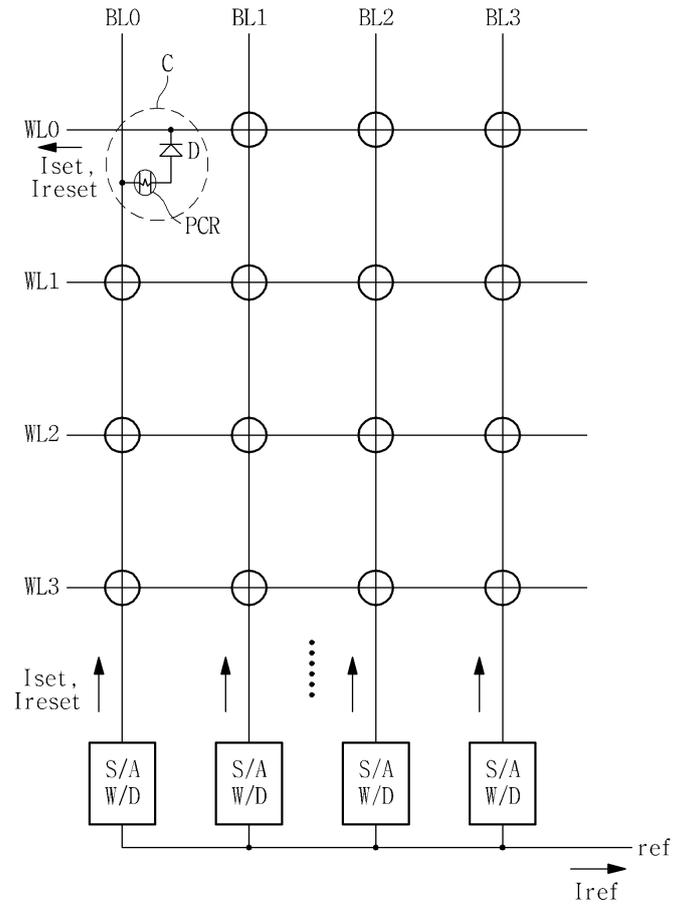
도면2b



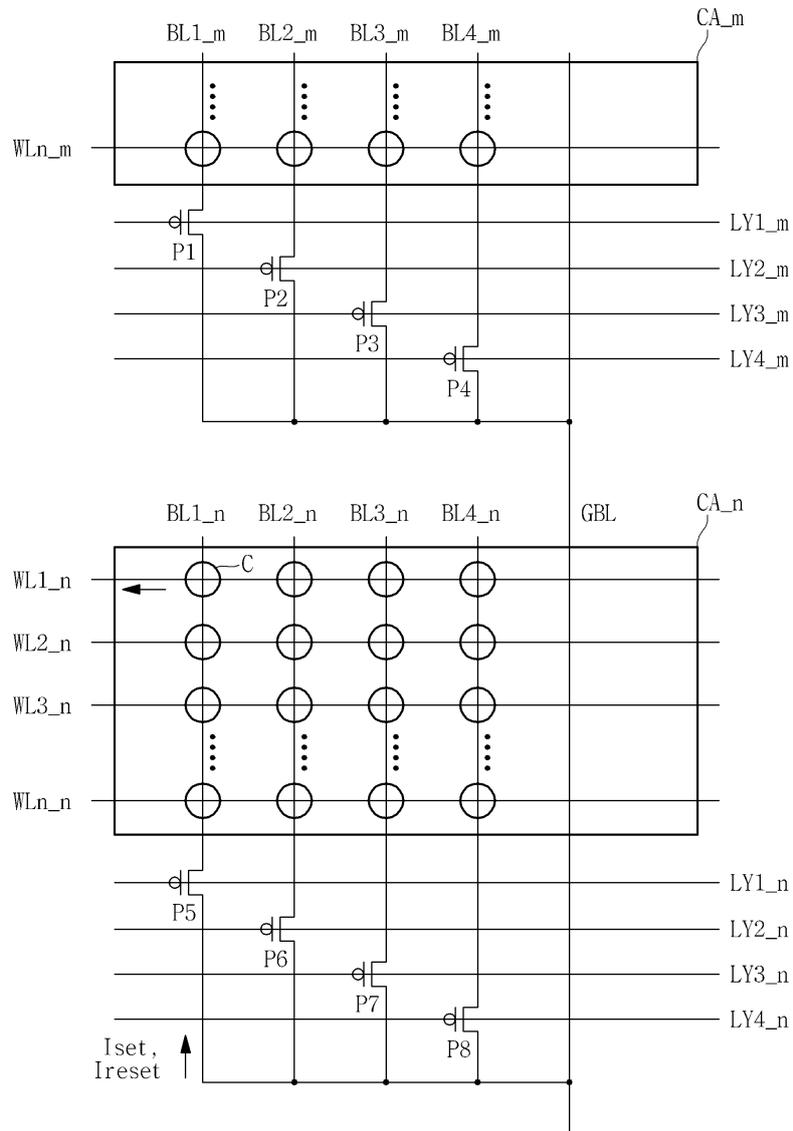
도면3



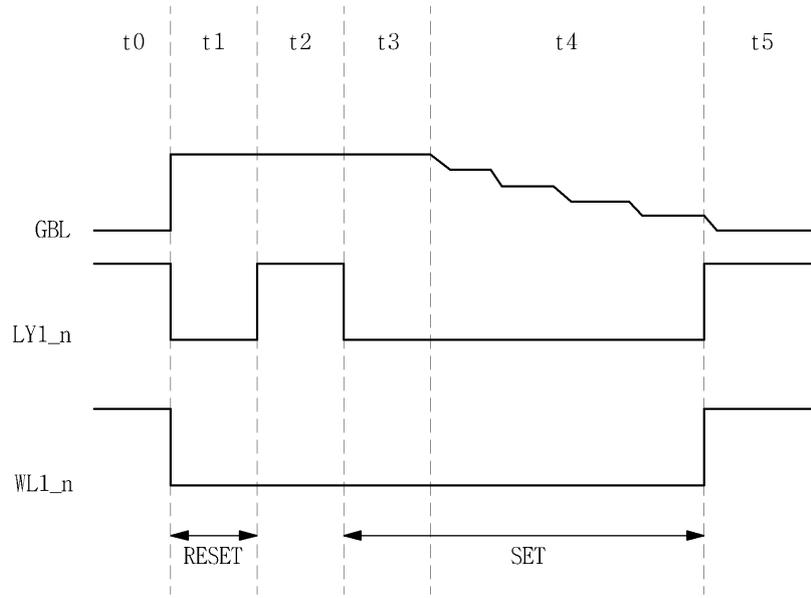
도면4



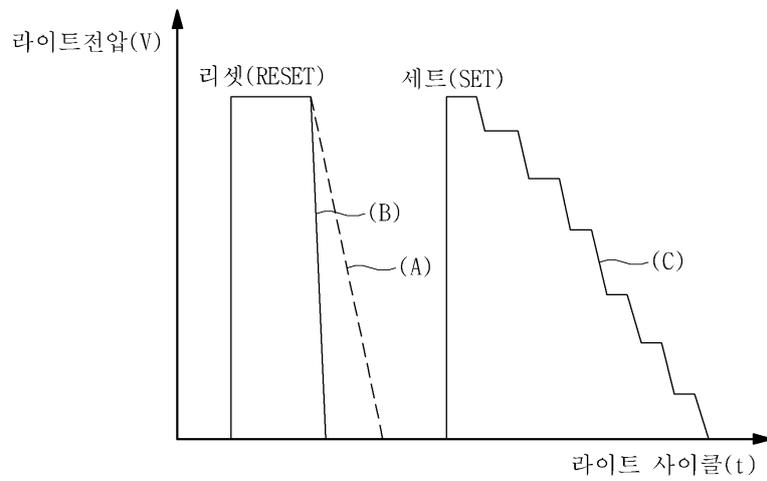
도면5



도면6



도면7



도면8

