



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0134418
(43) 공개일자 2010년12월23일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2009-0053037

(22) 출원일자 2009년06월15일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

복철규

경기도 이천시 증포동 신한아파트 109-1103

반근도

경기 용인시 처인구 마평동 두보아파트 102-1602

(뒷면에 계속)

(74) 대리인

특허법인태평양

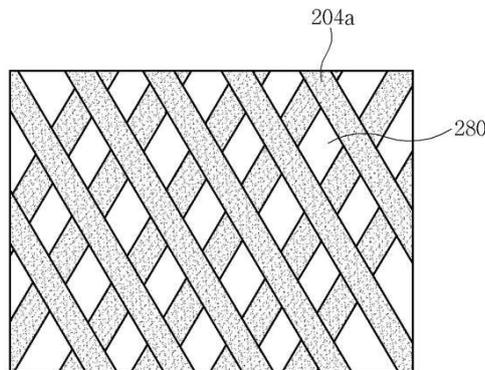
전체 청구항 수 : 총 16 항

(54) 스페이서 패터닝 공정을 이용한 콘택홀 형성 방법

(57) 요약

본 발명의 반도체 소자 제조 방법은 제1 감광막 패턴 측벽에 제1 스페이서패턴을 형성하는 단계, 상부에 절연막을 증착한 후 제1 스페이서 패턴과 교차하는 제2 감광막 패턴을 형성하고 제2 스페이서 패턴을 형성하는 단계, 상기 제2 스페이서를 식각하여 제1 스페이서 패턴과 제2 스페이서 패턴을 오버랩하는 패턴을 형성하는 단계, 상기 오버랩된 패턴을 배리어로 절연막을 식각하여 미세 콘택홀을 형성하는 단계를 포함하며, 스페이서를 균일하게 증착함으로써 콘택홀의 균일성을 향상시킬 수 있고 더욱 미세하게 제조할 수 있는 기술이다.

대표도 - 도11b



(72) 발명자
이기령
경기 화성시 기안동 풍성신미주아파트 105-701

선준협
서울특별시 동대문구 제기1동 한신아파트 106-1205

특허청구의 범위

청구항 1

반도체 기판 상부에 증착된 제 1 절연막 상부에 라인 앤 스페이스의 제1 감광막 패턴을 형성하는 단계;
 상기 제1 감광막 패턴 측벽에 제1 스페이서 패턴을 형성한 후, 상기 제1 감광막 패턴을 제거하는 단계;
 상기 제1 스페이서 패턴을 포함한 구조물 상에 제2 절연막을 증착하는 단계;
 상기 제2 절연막 상부에 상기 제1 스페이서 패턴과 교차하는 라인 앤 스페이스의 제2 감광막 패턴을 형성하는 단계;
 상기 제2 감광막 패턴 측벽에 제2 스페이서 패턴을 형성한 후, 상기 제2 감광막 패턴을 제거하는 단계;
 상기 제2 스페이서 패턴을 배리어로 상기 제2 절연막을 식각하여 상기 제1 스페이서 패턴에 오버랩된 패턴을 형성하는 단계; 및
 상기 오버랩된 패턴을 마스크로 상기 제1 절연막을 식각하여 콘택홀을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1항에 있어서,
 상기 제1 절연막은 반도체 기판 상부에 제1 산화막, 비정질 카본, 제2 산화막 및 실리콘 산화질화막을 순차적으로 증착하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3

제 2항에 있어서,
 상기 제1 산화막은 1000Å~5000Å의 두께와, 상기 비정질 카본은 1000Å~5000Å의 두께와, 상기 제2 산화막은 100Å~5000Å의 두께와, 상기 실리콘 산화질화막은 100Å~500Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제 2항에 있어서,
 상기 제1 절연막과 상기 제1 감광막 패턴 사이에 제1 반사방지막을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 5

제 4항에 있어서,
 상기 제1 반사방지막은 100~500Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

제 1항에 있어서,
 상기 제1 감광막 패턴을 형성하는 단계는
 상기 제1 희생막 상부에 감광막을 도포하고 사선 방향의 라인 앤 스페이스 패턴의 마스크를 형성하여 노광 및 현상하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 7

제 1항에 있어서,
 상기 제1 감광막 패턴 측벽에 제1 스페이서 패턴을 형성하는 단계는

상기 제1 감광막 패턴을 마스크로 제1 반사방지막을 식각하여 제1 파티션 패턴을 형성하는 단계;
 상기 제1 파티션 패턴 전면에 스페이서 물질을 증착하는 단계; 및
 상기 스페이서 물질을 전면 식각하는 단계
 를 포함하는 반도체 소자의 제조 방법.

청구항 8

제 7항에 있어서,
 상기 제1 반사방지막을 식각하여 제1 파티션 패턴을 형성하는 단계는 He, O₂, N₂ 의 식각가스를 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

제 7항에 있어서,
 상기 스페이서 물질을 전면식각하는 단계는 CF₄, CHF₃ 및 CH₂F₂ 를 사용하여 식각하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 10

제 1항에 있어서,
 상기 제2 절연막은 상기 스페이서 패턴 전면 SOC(Spin-on Carbon)막 및 실리콘 산화질화막을 순차적으로 증착하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 11

제 10항에 있어서,
 상기 SOC막은 1000Å~2000Å의 두께로 증착되고, 상기 실리콘 산화질화막은 100Å~500Å의 두께로 증착되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12

제 1항에 있어서,
 상기 제2 절연막을 증착하는 단계 후, 제2 반사방지막을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

청구항 13

제 1항에 있어서,
 상기 제2 감광막 패턴 측벽에 제2 스페이서 패턴을 형성하는 단계는
 상기 제2 감광막 패턴을 마스크로 제2 반사방지막을 식각하여 제2 파티션 패턴을 형성하는 단계;
 상기 제2 파티션 패턴 측벽에 스페이서 물질을 증착하는 단계; 및
 상기 스페이서 물질을 전면식각하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 14

제 13항에 있어서,
 상기 스페이서 물질을 전면식각할 시 CF₄, CHF₃ 및 CH₂F₂의 식각가스를 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 15

제 1항에 있어서,

상기 제2 스페이서 패턴을 배리어로 상기 제2 절연막을 식각할 시 실리콘 산화질화막은 CF₄, CHF₃ 및 CH₂F₂의 식각가스를 사용하고, SOC는 O₂, N₂, HBr, Cl₂, CH₄ 및 Ar의 식각가스를 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16

제 1항에 있어서,

상기 오버랩된 패턴을 마스크로 상기 제1 절연막을 식각할 시 실리콘 산화질화막은 CF₄, CHF₃ 및 CH₂F₂의 식각가스를 사용하고, 비정질 카본은 O₂, N₂, HBr, Cl₂, CH₄, Ar의 식각가스를 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 제조 공정 중에서 미세패턴 형성에 필요한 리소그래피 기술에 관한 것으로서, 스페이서 패턴닝으로 콘택홀을 더욱 미세하게 형성하는 제조 방법방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 제조함에 있어 가장 중요한 것 중 하나는 웨이퍼와 같은 반도체 기판상에 정확한 회로 패턴을 형성하는 것이다. 통상적으로 회로 패턴을 형성하기 위해 포토 리소그래피 공정이 사용되고 있다. 상기 포토 공정은 빛을 받으면 화학적 성질이 변하는 물질인 포토레지스트를 기판 상에 도포하는 포토레지스트 도포 공정, 상기 포토레지스트가 도포된 기판을 원하는 패턴의 그려진 레티클의 하부에 위치시킨 후 레티클의 상부에 소정 파장을 갖는 빛을 조사하여 상기 레티클의 패턴이 그대로 상기 기판 상의 포토레지스트에 전사되도록 하는 노광 공정, 상기 포토레지스트에 전사된 패턴이 외부로 드러나도록 상기 기판 상에 현상액을 공급하여 상기 기판을 현상하는 현상 공정 및, 상기 노광 및 현상 공정 전후에 있어서 상기 기판을 가열하는 베이킹 공정 등을 포함한다. 따라서 포토 공정 이후에 포토레지스트 패턴을 마스크로 하여 에칭(etching)등의 후속 공정을 진행함으로써 기판 상에 원하는 회로 패턴을 형성할 수 있다.

[0003] 전자 산업이 발전함에 따라 더욱 빠른 처리 속도와 많은 데이터 저장이 가능한 반도체 소자를 제조하기 위하여 집적도를 더욱 향상시키려는 여러 방법이 개발되고 있으며, 리소그래피 분야에서도 높은 해상도를 갖는 노광장비와 광에 민감한 포토레지스트 조성물에 관한 연구가 진행중에 있다. 특히 최소 피치(pitch)를 가지는 구조에 대한 패턴의 치수 정밀도를 높이려는 노력이 수반되고 있다. 그러나 급격히 감소된 디자인 룰(Design rule)에 따라 현재의 노광 장비로 해상하는데에 어려움을 겪고 있으며 광에 민감한 포토레지스트를 사용할 경우 복잡한 부가 공정이 수반되는 단점이 있다.

[0004] 현재의 해상한계를 극복하기 위해서 개발된 기술로서 레지스트 리플로우(Resist reflow) 기술이 있다. 패턴을 형성하는 포토레지스트를 가열하여 유동할 수 있도록 하여, 원하는 선폭(Critical Dimension)을 갖는 라인 앤 스페이스(Line and space) 패턴 또는 원하는 크기의 콘택홀을 형성하는 방법이다. 이를 간략히 설명하면 다음과 같다. 최종 라인 앤 스페이스 패턴의 선폭 또는 콘택홀을 원하는 크기보다 더 크게 초기 포토레지스트 패턴을 형성한 후 포토레지스트의 유리전이온도(glass transition temperature) 이상의 온도로 가열하여 상기 포토레지스트 패턴의 포토레지스트를 유동, 즉 리플로우가 가능하게 한다. 즉, 가열에 의하여 포토레지스트의 점도가 감소되고 이로 인하여 포토레지스트가 리플로우하게 되어 라인 앤 스페이스 패턴의 선폭 또는 콘택홀의 크기가 감소하여 원하는 미세패턴을 얻을 수 있는 기술이다.

[0005] 그러나 이 리플로우 공정도 선폭의 크기에 따라 레지스트(Resist)가 흐르는 정도의 변화로 인해 미세패턴 선폭의 균일성이 좋지 않으며 선폭이 매우 작아짐에 따라 리플로우도 한계에 부딪히고 있는 상황이다.

[0006] 또한 콘택홀 패턴닝된 감광막의 패턴의 크기를 축소하는 RELACS(Resolution Enhancement Lithography Assisted by Chemical Shrink) 기술이 있다.

- [0007] 도 1a 내지 도 1d 를 통하여 종래의 리랙스(RELACS) 물질을 이용한 미세콘택홀 형성 방법을 설명하면 다음과 같다.
- [0008] 도 1a 를 참조하면, 피식각층(10) 상부에 반사방지막(11)을 도포하고, 반사방지막(11) 상부에 감광막을 도포하여 감광막을 형성한 후, 노광 및 현상을 통해 감광막 패턴(12)을 형성한다.
- [0009] 도 1b 를 참조하면, 감광막 패턴(12)의 상부에 리랙스 물질(13)을 형성한다.
- [0010] 도 1c 를 참조하면, 베이킹 공정을 수행하면 감광막 패턴(12)과 리랙스층(13)간의 가교 반응이 일어나 가교 결합층(14)이 형성된다.
- [0011] 도 1d 를 참조하면, 순수를 이용하여 세정을 수행하면 리랙스 물질은 수용성이므로 가교 반응이 일어나지 않은 리랙스층(14)이 제거되어, 미세 콘택홀 패턴이 가교 결합층(14)만큼 축소된다.
- [0012] 그러나 이 리랙스 물질을 사용한 기술도 한계 사이즈 이하로 내려가면 첨가물이 제대로 제거되지 않아 미세 콘택홀 오픈에 실패하는 문제점이 발생하고 있다.
- [0013] 또한, 상기 두가지 방법은 콘택홀의 직경은 줄일 수 있으나 패턴의 피치(pitch)를 줄이지 못하기 때문에 반도체 칩의 크기를 줄일 수 없는 문제점이 있기 때문에 점점 축소되는 디자인 룰에 맞는 콘택홀 형성 기술이 필요하다.

발명의 내용

해결 하고자하는 과제

- [0014] 전술한 종래의 문제점을 해결하기 위하여, 본 발명에서는 콘택홀을 직접 형성하지 않고 라인 앤 스페이스 형태의 마스크를 교차하여 스페이서를 증착함으로써 더욱 미세하고 균일한 콘택홀 패턴을 형성하는데에 목적이 있다.

과제 해결수단

- [0015] 본 발명은 반도체 기판 상부에 증착된 제 1 절연막 상부에 라인 앤 스페이스의 제1 감광막 패턴을 형성하는 단계, 상기 제1 감광막 패턴 측벽에 제1 스페이서 패턴을 형성한 후, 상기 제1 감광막 패턴을 제거하는 단계, 상기 제1 스페이서 패턴을 포함한 구조물 상에 제2 절연막을 증착하는 단계, 상기 제2 절연막 상부에 상기 제1 스페이서 패턴과 교차하는 라인 앤 스페이스의 제2 감광막 패턴을 형성하는 단계, 상기 제2 감광막 패턴 측벽에 제2 스페이서 패턴을 형성한 후, 상기 제2 감광막 패턴을 제거하는 단계, 상기 제2 스페이서 패턴을 배리어로 상기 제2 절연막을 식각하여 상기 제1 스페이서 패턴에 오버랩된 패턴을 형성하는 단계 및 상기 오버랩된 패턴을 마스크로 상기 제1 절연막을 식각하여 콘택홀을 형성하는 단계를 포함하는 반도체 소자의 제조 방법을 제공한다.
- [0016] 바람직하게는, 상기 제1 절연막은 반도체 기판 상부에 제1 산화막, 비정질 카본, 제2 산화막 및 실리콘 산화질화막을 순차적으로 증착하는 것을 특징으로 한다.
- [0017] 바람직하게는, 상기 제1 산화막은 1000Å~5000Å의 두께와, 상기 비정질 카본은 1000Å~5000Å의 두께와, 상기 제2 산화막은 100Å~5000Å의 두께와, 상기 실리콘 산화질화막은 100Å~500Å의 두께로 증착하는 것을 특징으로 한다.
- [0018] 바람직하게는, 상기 제1 절연막과 상기 제1 감광막 패턴 사이에 제1 반사방지막을 형성하는 단계를 더 포함한다.
- [0019] 바람직하게는, 상기 제1 반사방지막은 100Å~500Å의 두께로 증착하는 것을 특징으로 한다.
- [0020] 바람직하게는, 상기 제1 감광막 패턴을 형성하는 단계는 상기 제1 절연막 상부에 감광막을 도포하고 사선 방향의 라인 앤 스페이스 패턴의 마스크를 형성하여 노광 및 현상하는 단계를 포함한다.
- [0021] 바람직하게는, 상기 제1 감광막 패턴 측벽에 제1 스페이서 패턴을 형성하는 단계는 상기 제1 감광막 패턴을 마스크로 제1 반사방지막을 식각하여 제1 파티션 패턴을 형성하는 단계, 상기 제1 파티션 패턴 전면에 스페이서 물질을 증착하는 단계 및 상기 스페이서 물질을 전면 식각하는 단계를 포함한다.
- [0022] 바람직하게는, 상기 제1 반사방지막을 식각하여 제1 파티션 패턴을 형성하는 단계는 He, O₂, N₂ 의 식각가스를

이용하는 것을 특징으로 한다.

- [0023] 바람직하게는, 상기 스페이서 물질을 전면식각하는 단계는 CF_4 , CHF_3 및 CH_2F_2 를 사용하여 식각하는 것을 특징으로 한다.
- [0024] 바람직하게는, 상기 제2 절연막은 상기 스페이서 패턴 전면 SOC(Spin-on Carbon)막 및 실리콘 산화질화막을 순차적으로 증착하는 것을 포함한다.
- [0025] 바람직하게는, 상기 SOC막은 1000Å~2000Å의 두께로 증착되고, 상기 실리콘 산화질화막은 100Å~500Å의 두께로 증착되는 것을 특징으로 한다.
- [0026] 바람직하게는, 상기 제2 절연막을 증착하는 단계 후, 제2 반사방지막을 형성하는 단계를 더 포함한다.
- [0027] 바람직하게는, 상기 제2 감광막 패턴 측벽에 제2 스페이서 패턴을 형성하는 단계는 상기 제2 감광막 패턴을 마스크로 제2 반사방지막을 식각하여 제2 파티션 패턴을 형성하는 단계, 상기 제2 파티션 패턴 측벽에 스페이서 물질을 증착하는 단계 및 상기 스페이서 물질을 전면식각하는 단계를 포함한다.
- [0028] 바람직하게는, 상기 스페이서 물질을 전면식각할 시 CF_4 , CHF_3 및 CH_2F_2 의 식각가스를 사용하는 것을 특징으로 한다.
- [0029] 바람직하게는, 상기 제2 스페이서 패턴을 배리어로 상기 제2 절연막을 식각할 시 실리콘 산화질화막은 CF_4 , CHF_3 및 CH_2F_2 의 식각가스를 사용하고, SOC는 O_2 , N_2 , HBr, Cl_2 , CH_4 및 Ar의 식각가스를 사용하는 것을 특징으로 한다.
- [0030] 바람직하게는, 상기 오버랩된 패턴을 마스크로 상기 제1 절연막을 식각할 시 실리콘 산화질화막은 CF_4 , CHF_3 및 CH_2F_2 의 식각가스를 사용하고, 비정질 카본은 O_2 , N_2 , HBr, Cl_2 , CH_4 , Ar의 식각가스를 사용하는 것을 특징으로 한다.

효 과

- [0031] 종래 기술에서는 광의 근접 효과가 커서 콘택홀 모양이 불균일하게 형성되지만 본 발명에서는 광의 근접효과가 적은 라인 앤 스페이스 패턴을 먼저 형성한후 최종 콘택홀 패턴을 형성한다. 레지스트 리플로우(Resist reflow) 및 리랙스(Relacs) 등의 종래 방법을 사용하면 하프 피치(half-pitch) 기준 해상도 한계가 55nm 이지만, 본 발명에 따른 제조 방법은 20nm까지 해상도를 향상시킬 수 있는 효과를 제공한다. 또한, 콘택홀 크기의 균일도가 개선되어 공정 수율이 향상되는 장점을 가진다.

발명의 실시를 위한 구체적인 내용

- [0032] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- [0033] 도 2a 내지 도 11a 는 본 발명의 미세 콘택홀 형성과정을 나타낸 공정 단면도이며, 도 2b 내지 도 11b 는 도 2a 내지 도 11a 의 공정을 위에서 내려다본 평면도이다.
- [0034] 도 2a 를 참조하면, 반도체 기판(200)상에 제1 산화막(202)을 1000~5000Å 두께로 증착한다. 이어서, 비정질 카본(Amorphous Carbon)(204)을 1000~5000Å의 두께로 증착하고 상부에 제2 산화막(206)을 100~1000Å의 두께로 증착한다. 이어서, 실리콘 산화질화막(SiON)(208)을 100~1000Å의 두께로 증착하고 다시 상부에 반사방지막(210)을 100~500Å의 두께로 도포한다. 그 다음, 상부에 감광막을 도포하고 마스크를 형성한후 노광 및 현상하여 제1 감광막 패턴(212)을 형성한다.
- [0035] 도 2b 에서 도시한 바와 같이 상기 제1 감광막 패턴(212)은 도 2a 를 위에서 보았을 때 사선 방향인 라인 앤 스페이스 패턴으로 형성한다.
- [0036] 도 3a 를 참조하면, 감광막 패턴(212)을 마스크로 하부의 반사방지막(210)을 식각하여 제1 파티션(Partition) 패턴(215)을 형성한다. 반사방지막(210)을 식각하는 가스로는 He, O_2 , N_2 를 사용하는 것이 바람직하다. 여기서, 파티션 패턴이란 후속 공정에서 스페이서 증착을 하기 전에 형성된 패턴을 말한다. 본 발명에서 제1 파티션 패턴은 상층의 제1 감광막 패턴(212)과 하층의 반사방지막 패턴(210a)의 적층구조로 형성되어 있다.

- [0037] 도 4a 를 참조하면, 상기 제1 파티션 패턴(215) 상부에 제3 산화막(미도시)을 100~500Å의 두께로 증착한 후에 CF₄, CHF₃ 및 CH₂F₂를 사용한 전면식각을 실시하면 제1 파티션 패턴(215) 양측면에 제3 산화막 스페이서 패턴(220)이 형성된다. 도 4b 에 도시된 바와 같이 사선방향의 제3 산화막 스페이서 패턴(220)이 하나 건너 형성되어 있다.
- [0038] 도 5a 를 참조하면, 제1 파티션 패턴(215)을 감광막 스트립퍼 챔버(PR Stripper Chamber)에서 O₂가 포함된 에칭 가스를 사용하여 제거하면 제3 산화막 스페이서 패턴(220)으로 구성된 라인 앤 스페이스 패턴이 형성된다.
- [0039] 도 6a 를 참조하면, 제3 산화막 스페이서 패턴(220) 상부에 SOC(Spin-on Carbon)(230)물질을 1000~2000Å의 두께로 코팅한다. 이어서, 상부에 실리콘 산화질화막(232)을 100~500Å의 두께로 증착하고 반사방지막(234)을 100~500Å의 두께로 도포한다. 그 다음, 상부에 감광막을 도포하고 마스크를 형성한후 노광 및 현상하여 제2 감광막 패턴(236)을 형성한다. 이 때, 제2 감광막 패턴(236)은 이후 공정에서 콘택홀을 형성하기 위해 라인 앤 스페이스 패턴인 제3 산화막 스페이서 패턴(220)과 교차하는 라인 앤 스페이스의 형태로 패터닝하는 것이 바람직하다. 이어서, 상기 제2 감광막 패턴(236)을 마스크로 하단의 반사방지막(234)을 식각하여 제2 파티션 패턴(238)을 형성한다. 여기서 식각 가스로는 He, O₂, N₂ 를 사용한다.
- [0040] 도 7a 에 도시된 바와 같이 상층의 제2 감광막 패턴(236)과 하단의 반사방지막 패턴(234a)의 적층구조인 제2 파티션 패턴(238) 전면에서 제4 산화막을 100~500Å의 두께로 증착한다. 그 다음, CF₄, CHF₃ 및 CH₂F₂를 사용한 전면식각을 실시하면 제2 파티션 패턴(238) 양측면에 제4 산화막 스페이서 패턴(242)이 형성된다.
- [0041] 도 8a 를 참조하면, 제2 파티션 패턴(238)을 감광막 스트립퍼 챔버(PR Stripper Chamber)에서 O₂가 포함된 에칭 가스를 사용하여 제거하면 제4 산화막 스페이서 패턴(242)으로 구성된 라인 앤 스페이스 패턴이 형성된다.
- [0042] 도 9a 를 참조하면, 제4 산화막 스페이서 패턴(242)을 마스크로 하단의 실리콘 산화질화막(232)을 CF₄, CHF₃ 및 CH₂F₂의 에칭 가스를 사용하여 식각하고 이어서, O₂, N₂, HBr, Cl₂, CH₄ 및 Ar의 에칭 가스를 사용하여 하단의 SOC(230)을 식각한다. 여기서 도 9b에 도시된 바와 같이, 제3 산화막 스페이서 패턴(225)이 노출되고 제4 산화막 스페이서 패턴(242a)이 적층형성되어 상기 두 패턴이 교차하는 콘택홀이 형성될 공간을 형성하게 될 새로운 마스크가 형성된다.
- [0043] 도 10a 를 참조하면, 상기 도 9a 의 공정에서 형성된 제3 산화막 스페이서 패턴(225) 및 제4 산화막 스페이서 패턴(242a)이 오버랩된 패턴을 마스크로 하단의 제1 산화막(202)이 노출될 때까지 식각한다. 그리고, 식각마진을 위해 제2 산화막(206)을 조금 남기고 상부를 스트립공정으로 제거하면 상부의 제2 산화막 패턴(206a)과 하부의 비정질 카본 패턴(204a)의 적층 구조로 이루어진 파티션 패턴(270)이 형성된다.
- [0044] 도 11a 를 참조하면, 상기 파티션 패턴(270)을 마스크로 하여 하단의 제1 산화막(202)을 CF₄, CHF₃ 및 CH₂F₂의 식각가스를 사용하여 식각한 후에, 공정마진을 위해 비정질 카본 패턴(204a)을 O₂, N₂, HBr, Cl₂, CH₄, Ar의 식각가스를 사용하여 조금 남기고 상부를 에칭한다. 이때 식각가스는 CF₄, CHF₃ 및 CH₂F₂를 사용한다. 도 11b 에 도시된 바와 같이, 상부에서 바라봤을때 비정질 카본 패턴(204a)이 교차하지 않는 공간(280)이 콘택홀로 형성된다.
- [0045] 본 발명의 반도체 소자 제조 방법은 라인 앤 스페이스의 형태의 스페이서를 형성한 후, 1차 식각공정으로 오버랩하고 2차 식각으로 콘택홀을 형성하는 기술이다. 상기 스페이서의 크기를 조절하여 콘택홀의 피치를 미세하게 형성할 수 있기 때문에 해상도를 더욱 높일 수 있으며, 스페이서를 균일하게 증착함으로써 콘택홀의 크기도 균일하게 형성할 수 있는 장점을 가진다.
- [0046] 아울러 본 발명의 바람직한 실시 예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

- [0047] 도 1a 내지 도 1d는 종래의 리택스 물질을 사용한 반도체 소자 제조 방법.
- [0048] 도 2a 내지 도 11a는 본 발명의 공정 순서를 나타낸 공정 단면도.

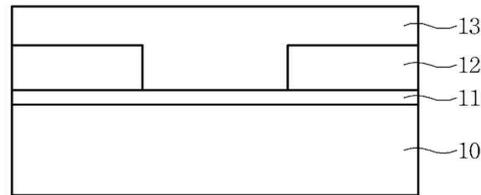
[0049] 도 2b 내지 도 11b는 도 2a 내지 도 11a의 공정을 위에서 본 평면도.

도면

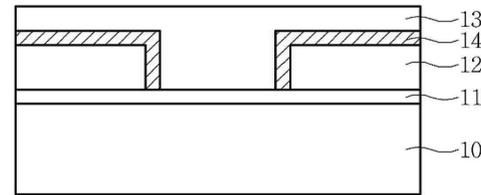
도면1a



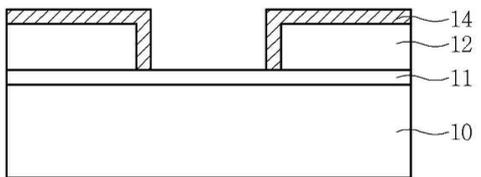
도면1b



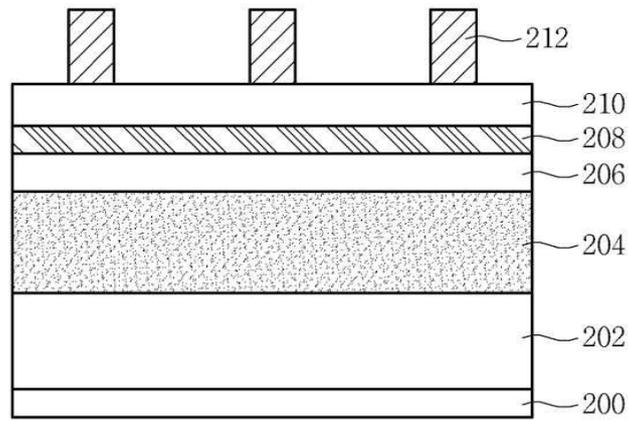
도면1c



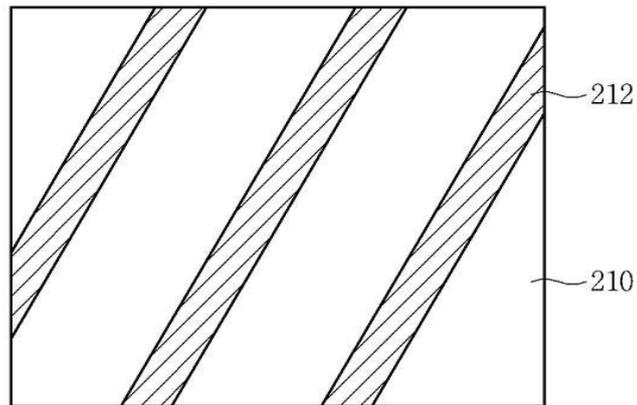
도면1d



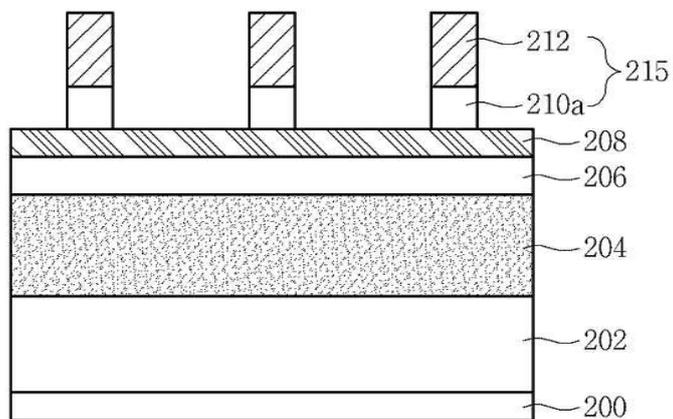
도면2a



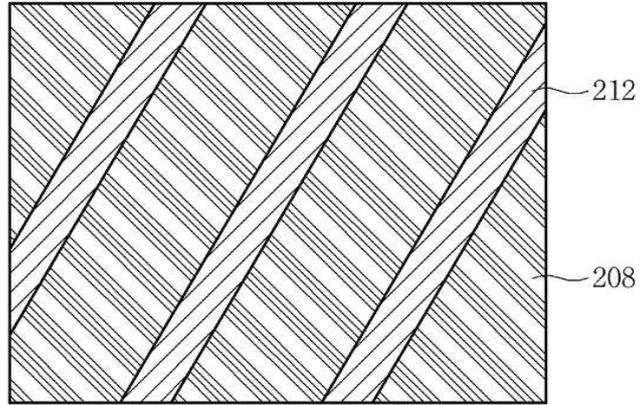
도면2b



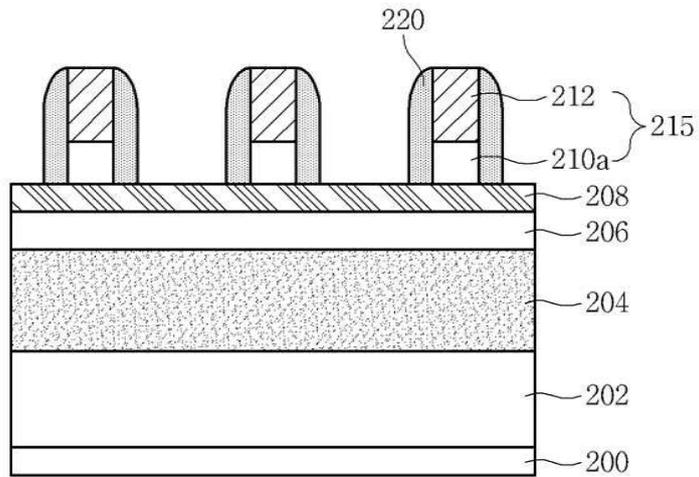
도면3a



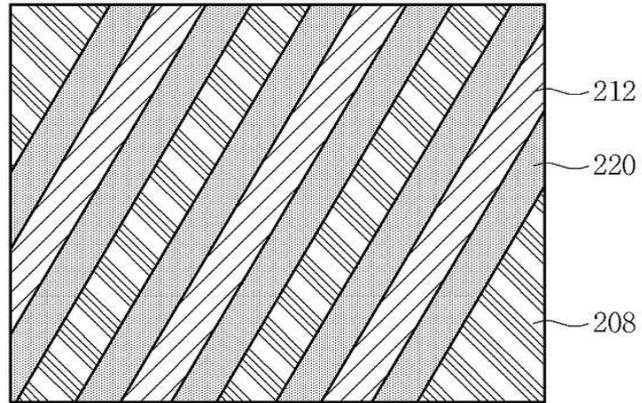
도면3b



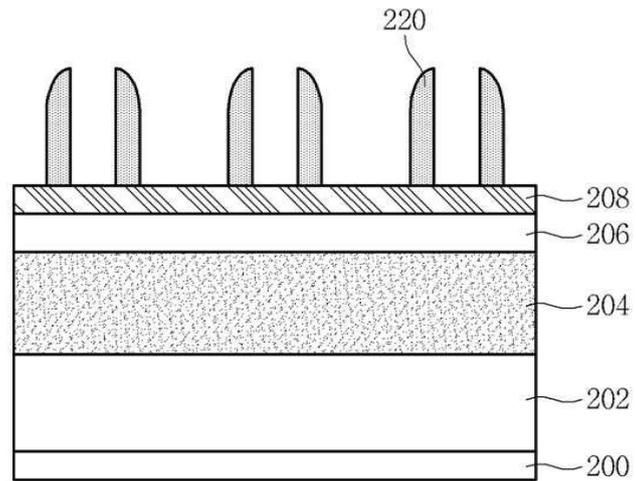
도면4a



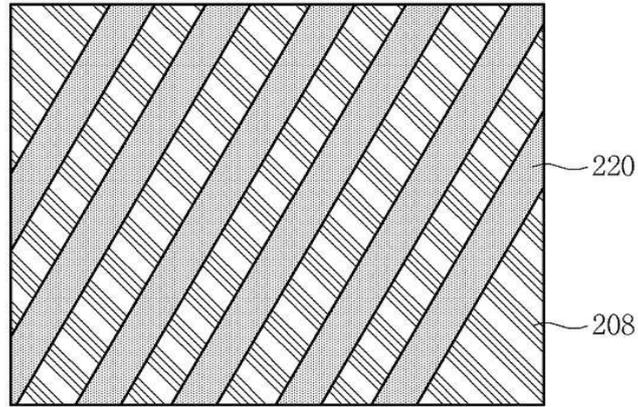
도면4b



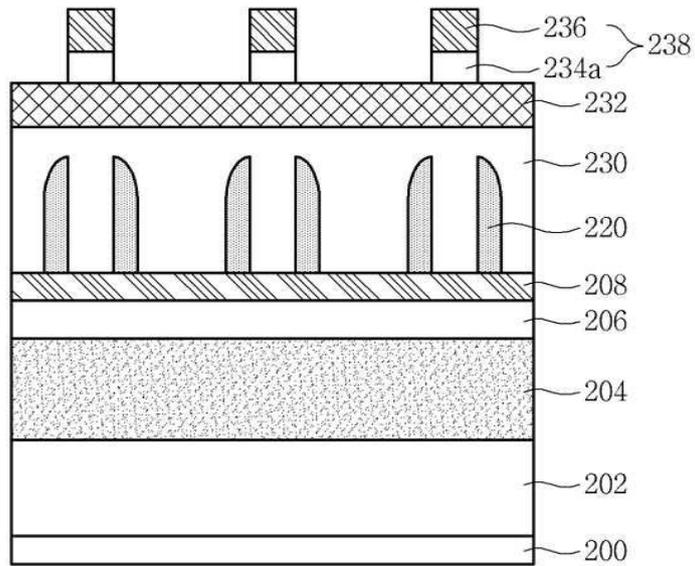
도면5a



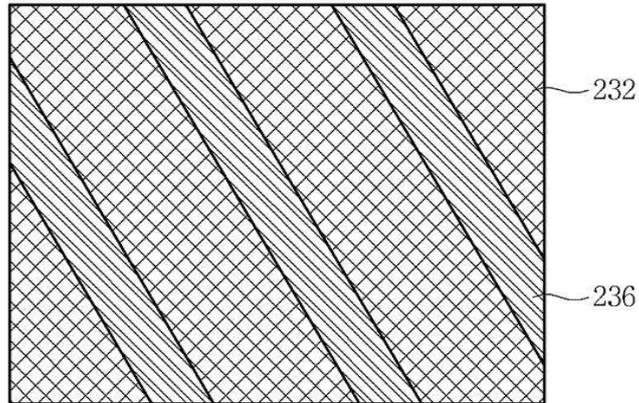
도면5b



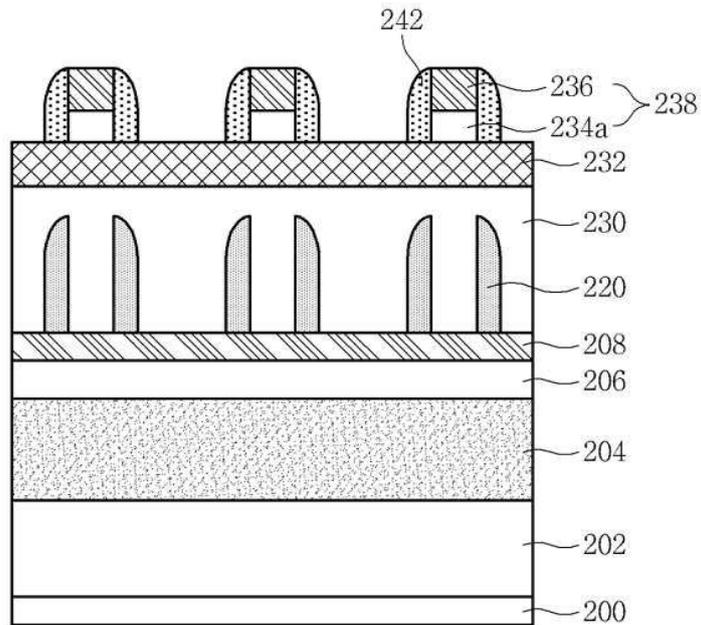
도면6a



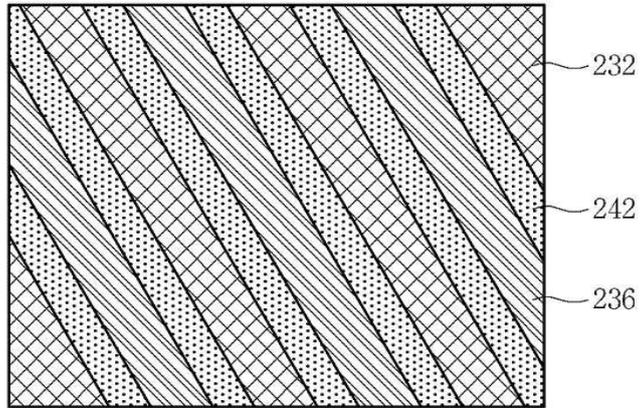
도면6b



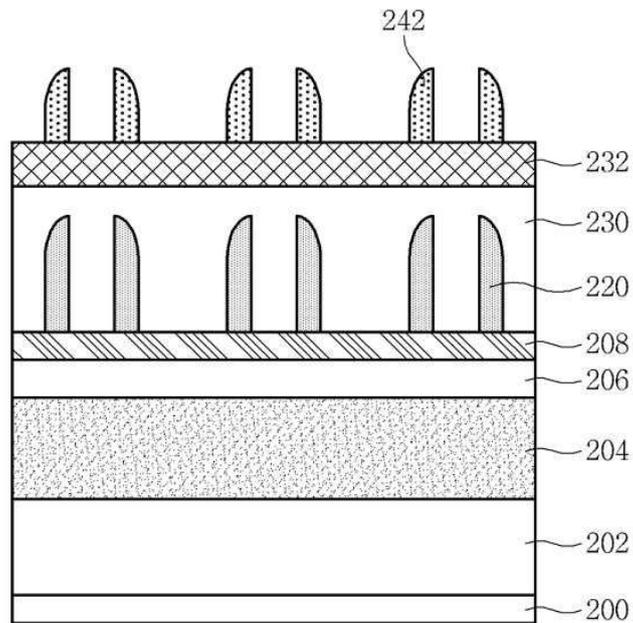
도면7a



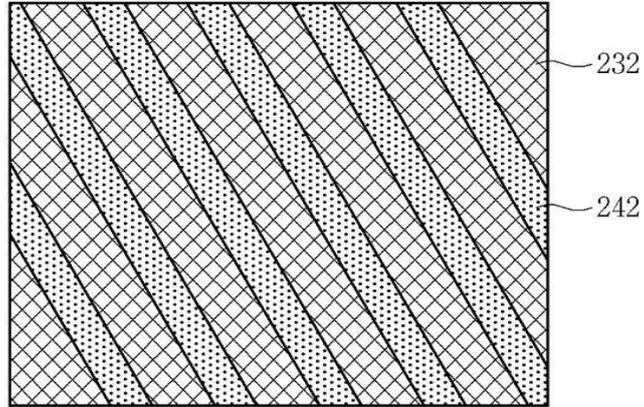
도면7b



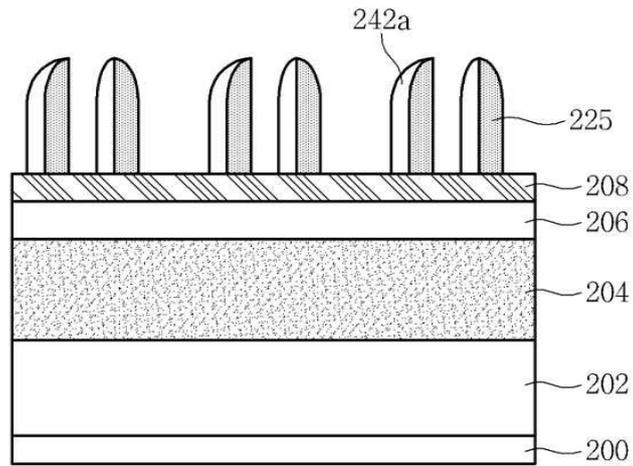
도면8a



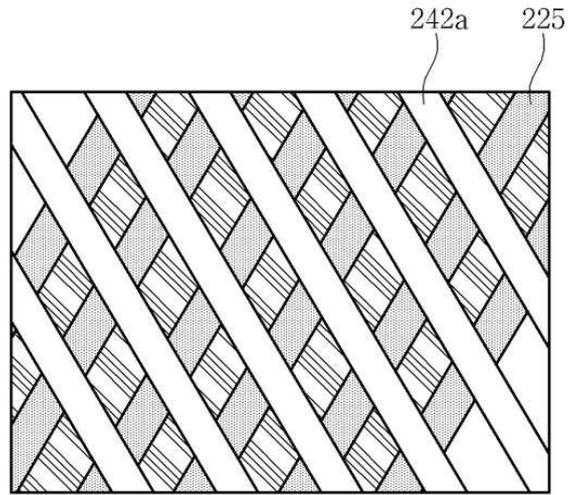
도면8b



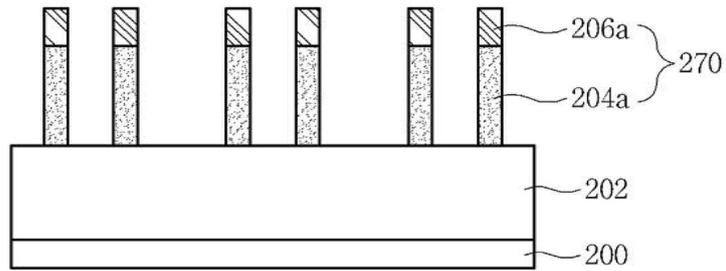
도면9a



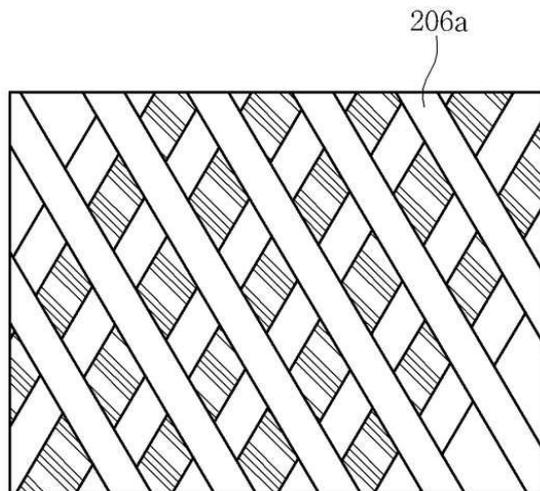
도면9b



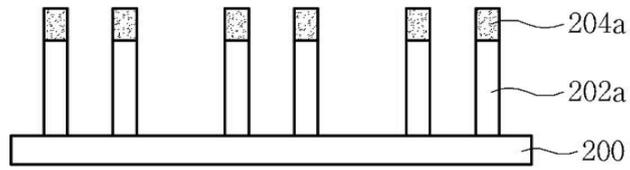
도면10a



도면10b



도면11a



도면11b

