

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04L 7/00
H04L 7/033

(11) 공개번호 특1999-0063894
(43) 공개일자 1999년07월26일

(21) 출원번호	10-1998-0702366	(87) 국제공개번호	WO 1997/12457
(22) 출원일자	1998년03월30일	(87) 국제공개일자	1997년04월03일
번역문제출일자	1998년03월30일		
(86) 국제출원번호	PCT/SE1996/01211		
(86) 국제출원출원일자	1996년09월27일		
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 국내특허 : 아일랜드 오스트레일리아 브라질 캐나다 중국 일본 대한민국 멕시코 노르웨이		
(30) 우선권 주장	9503371-8 1995년09월29일 스웨덴(SE)		
(71) 출원인	텔레폰아크티에볼라게트 엘름 에릭슨 에를링 블로메, 타게 뢰브그렌 스웨덴, 스톡홀름, 에스-126 25		
(72) 발명자	런드호 페터 스웨덴왕국 스카르홀멘 에스이-127 61 익사트라베겐 218 월헬름손 맛트 스웨덴왕국 하저스텐 에스-129 45 바사롭프스 42 비젠네 앤더스 스웨덴왕국 후딩게 에스-141 34 크리트베겐 13		
(74) 대리인	권동용, 서장찬, 최재철		

심사청구 : 없음

(54) 여유도를 가지는 클럭 분산망의 운영과 관리

요약

상이한 국에서 정보의 프로세싱을 위한 또한 국간에 정보전송을 위한, 큰 전기통신스위치와 같은 망에서, 클럭킹울(Clock)과 프레임 동기율(Synch)을 포함하는 합성클럭신호(CLSY-A, CLSY-B, CLSY-C)를 독립적으로 발생시키는 회로(1)가 제공된다. 이들 클럭신호들은 세 개의 상이하고 독립적인 선로들을 통해 국(1)에 독립적으로 또한 병렬로 전송된다. 여기서 몇 종류의 정보프로세싱(4)이 여유 플레인(A, B, C)에서 이루어진다. 국(1)에서, 모든 입력 클럭신호들은 세 개의 독립적으로 작동하는 선택기유닛(3) 각각에 공급되고, 선택기유닛에서, 서로에 대해 병렬로 설치되고 또한 서로에 대해 독립적으로 작동하는, 국내 세 여유 플레인(A, B, C)에서 사용되게 되는 클럭신호를 획득하기 위해 클럭신호의 선택이 이루어진다.

대표도

도1

명세서

기술분야

본 발명은 신호의 사용자에게 여유도를 가지는 클럭신호의 분산에 관한 것으로서, 특히 분산을 위한 회로와 적절한 클럭신호를 선택하기 위한 회로의 관리를 위한 방법과 장치에 관한 것이다. 또한 그 안에 관리 기능이 제공된 망 또는 장치에 관한 것이다. 또한, 그 안에 포함되거나 또는 숨은 식별정보를 가지는 클럭신호를 제공하기 위한 방법과 클럭소오스에 관한 것이다. 또한 클럭신호 안에 포함된 정보를 검출하기 위해 클럭신호를 프로세싱하기 위한 방법과 장치에 관한 것이다. 또한 그 안에 포함된 계획된 에러를 가지는 클럭신호를 제공하기 위한 방법과 클럭소오스에 관한 것이다. 또한, 클럭신호에서 에러, 특히 주파수와 위상에러를 찾기 위하여 클럭신호를 프로세싱하기 위한 방법과 장치에 관한 것이다. 게다가, 본 발명은 캐스케이드된 서브시스템에, 즉, 각각 직렬로 연결된 서브시스템에 여유 클럭신호를 공급하는 것에 관련되는 것으로, 클럭신호는 클럭신호가 프로세스되는 서브시스템을 통과한 다음 다음 서브시스템에 새로운 클럭신호로서 출력된다. 또한 서로에 대해 클럭신호내 타이밍펄스의 타이밍에 따라 두 개의 클럭신호를 평가하기 위한 방법과 장치에 관한 것이다. 본 발명은 또한 클럭신호내에서 검출된 신호시퀀스를 나타내는 펄스를 생성하기 위한 방법과 장치에 관한 것이다. 마지막으로, 본 발명은 클럭신호에 포함되거나 숨은 신호시퀀스를 검출하기 위한 방법과 장치에 관한 것이다.

배경기술

전화접속과 전기통신장비의 분야에서, 일반적으로, 여기서는 클럭과 동기펄스율로 불리고, 나중에는 짧게 '동기율'로 불리는 두 개의 클럭킹 신호를 다양한 부장비와 이 장비내의 부품에 분산할 필요가 있다. 이 분산은, 다양한 멀티플렉싱단과 비슷한 유닛을 가지는 유형의 교환기와 같은 물리적으로 크게 연결된 시스템에서 광범위하다. 클럭율은 고주파수를 가지고 또한 무엇보다도 장비를 통해 흐르는 데이터내 비트에 대한 경계를 규정하고, 그리고 동기율은 저주파수를 가지고 또한 프레임경계와 데이터신호내의 비슷한 것을 규정한다. 전기통신 교환국과 같은 장비내에 클럭과 동기정보를 전달하는 신호의 수는 상당히 많고 그리고 그 결과 다음에서는 일반적인 표현 '클럭분산망'이 사용된다. 매거진 또는 캐비닛내 전기통신 장비는 속도분산을 위해 케이블, 배면의 핀과 전기적 단자, 배면의 라인의 형태인 다수의 전송부품을 가진다. 그러한 모든 신호접속을 위해 필요한 공간은 상당히 크고 그리고 비용이 많이 들게된다. 일반적으로, 커넥터내 핀의 수는 교환기의 크기를 제한하는 작은 자원이다.

커다란 신뢰성의 요구를 가지는 장비들에서, 역시 클럭분산망이 커다란 신뢰성요구를 이행한다. 여유도를 도입함으로써 통상적인 방식으로 클럭분산망의 신뢰도가 향상될 수 있다. 만일 클럭분산과 클럭소오스가 여유도를 포함하도록 설계된다면, 즉 이들이 이중으로 되거나 또는, 이후에 가정되는 바와 같이 바람직하게 삼중으로 된다면, 클럭소오스에서 클럭킹수신기로 이중 및 삼중의 구조가 유지될 수 있지만, 그러나, 수신기에서 클럭중 마지막 하나가 각 장비에 의한 운영적인 사용을 위해 선택되어야만 한다.

클럭율과 동기율이 모든 매거진과 캐비닛에 대해 분산되게 되는, 여유도를 가지지 않는 선형 시스템에서, 일반적으로 각 수신기 또는 그 율의 사용자에게 각각 두 개의 동축케이블이 사용된다. 한 동축케이블은 고주파수 클럭율을 위한 것이고 다른 하나는 저주파수 기준율을 위한 것이다. 클럭율과 기준율은 여기서 프레임율과 동기율고 각각 부른다.

고주파수 클럭이 저주파수 동기율에서부터 확산되어 분산되는, 클럭킹율의 분산을 위해, 클럭율 펄스의 말단의 한 잘못된 것에서 동기율내 펄스가 끝나거나 또는 중단되지 않도록 정밀도가 커져야만 한다. 이는 무엇보다도 서로에 관하여 또는 시스템에서 다른 목적지를 가지는 다른 쌍의 케이블에 관하여, 클럭과 동기율을 위해 사용된 두 개의 케이블의 길이의 유사도에 커다란 요구를 가진다.

이외에도 매우 높은 주파수를 가지고 또한 전기통신시스템내 회로들을 작동시키는 클럭신호의 분산은 장시간 동안 간섭보호와 가능성이 제공되고 유지될 수 있도록, 훌륭한 접지연결과 다른 사항들과 함께, 케이블과 커넥터의 차폐에 대해 커다란 요구를 가진다.

매거진과 캐비닛내 회로기판상에 회로를 가지는 커다란 교환기에 있어서, 비교적 높은 주파수를 가지는 클럭과 프레임구조를 위한 기준으로서 낮은 주파수를 가지는 율을 분산시킬 필요가 있다. 예컨대, 클럭율과 동기율은 여기에서 참조로 활용되는, 국제특허출원 PCT/SE94/00321호에 기재된 바와 같이, 단일, 합성 신호('합성 클럭신호')의 형태, 여기서는 CLSY(CLock과 SYnch)로 불리는 형태로 분산될 수 있다.

이 신호는 시스템의 회로가 작동하는 실제 시스템주파수보다 상당히 낮은 주파수를 가지는 클럭주파수 또는 클럭율을 가지는데, 즉 실제 주파수의 1/36과 같은 짝수 분수의 값인 것이 유리하고, 그리고 신호는 또한 이 클럭주파수의 상부에서 변조되는 동기주파수 또는 동기클럭을 포함하는데, 실제 주파수의 1/640 과 같이, 짝수 분수인 것이 유리하다.

위상동기루프(phase-locked loop)회로(PLL)에는 합성 CLSY신호내 동기신호를 해석하는 논리회로가 제공되고 그리고 상기와 유사한 방식으로, CLSY신호의 클럭주파수의 36배와 같은, CLSY신호의 클럭주파수 보다 상당히 높은 주파수를 가지는 클럭신호를 발생시킨다. PLL은 시스템클럭에 대해 동기펄스를 정밀하게 발하는데, 이는 두 개의 독립된 라인상에서 통상적인 클럭분산을 사용하여 발생시키기가 매우 어려웠다.

시스템클럭에 비해 상당히 낮은 주파수를 가지고 또한 이외에도 동기정보가 제공되고 또한 동기율과 함께 시스템 클럭율을 발생시키기 위한 PLL을 위해 구성되는, CLSY형태로 주파수를 분산시키는 장점은;

1. EMC의 관점에서 보아, 즉 외부에서부터 간섭에 대한 민감도에 관해서 또한 그 자신의 간섭영향에 관해서 보면, 신호는 보다 쉽게 분산될 수 있다. 분산매체는, 시스템클럭과 동기율이 독립적으로 분산되었던 경우와 같이 동일한 정밀도를 가지지 않는다. 이는, 예컨대 단일의 광케이블이 사용될 수 있다는 것을 의미한다.
2. 핀과 커넥터내 공간과 배면 등은 클럭율과 동기율 둘다에 대해 동일한 물리적 경로를 사용함으로써 절약될 수 있다.
3. 동일 칩에서 그리고 동일 신호로부터 시스템클럭과 동기를 PLL이 발생시키는 구성에 의해 매우 훌륭한 정밀도가 이루어질 수 있다.

여유(redundant) 클럭분산시스템이 이후에 간략하게 논의되는 문헌과 다른 문헌에 설명되어 있다.

일본특허출원 JP-A 60-225982호에서, 클럭펄스동기는 삼중시스템에 설명되어 있다. 심각한 에러의 영향은 다수결에 의한 정정에 의해 방지된다.

미국특허 US-A 4,185,245호에서는, 고장허용(fault-tolerant) 클럭신호분산을 위한 장치가 설명되어 있다. 제 1 및 제 2 여유 클럭신호소오스가 설치된다. 클럭수신기는 위상에 따라 교대로 오는 클럭신호펄스열을 무시하기 위하여 두 개의 클럭신호를 조사하기 위한 순차 논리회로를 포함한다.

미국특허 US-A 4,489,412호에는, 세 발진기로부터의 출력신호에 대해 다수결을 수행하는 클럭분산모듈에 의한 클럭과 동기신호의 공급을 포함하는 망을 기재하여 놓았다.

미국특허 US-A 4,692,932호는 각 클럭신호가 동기신호를 포함하는, 삼중의 클럭분산에 관한 것이다. 수신기(R)에, AND-게이트와 한 NOR-게이트를 포함하는 다수결을 위한 논리회로가 포함된다. 이들 다수결회로들은 다른 두 클럭신호의 위상위치 사이에 위치된 위상위치를 가지는 입력클럭신호만을 통과시킨다. 선택

을 하기 위하여 수신기내에서 수신된 클럭신호의 품질의 테스트가 이루어지지 않는다.

미국특허 US-A 4,698,826호에는, 삼중의 클럭분산이 설명된다. 각 클럭은 클럭신호와 동기신호를 포함하는 신호를 출력한다.

미국특허 US-A 5,065,454호는 여유 클럭발생을 가지는 클럭신호분산장치를 설명한다. 분산경로는 여유도의 이유 때문에 중복된다.

유럽특허출원 EP-A2 0 365 819호는 다중프로세서 시스템에서 개별적인 클럭을 동기시키는데 있어서의 문제점에 관한 것이다. 다수의 클럭소오스는 각각 한 PLL회로를 가진다. 칼럼 10의 라인 31-58을 보라. 클럭은 각 클럭에서 선택동작을 받게되는 각 다른 클럭에 기준신호를 전송한다.

유럽특허출원 EP-A2 0 366 326호는 다수의 클럭신호들이 주 발진신호에서부터 유도되는 컴퓨터시스템에서, 클럭신호들이 필요할 때에 정확한 시간에 나타나는 것을 보장하기 위한 문제점에 관한 것이다. 이는 상이하게 긴 전송경로에 대한 보상을 하기 위하여 클럭신호 사이에 동일한 시간지연의 도입을 필요로 한다. 기술된 해결책은 상이한 클럭신호의 시간지연에서 에러를 감소시키는 것을 목적으로 한다. PLL회로는 각 클럭신호와 기준 클럭신호 사이에 위상관계를 유지시키기 위해 사용된다.

미국특허 US-A 4,239,982호에서, 여러개의 클럭소오스로 시스템 클럭신호를 발생시키기 위한 고정허용 클럭시스템이 기재되어 있다. 각 클럭소오스는 모든 다른 클럭소오스에서 발생된 클럭신호를 입력신호로서 수신하고 그리고 이들 클럭소오스로부터 시스템 클럭신호를 유도하기 위한 수신기회로를 포함한다. 각 클럭소오스는 그의 클럭 수신기에서부터 유도된 시스템 클럭에 동기된 클럭신호를 발생시켜 다른 클럭소오스로 분산한다. 시스템은 유도된 시스템 클럭신호 사이에 최소 위상지터를 포함하는 높은 클럭주파수의 사용을 허용한다.

유럽특허출원 EP-A2 0 303 916호에는, 컴퓨터시스템을 위한 타이밍을 제공하기 위해, 주파수와 위상에 따라 동기되는 네 개의 비율신호(rate signal)들이 발생된다. 비율신호의 발생은 네 개의 PLL에 의해 이루어지고, PLL의 출력신호들은 다수결이 수행되는 네개의 선택기회로에 공급된다. 선택기회로에 의해 선택된 신호는 제어를 위해 비율발생기중 한정된 하나에 공급된다. 선택된 신호의 위상위치를 조화시키기 위해 지연회로가 도입된다. 그러한 지연은, 클럭신호가 클럭율과 낮은 주파수를 가지는 동기를 둘다를 포함하는 경우에 쉽게 도입될 수 없다.

미국특허 US-A 4,105,900호에는, 세 개의 여유 센서신호들이 사용되는 삼중의 제어시스템이 기술되어 있다. 이들 신호들중 하나는 정확한 정보를 제공하고 그리고 나머지 둘은 덜 정확한 정보를 제공한다. 선-프로그램된 우선도에 따른 신호의 선택은 세 센서의 동작에 상태에 기초한다.

발명의 상세한 설명

본 발명의 목적은 여유 구조를 가지는 교환기, 특히 높거나 또는 매우 높은 주파수를 가지는 시스템클럭신호와 낮은 주파수를 가지는 동기클럭신호를 필요로 하는 시스템에서 클럭기능에 가해질 수 있는 요구사항들을 이행하는 클럭신호분산시스템을 사용하는 방법과 망 또는 장치를 제공하는 것이다.

본 발명의 다른 목적은 짧은 컨덕터경로가 획득되도록, 각 서브시스템 사이에 클럭신호의 단순한 캐스케이드통신을 허용하는 여유 클럭신호분산시스템을 제공하는 것이다.

본 발명의 다른 목적은 높은 MTBSF(Mean Time Between System Failure)를 가지는 클럭신호분산시스템을 제공하는 것이다.

본 발명의 다른 목적은 클럭신호를 분산, 프로세싱 및 선택하는데 사용되는 다양한 회로와 클럭신호 둘다에서 에러가 효율적인 방식으로 검출될 수 있는 클럭신호분산시스템을 제공하는 것이다.

본 발명의 다른 목적은 클럭신호분산시스템내 선로와 회로의 효율적인 감독을 유리한 방식으로 허용하는 방법과 장치를 제공하는 것이다.

따라서, 본 발명에 의해 해결되는 문제점은 방법과 망/장치와 그리고 서브시스템 또는 종속국에 효율적인 클럭신호의 분산을 위해 필요한 다양한 장치와 방법을 제공한다. 분산은 신호, 선로 및 회로들이 에러에 대해 동시에 테스트될 수 있도록 한다.

전기통신을 위한 교환기와 같은 전자시스템의 여유도와 시스템의 클럭기능의 여유도는 모든 하드웨어, 즉 회로, 접속라인 등을 삼중으로함으로써 통상적인 방식으로 이루어진다. 따라서 MTBSF를 증가시키는 이 방법은, 각각이 홀로서 필요한 동작을 수행하거나 또는 필요한 프로세스를 병렬로 실행하는 여러개의 동일한 유닛과 플레인(plane)을 포함한다. 세 플레인으로부터의 출력신호를 비교함으로써, 에러를 가지는 플레인이 확인될 수 있다. 다른 것과는 다른 플레인을 배제하고 그리고 비슷하다고 '결정'되는 플레인을 가짐으로써, 고장난 플레인이 배제될 수 있다. 이 방법은 다수결로 불린다. 다수결을 기초로 하는 삼중시스템을 작동시키기 위하여, 다수결이 의미있는 방식으로 작동되는 것을 필요로 한다. 즉 작동하는 플레인의 수가 고장난 플레인의 수보다 반드시 커야만 한다. 만일 삼중시스템에서 세 개의 플레인 모두가 정확하다면, 시스템은 작동할 수 있는 것으로 여겨지고 그리고 충분한 여유도를 가진다. 만일 플레인중 하나가 고장난다면, 교환기는 여전히 여전히 작동하게 된다고 말할 수 있지만 그러나 더 이상의 여유도는 없다.

무엇이 삼중시스템에 대해 '시스템고장까지의 평균시간:mean time up to system failure'(MTBSF)을 높게 하는가는, 플레인중 하나가 고장나는 경우에, 시스템이 여유도를 가지지 않을 때 임계시간동안 더 이상의 에러가 나타나지 않도록 짧은 시간내에, 예컨대 한 주내에 교체되어야만 한다는 것을 이해하는 것이다. 만일 고장난 플레인이 먼저 수리되기 전에 플레인중 다른 하나가 고장나게 된다면, 시스템은 작동을 완전히 중단하게 된다.

삼중시스템에서, 삼중시스템이 상응하는 비-삼중시스템에 비해 적어도 세배정도 많은 하드웨어를 포함하기 때문에 에러간의 평균시간이 적어도 단일의, 비-삼중시스템보다 세배정도 짧다는 것이 관측될 수 있다. 그러나, 여전히 시스템고장간의 평균시간, 즉 삼중시스템의 기능이 중단하기 전에 경과하는 시간이

증가하는데, 이는 두 개의 상이한 플레인에서 두 개의 고장이 동시에 삼중시스템의 기능이 중단하도록 하기 때문이다.

만일 삼중시스템에서 한 플레인이 작동을 중단한다면, 이는 시스템레벨에서 기능장치에 고치되지 않는데, 이는 삼중시스템이 어떠한 여유도 없이 작동을 지속하기 때문이다. 삼중시스템이 개선된 MTBSF를 획득하도록 하기 위하여, 모든 고장들이 발견되는 것이 중요하다. 만일 고장이 발생하고 그리고 이 고장이 검출되지 않는다면, 이는 숨은 고장이라고 불린다. 숨은고장을 포함하는 삼중시스템은 어떠한 여유도 없이 작동될 수 있다. 숨은노장을 포함하는 시스템은 나쁜 MTBSF를 가지게 된다.

높은 MTBSF를 얻기 위하여, 훌륭한 고장검출을 위해 시스템을 구성하는 것이 중요하다. 즉 가능한 숨은고장의 수가 가능한 작아져야 한다. 이를 이루기 위하여, 관리테스트라고 불리는 추가의 테스트를 시스템에 도입하는 것이 필요하다. 모든 하드웨어가 고장날 수 있고, 또한 하드웨어는 다수결에 포함된다. 모든 경보신호들은 비-작동적으로 될 수 있어서, 실제로 경보상황이 존재한다해도 모든 경보신호들은 '비경보'를 신호로 보낸다. 정적인(=일정한 또는 일정한 논리적 또는 전기적 레벨을 가진다) 또는 정지한 모든 신호들은 이 상태를 알림이 없이 비-작동적으로 될 수 있다.

플레인이 고장났는지의 사실의 신뢰성있는 지시 또는 정정은 하드웨어에서 정적인 신호의 단순한 존재보다 더 많은 것이다. 클럭의 기능을 테스트하기 위하여 사용된 방법은, 연속적으로 임의수의 인위적인 고장이 도입되어, 상응하는 수의 고장이 검출되었던 모든 시간에 확인이 이루어지는 것이다.

요약하면, 가능한 높은 MTBSF를 가지는 여유시스템에서, 가능한 숨은고장이 크게 감소된다고 말할 수 있고, 그리고 이후에 설명되는 바와 같이, 시스템에서 가능한 많이 고장을 검출할 수 있기 위하여, 시스템이 고장을 검출할 수 있는가를 확인하기 위해 인위적인 예러가 시스템에 도입되는 관리테스트를 토대로 방법은 사용된다. 만일 인위적인 고장이 검출된다면, 시스템은 정확하지만, 그러나 고장이 검출되지 않는다면, 적어도 한 예러가 시스템에 존재한다.

따라서 일반적으로, 클럭신호는 정보처리, 상이한 국에서 프로세스를 수행하기 위해 또는 국간의 정보 통신을 행하기 위해 망 또는 전자장치와 같은 전자시스템에 분산된다. 클럭신호는 시스템에서 다양한 장치, 프로세스의 제어를 위해 사용된다. 전자시스템내 상이한 서브시스템의 클럭신호는, 클럭신호가 적어도 세 개의 상이한 독립선로 또는 서브시스템과 같은 채널에 전달되거나 또는 통신되도록 제공된다. 미리 공지된 바와 같이, 서브시스템은 상이한 선로 또는 채널에서 수신된 신호중에서 한 클럭신호의 선택을 수행한다. 서브시스템에 도달하는 원래 클럭신호 또는 클럭신호는 항상 이 서브시스템에 의해 독립적으로 발생되어, 따라서 회로와 회로안에서의 프로세스와 그리고 출력신호와 출력신호로부터의 결과와는 관계없다. 그런 다음, 서브시스템에서, 두 개의 선택된 클럭신호와 바람직한 경우에는 세 개의 선택된 출력 또는 유용한 클럭신호를 생성하기 위해, 서로간에 독립적으로 작동하는 적어도 두 개의 상이한 선택유닛에 의해 또는 유닛내에서와 같이, 서로간에 독립적으로 작동하는 적어도 두 개의 상이한, 일반적인 경위는 세 개의 선택프로세스에 의해 또는 프로세스에서 독립적으로 또한 병렬로 클럭신호의 선택이 수행된다. 선택된 클럭신호는 매번 즉시 동일하게 될 수 있고, 동일 선로 또는 채널에 공급될 수 있다. 이들 선택된 클럭신호들은 서브시스템에서 여유 플레인을 위해 사용되고 그리고 다른 서브시스템에 캐스케이드 분산을 위해, 그러한 선택된 클럭신호의 생성에 따라 다른 서브시스템의 구조와 동작은 먼저 언급된 서브시스템과 동일하게 된다. 그런 다음, 선택된, 적어도 두 개의 클럭신호들은 장치로 통과하게 되거나 또는 서브시스템에서 프로세스되거나 또는 선택프로세스에 의해 변경되지 않았거나 또는 영향을 받지않은 다른 서브시스템으로 통과한다. 이는, 적어도 두 개의 선택프로세스에 의해 교환기들이 제어되는 서브시스템내 교환기들에 수신된 클럭신호를 제공함으로써 이루어진다. 필요하다면, 수신된 클럭신호중 새로운 하나 또는 다른 것에 대한 변경이 이루어질 수 있고 그리고 이 새로운 또는 다른 클럭은 대신에 장치 또는 프로세스 또는 서브시스템으로 통과한다.

선택프로세스는 인공지능적으로 작동한다. 따라서, 이들은 수신된 모든 클럭신호들의 품질 또는 특성에 대해 평가를 행하고 그리고 이 평가로부터 교환기로 신호를 제공함으로써 선택되게 되는 클럭신호를 결정한다.

도달하는 클럭신호는 실질적으로 동일한 타이밍정보를 가지는 클럭신호 또는 실질적으로 동일한 클럭신호를 각각 발생시키는 적어도 세 개의 상이한 클럭소오스에서부터 서브시스템으로 전달되거나 또는 통신되는 적어도 세 개의 상이한 신호로 구성될 수 있다. 클럭소오스들은 원칙적으로 서로 독립적으로 작동할 수 있고 또한 이들이 시스템에서 원래 클럭소오스인 경우에, 이들은 낮은 주파수를 가지는 동기율 정보의 위상위치를 확립하기 위한 공통정보를 수신하고, 이 정보는 클럭소오스에 의해 제공된 클럭신호에 포함된다.

서브시스템에서 클럭신호의 선택을 위한 상이한 독립적인 프로세스 또는 선택기유닛의 수는 클럭신호가 통하여 서브시스템에 도달하는 독립적인 선로 또는 채널의 수와 동일하다. 이 수는 3과 같은 것이 바람직하다.

그러한 프로세스 또는 선택기유닛에서, 클럭신호의 선택시에, 수신된 다른 클럭신호가 위상위치에 대한 클럭신호의 위상위치에서 및/또는 신호의 주파수에서의 고장 또는 예러에 따라, 서브시스템에 도달하는, 적어도 세 개의 상이한 선로 또는 채널에서부터 수신되는 모든 신호들은 평가될 수 있다. 그런 다음, 이 평가는 상이한 프로세스 또는 상이한 선택기유닛에서 또는 의해 독립적으로 이루어질 수 있다.

수신된 신호를 평가하기 위하여, 상이한 선로 또는 채널에서 수신된 신호에서의 예러 또는 고장이 측정되고, 예러의 수가 계수되고, 그리고 그러한 각 클럭신호에서의 계수된 예러의 수가, 그러한 클럭신호가 고장인지 및/또는 클럭신호를 발생시키고, 전송하고, 수신하고 또한 평가하거나 또는 선택하는데 사용된 몇몇 프로세스 또는 회로가 고장인지를 확립하기 위해 평가될 수 있다. 몇몇 예러가 있는 주파수들은 이후에 설명하는 바와 같이 실제적으로 일반적일 수 있다.

상이한 클럭소오스가 사용되거나 또는 전송장치에서 상이한 클럭소오스가 독립적인 전송선로 또는 채널에 제공되는 경우에, 고의적인 예러들이 클럭신호에 도입되고 그리고 이들 클럭신호들은 서브시스템에서 신호의 선택을 위한 상이한 프로세스 또는 선택기유닛들이 항상 새로 선택된 신호로 변경하게 되도록 도입

된다. 이는, 선택이 이루어지는 적어도 두 개의 신호가 존재한다는 것, 즉 매순간 적어도 두 개의 신호들이 훌륭한 품질을 가지는 것으로, 예컨대 필요에 따라 또는 가능한 예러가 없는 것으로 판단 또는 결정된다는 것을 전제로 한다. 그런 다음, 예컨대, 신호중 하나가 고장이 있는 것으로 결정되고 그리고 선택된 신호의 반복된 변화에 더 이상 포함되지 않게되는 경우에, 감소된 위상점프를 제공하는, 선택되고 또한 스위치된 신호의 평균 위상위치가 획득되게 된다.

클럭신호에서의 예러는, 상이한 선택프로세스 또는 선택기유닛이 순환적으로 및/또는 제때에 규칙적인 방식으로 새로운 선택신호로 변경되도록 도입되는 것이 바람직하다. 후자의 경우에, 예컨대 만일 세 신호(A, B, C)가 이용될 수 있다면, 제 1 규정된 시간주기후에 A에서 B로 변경이 이루어지고, 제 2 규정된 시간주기후에 B에서 C로 변경이 이루어지고, 그리고 제 3 규정된 시간주기후에 C에서 A로 변경이 이루어지게 된다.

수신된 신호에서 결정된 예러들은 또한, 검출된 예러의 유형과 예러의 출현시간이 이를 위한 몇몇 메모리 수단에 저장되어, 그러한 예러의 시퀀스가 평가알고리즘에 사용되게 되는 방법에 의해 평가될 수 있다. 그러한 알고리즘은 또한 상태장치에서 실행될 수 있고 그리고 검출된 예러의 시퀀스를 저장하기 위해 어떠한 직접적인 메모리수단이 필요치 않게 된다.

의도적으로 도입된 예러들이 클럭신호에 존재하고 그리고 선택된 신호의 변경이 독립 프로세스 또는 선택기유닛중 하나에서 항상 이루어지는 경우에, 또한 새로운 클럭신호가 선택되거나 또는 스위치유닛이 다른 클럭신호가 스위치되도록 하는 시간의 수는 결정되거나 및/또는 평가될 수 있거나, 또는 그러한 새로운 선택 또는 변경의 시퀀스 및 이의 시간이, 신호에서 검출된 예러를 평가하기 위해 상기에서 설명된 바와 같은 유사한 방식으로 평가될 수 있다.

무엇보다도 각 클럭신호의 발생시에, 그러한 변경의 간단한 카운팅을 위해, 클럭신호의 식별을 나타내는 정보가 도입될 수 있어서, 이에 의해 클럭신호를 발생시키는 클럭소오스의 식별을 도입시킬 수 있다. 그런 다음, 서브시스템, 신호의 선택을 위한 프로세스 또는 선택기유닛에서, 선택된 신호들은 그러한 식별 정보에 대해서 모니터될 수 있고, 그리고 그러한 정보가 검출되면, 정보가 속하거나 또는 지정하는, 도달하는 클럭신호 또는 클럭소오스가 결정된다. 각 개별적인 도달하는 클럭신호를 지정하는 정보가 발견되는 시간의 수가 계수되고 그리고 그러한 계수된 수들이 평가된다. 선택적으로, 수신된 클럭신호 또는 클럭소오스에 관련되는 바와 같은, 새로운 선택 또는 변경이 시퀀스에 대한 정보가 예러의 평가를 참조하여 위에서 설명된것과 비슷한 방식으로 평가될 수 있다. 또한 정보가 결정되는 시간은 상기에서와 같이 그러한 평가에 사용될 수 있다.

의도적인 예러의 도입 또는 식별정보의 도입에 있어서, 각 수신된 클럭신호는 타이밍정보가 유도될 수 있는 펄스의 시퀀스에 따라 발생한다는 것을 가정한다. 그러한 펄스시퀀스는 예컨대 상기에서 인용된 국제 특허출원 PCT/SE94/00321호에 기재된 합성 클럭신호형의 주 템플릿(main template)에 따라 선택된 펄스시퀀스와 일치하게 된다. 그러한 시퀀스펄스는 특별히 설계되었지만 동기율 펄스를 형성하는 동일한 짧은 부분에 의해 인터럽트된 규칙적인 펄스의 시퀀스를 포함한다. 당연히, 주 템플릿 펄스열은 그들 사이에 및/또는 그들 전에 및/또는 그들 이후에 일정한 레벨을 가지는 하나 또는 그 이상의 펄스버스트의 반복된 시퀀스로 구성되는 바와 같이, 상이한 설계를 가진다. 일반적으로, 각 펄스는 통상적인 방식으로 제 1 레벨에서 제 2 레벨로의 제 1 천이와 제 2 레벨에서 제 1 레벨로의 제 2 천이를 가져, 템플릿 펄스열은 그러한 천이의 시퀀스 또는 열을 포함하게 된다.

그러한 클럭신호에 식별정보를 도입하기 위하여, 클럭신호는, 주 템플릿 일치하지만 그러나 클럭신호가 대신에 식별 템플릿 펄스열과 일치하는, 주 템플릿 펄스열의 변형부에 상응하는 적어도 하나의 규정된 부분내에 있도록 발생된다.

모든 주 템플릿 펄스열이 주기적인 경우에, 당연히 정상적인 경우에, 한정된 시간주기로 반복되는 고정된 템플릿 펄스 서브열(subtrain)을 포함한다. 그런 다음, 주 템플릿 펄스열과 일치하지 않는 규정된 부분이 주 템플릿 펄스열의 각 주기내에 제때에 고정된 위치를 가지도록 클럭신호가 발생하는 것이 유리하다.

식별정보의 도입시에, 클럭신호는, 주 템플릿 펄스열에 규정된 위치를 가지는, 특히 규정된 위치와 주기적으로 반복된 템플릿 펄스서브열에 고정된 시간위치를 가지는 적어도 한 펄스가 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 발생될 수 있다.

식별정보를 도입하기 위하여, 클럭신호는, 주 템플릿 펄스열에 규정된 위치를 가지는 적어도 한 천이가 변경되는 것, 특히 규정된 위치를 가지는 천이가 생략되고 그리고 생략된 천이에 대해 반대종류이고 또한 규정된 위치를 가지는 천이가 생략된 천이가 속하는 종류로 변경되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 발생될 수 있다.

주파수예러를 도입하기 위하여, 클럭신호는, 제 1의 규정된 수의 연속펄스가 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 발생될 수 있다. 상응하는 방식으로 위상고장을 의도적으로 도입 또는 모사하기 위하여, 클럭신호들은, 제 2의 규정된 수의 연속펄스들이 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 발생될 수 있다. 그런 다음, 의도적으로 도입한 위상예러가 주파수예러가 되도록 제 2의 규정된 수는 제 1의 규정된 수보다 커야만하여, 예러를 검출하고 그리고 예러가 위상예러라고 판단되면, 이 예러는 또한 주파수예러로 결정되게 된다. 그러나, 조우되는 예러의 종류의 정확한 결정은, 검출된 주파수예러가 위상예러로 판단되지 않기 때문에 이루어질 수 있다.

서로에 관해서 고려할 때 클럭신호에서 예러를 검출할 시에 그리고 특히 타이밍펄스가 서로에 대해 타이밍예러를 가지는지를 결정할 때, 일반적으로 공지된 방식으로 단순한 AND-게이트가 시간위치의 지시를 위해 사용될 수 있다. 그러나, 대략적인 추정치 제공되게 되고 그리고 대신에, 결정을 얻기위하여 이의 정확성이 쉽게 설정될 수 있고, 클럭신호에서 타이밍펄스의 주파수보다 상당히 높은 주파수의 펄스를 가지는 고정된 펄스신호를 활용하는 방법이 사용될 수 있다. 타이밍펄스로부터의 고주파수 신호에 의해, 타이밍펄스와 동시에 시작하지만 그러나 고정된 펄스신호내 펄스의 시작에 의해 결정되는 말단을 가지는 평가펄스가 형성되어, 평가펄스는 규정된 수의, 고정된 펄스신호의 주기를 형성하는 길이와 그러한 주기의 분수를 가지게 된다. 그런 다음, AND-동작이 그렇게 생성된 평가펄스에 이루어진다. 즉, 평가펄스의 교차로

구성되는 교차펄스가 생성된다. 그런 다음, 교차가 비워지면, 즉 교차펄스가 없는 경우에, 클럭신호간의 타이밍에러를 의미하는 경보신호가 제공된다.

그러한 검출은 히스테리시스를 포함하도록 만들어질 수 있다. 동일한 방식으로 고주파수를 가지는 고정된 펄스신호에 의해, 각 타이밍펄스로부터, 타이밍펄스와 동시에 시작하지만 그러나 고정된 펄스신호내 펄스의 시작의 결정인 말단을 가지는 제 1 평가펄스가 형성되어, 제 1 평가펄스는 제 1의 규정된 수의 고정된 펄스신호의 주기와 그러한 주기의 분수를 구성하는 길이를 가지게 된다. 상응하는 방식으로, 제 2의 규정된 수의 고정된 펄스신호의 주기와 그러한 주기의 분수를 구성하는 길이를 가지는 제 2 평가펄스가 형성된다. 제 2의 규정된 수는 제 1의 규정된 수와 동일하지 않지만 제 1의 규정된 수보다 큰 것이 바람직하다. 제 1 및 제 2 교차펄스가 제 1 및 제 2 평가펄스의 교차로부터 각각 생성된다. 제 1 교차펄스의 개시의 출현간의 시간간격이 모니터되어, 이 시간간격이 임계값보다 크면, 제 1 신호가 제공된다. 제 2 교차펄스의 출현간의 시간간격이 비슷하게 모니터되어, 이 시간간격이 동일한 임계값보다 큰 경우에 제 2 신호가 제공된다. 그런 다음, 제 2 신호가 나타나기 전까지 클럭신호간의 타이밍에러를 나타내는 경보신호가 생성되지 않게 되고 그리고 현재 상태에서 비-현재 상태로 연속되게 되는 제 1 신호의 전이전까지 이 경보신호의 생성이 중단되지 않게 된다. 이는 제 2 및 제 1의 규정된 수의 펄스의 차이에 상응하는 크기의 히스테리시스를 제공하게 된다.

합성 클럭신호에는, 상이에서 언급된 바와 같이, 무엇보다도 동기펄스를 나타내고 또한 기저대역 클럭의 변형된 짧은 부분에 상응하는, 원칙적으로 규칙적으로 반복된 비슷한 펄스와 신호시퀀스를 포함하는 기저대주파수를 가지는 기저대역 클럭이 있다. 동기펄스 또는 동기패턴의 검출시에, 펄스는, 사용된 전자부품의 공차로 인해, 조우되는 패턴에 대해 완벽하게 한정된 시간위치를 가지지 않는 출력신호로서 획득된다. 그런 다음, 기저대역 클럭내 펄스들이 추출될 수 있고 그리고 다음 방식으로 이루어지는, 동기패턴으로부터 제 때에 한정된 거리로 분리될 수 있다. 동기패턴과 같은 신호시퀀스는 제 1 펄스를 발생시키기 위해 설치되는 몇몇 적절한 검출기에 의해 검출된다. 이 펄스는 당연히 신호시퀀스의 검출후에 나타나게 되고 그리고 통상적인 부품을 사용하여 이르기 쉬운, 적절하게, 제 때에 정확하게 선택된 위치를 가지게 된다. 시간위치는, 제 1 펄스에서의 한정된 전이, 예컨대 제 1 펄스의 제 1 변부가 항상 시간간격내에 위치되고 또한 클럭펄스신호의 기저대역 클럭신호내 펄스간의 간격보다 짧게 되도록 되어야만 한다. 제 1 펄스로부터, 지연 및 펄스형성회로에서, 규정된 지연을 가지고 또한 클럭펄스신호의 기저대역 클럭의 한 주기시간보다 짧은 길이를 가지는 다른 펄스후에 시작하는 제 2 펄스가 생성되어, 제 2 펄스는 클럭펄스신호내 기저대 주파수의 완벽한 클럭펄스의 전체 시간길이와 동시에 제 때에 나타나게 된다. 마지막으로, AND-게이트에서, 제 2 펄스와 클럭펄스신호의 교차가 형성되어, 이에 의해 게이트의 출력단자에 전체 클럭펄스가 한 분리된 클럭으로서 제공되게 된다.

신호시퀀스의 검출시에, 클럭펄스신호보다 상당히 높은 주파수를 가지는 보조 클럭펄스신호의 소오스를 포함하는 검출기가 사용될 수 있다. 소오스는 클럭펄스신호와와는 독립적으로 작동하고 그리고 클럭펄스신호의 기저대역 주파수의 4 내지 10배정도의 주파수를 가지는 펄스를 제공한다. 클럭펄스신호는 보조 클럭펄스신호에 의해 샘플되고 그리고 샘플된 신호의 패턴은 하나 또는 여러개의 규정된 패턴과 비교로 평가되고, 그리고 일치시에, 제 1 펄스가 생성된다.

샘플링을 위해, 시프트레지스터가 사용될 수 있고 그리고 그런 다음, 시프트레지스터의 클럭입력단자에 고주파수의 펄스신호가 제공된다. 시프트입력단자에는 클럭펄스신호가 전달된다. 시프트레지스터의 시프트위치들은 적절한 결합망에 연결되어, 망이 출력단자에서 제 1 펄스가 획득된다. 시프트레지스터의 크기는 신호시퀀스의 길이와 소오스에 의해 발생된 펄스신호의 주파수와 클럭펄스신호의 기저대역 주파수의 비율을 기초로 선택되어야만 한다. 보조 클럭신호의 주파수는 너무 높지 않아야 하는데, 이는 너무 높은 주파수는, 커다란 시프트레지스터가 사용되어야 하고 또한 결합망이 커져 복잡하게 만들기 때문이다. 너무 낮은 보조 클럭신호의 주파수는 역시 나쁜 신호패턴인식을 제공할 수 있다.

본 발명은 첨부도면을 참조하여 비 제한적인 실시예로서 설명된다.

도면의 간단한 설명

도 1은 클럭분산시스템의 블록도.

도 2는 클럭신호내에 프레임의 구조를 설명하는 도면.

도 3은 클럭신호프레임의 다양한 시퀀스를 설명하는 시간의 함수에 따른 파형도.

도 4는 클럭선택기유닛의 블록도.

도 5a는 주파수에러 검출기의 블록도.

도 5b는 동기시퀀스를 포함하는 합성 클럭신호의 부분의 파형도.

도 5c - 5e는 동기펄스의 분리가 어떻게 이루어지는가를 설명하는, 다양한 회로로부터의 출력신호의 파형도.

도 6a는 위상에러 검출기의 블록도.

도 6b는 위상에러 검출기에서 사용되는 미분회로의 블록도.

도 6c - 6e는 미분회로에서 신호프로세싱을 설명하는 파형도.

도 6f는 위상에러 검출기에서 사용되는 일치검출기의 블록도.

도 6g - 6i는 일치검출기에서 신호프로세싱을 설명하는 파형도.

도 6j는 위상에러 검출기에서 사용되는 시간간격 모니터링유닛의 블록도.

도 6k는 위상에러 검출기에서 사용되는 히스테리시스회로의 블록도.

- 도 6i는 히스테리시스회로의 상태를 설명하는 시간도.
- 도 6m은 위상에러가 어떻게 모니터되는가를 설명하는 블록도.
- 도 6n과 6o는 홀더회로의 기능을 설명하는 파형도.
- 도 7a는 클럭선택기제어의 블록도.
- 도 7b는 클럭선택기제어에서 사용되는 통합회로의 진리표.
- 도 7c는 클럭선택기제어에서 사용되는 상태장치의 상태도.
- 도 8은 클럭신호를 선택하기 위한 또한 시스템클럭과 동기율을 생성하기 위한 유닛의 개략적인 블록도.

실시에

다음에 오는 상세한 설명은 CLSY(CLock and SYNch signal)으로 불리는 클럭신호를 기초로 하고, 상기에 서 언급된 국제특허출원 PCT/SE9/00321호와 상기 논의를 참조하라.

CLSY신호는 이후부터 5.12MHz에 선택되는 것으로 가정되고 또한 여기에서 기저대 주파수 또는 기저대역 주 파수로 불리는 고주파수를 가지는, 전형적으로 구형파인 펄스신호인 클럭신호'클럭'과, 이후부터 8kHz에 선택되는 것으로 가정되는 주파수를 가지는 동기신호'동기'로 구성되는 합성클럭신호이다. 상이한 '가용 부품'의 시스템에 사용되는 것으로 가정되는 클럭주파수는 184.32MHz이고 또한 시스템 비트클럭의 주파수 또는 시스템클럭의 주파수로 불리지만, 그러나 시스템내에 클럭율을 보다 용이하게 분산될 수 있도록 하 기 위하여, 낮은 주파수, 184.32MHz의 소망된 시스템클럭을 얻기 위하여 수신기측, 즉 시스템율이 필요한 각 유닛에서 PLL(위상동기루프회로)에서 36의 인수로 곱해지는 기저대역 주파수를 가지는 클럭율이 이러 한 방식으로 분산된다. PLL은 또한 CLSY신호에 포함되는 동기신호를 복호한다. PLL신호는 또한, 입력신호 내 신호펄스들이 생략되거나 또는 입력신호에 단일의 스파이크가 있는 경우에 민감하지 않는 특성을 가진 다.

CLSY내측에는 관리테스팅을 위한 신호코드가 제공된다. 이들 코드들 또는 패턴들은 고려된 CLSY신호가 발 생되는 플레인에 대한 정보를 공급하고 또한 하드웨어를 관리테스팅하기 위한 특정 에러를 에뮬레이트한 다.

상기에서 지적된 바와 같이, CLSY신호에 여러 장점이 있다: 클럭율과 동기율간의 위상차가 감소되고, 물 리적 신호컨덕터의 수가 감소되고 그리고 '위상점프'는 많아야 동기와 클럭율 각각의 주기, 즉 8kHz와 5.12kHz의 주파수에 상응하는 주기의 1/4의 크기를 가지게 된다.

클럭과 동기신호의 생성, 분산 및 종결의 논리적 구조가 먼저 일반적인 레벨에서 설명되게 된다. 도 1에 는, 클럭율과 동기율 둘다를 포함하는 합성클럭신호, CLSY신호, 즉 여기서 CLSY-A, CLSY-B, CLSY-C로 불 리는 세 개의 동등한 합성신호를 세 개의 발생기(1)가 어떻게 발생시키는가가 도시되어 있다. 이들 합성 클럭신호들은 각 발생기(1)에서 삼중분산이 종결되는 세 개의 클럭선택기(3) 각각에 분산된다. 그러한 각 클럭선택기(3)에서, 다른 두 클럭선택기와는 상관없이, 수신된 상이한 클럭신호를 평가하고 그리고 비교 함으로써 '최고의' 클럭신호의 독립적인 선택이 이루어진다. 이후에, 위상동기루프회로내 각 부품에 클럭 율과 동기율을 각각 분산시키고 또한 시스템 비트클럭을 발생시키기 위해 선택된 CLSY신호는 각 클럭선택 기(3)에서 다음의 위상동기루프회로(5)(PLL)로 간다. 시스템 비트클럭과 동기율은 도 1의 삼중데이터회로 (4)로 개략적으로 설명되는 다양한 전자회로에 의해 각 플레인에서 사용된다.

각 발전기(1)는, 클럭율과 동기율의 한정을 위한 펄스 또는 펄스패턴과 클럭선택기(3) 다음에서 관리테스 팅을 위해 에러를 모사하는 펄스 또는 변경된, 또는 수정된 펄스패턴이 시퀀스를 포함하고, 또한 클럭율 과 동기율을 위한 펄스패턴내에 숨은 합성클럭신호, CLSY신호를, 몇몇 펄스, 고려된 CLSY신호가 발생되었 던 플레인에 관한 정보, 즉 발전기에 의해 고려된 CLSY신호가 플레인 A, B, 또는 C중 어느 곳에서 발생되 었는지에 관한 정보를 포함하는 식별코드가 변경되는 방법으로 발생시키도록 구성된다. CLSY신호내 '인위 적인 에러'는, CLSY발생기(1)가 시초에서부터 에러를 합성클럭신호에 도입시켜, 에러가 CLSY신호의 정상 부를 구성하도록 한 방법으로 발생된다. 이 방법으로는, 명령으로 인위적인 에러를 제거 또는 추가를 할 수가 없게 된다.

클럭선택기(3)의 임무는 도달하는 세 클럭신호 CLSY-A, CLSY-B, CLSY-C중에서 작동하는 합성클럭신호를 자발적으로 선택하는 것이다. CLSY신호가 정확한 것으로서 고려되게 되는 기준은, CLSY신호의 주파수가 정확하고 그리고 다른 두 CLSY신호에 대한 CLSY신호의 위상위치가 특정 한계내에 위치되게 되는 것이다. 따라서, 클럭선택기(3)는 도달하는 클럭신호 각각에 관해서 주파수와 위상위치의 자발적인 판단을 하고 그리고 클럭선택기(3)내 멀티플렉서를 통해 클럭선택기(3)의 출력단자와 통신하는 알고리즘에 따라 입력 신호중 하나를 선택한다. 따라서, 클럭선택기는 항상 CLSY신호에 포함되는 인위적인 에러에 의해 관리테 스트된다. 게다가, 인위적인 에러는, 클럭선택기(3)가 모든 허용된 클럭신호를 통해 작동하도록, 특히 주 기적으로 및 규칙적인 패턴으로 클럭신호 사이에서 순환적으로 변경되도록 입력된다. 이러한 방식으로, 클럭선택기(3)가 허용된 모든 합성클럭신호중 어떠한 하나를 실제로 선택할 수 있는 것이 항상 확인된다. 이 방법을 사용함으로써, 기능적인 클럭분산 외의 다른 신호들이 제공되지 않지만, 그러나, 관리테스팅을 위해 필요한 신호들이 기능적인 클럭신호의 일부로서 항상 포함되게 된다.

상기에서 설명된 바와 같이, PLL(5)의 기능은 추출된 클럭주파수를 184.32MHz의 시스템 비트주파수로 배가 시키고, ID-코드를 여과하고 또한 의도적으로 도입된 에러패턴을 모사하고, 돌발적인 위상점프를 늦은 위 상드립트로 변환시키고 또한 PLL(5)에 대한 입력신호에 존재할 수 있는 지터를 여과하기 위하여, 도달 하는 CLSY신호, 클럭과 동기율 각각에 대한 신호를 PLL 자신의 부품으로 분산시키는 것이다.

시스템내 회로와 접속에 대해 높은 (MTBSF(Mean Time Between System Failure))를 얻기 위하여, 하드웨어 에서 일어날 수 있는 가능한 많은 수의 에러들이 무사히 검출될 수 있는 것이 중요하다. 또한, 에러의 위 치를 확인할 수 있는 가능성이 존재하는 것이 중요할 뿐만 아니라, 또한 시스템에 나쁜 특성을 제공하게

되는, 시스템을 통해 아무런 에러가 전파되지 않는 것이 중요하다.

이를 이루기 위해서, 관리기능이 가능한 신뢰성을 가지는 것이 중요하다. 또한, 만일 하드웨어에러가 바로 그 관리기능에서 나타나게 된다면, 이는 또한 에러가 발생하였는지를 검출할 수 있어야 한다. 비슷하게, 시스템의 설계는, 시스템의 주 임무에 영향을 미치는 부분에서 에러가 실제로 발생하고 또한 관리기능에서의 에러 또는 몇몇 다른 에러로 인해 또는 불완전한 구조로 인해 관리기능이 에러를 찾지못하게 되도록 되어서는 안된다.

경보상태에 대해서 고지하는 단일의 정적인 하드웨어신호를 사용하기 위하여, 'OK' 또는 'not OK'가 상기에서 언급된 바와 같이 신뢰할 수 없는 것으로서 여겨져야만 한다. 하드웨어에러는 신호를 통신하는 하드웨어에서 발생할 수 있어서, 이 신호의 정보가 에러가 될 수 있다. 'OK'이더라도 '에러'를 지시할 수 있고, 또는 '에러' 대신에 'OK'를 지시할 수 있다.

클럭기능을 위한 관리시스템의 설계시에, 하드웨어에서 적어도 두 개의 상이한 신호들이 소프트웨어에 의해 관리되게 되는 원리가 사용되고 그리고 시스템이 정확한 것으로 판단되게 되는 기준은, 이들 하드웨어 신호간에 특정 관계가 존재하여야만 하고, 하드웨어신호가 정적되어서는 안되고, 대신에 특정 플래그가 몇몇 경우에 설정된 다음 다른 경우에 리셋되는 것과 같이, 규정된 패턴에 따라 변하는 카운터 또는 플래그들로 구성되어야 하는 것이다. 그런 다음, 소프트웨어는, 기대된 다이내믹스, 즉 플래그가 셋트되고 리셋되는 직렬순서가 항상 존재하고 또한 그렇지 않으면 소프트웨어에서 경보신호가 발생되는 것을 필요로 한다.

클럭선택기(3)의 기능은 상기 설명에 따라, 매번 인스턴스시에, 잘못 작동하는 클럭을 선택해 제거하고 또한 나머지 정확한 클럭신호중에서 작동하는 클럭신호 CLSY-A, CLSY-B, CLSY-C를 선택하는 것이다. 클럭선택기(3)가 작동하는지를 확인하기 위하여, 고려된 시간인스턴스에서 고려된 클럭선택기(3)에 의해 선택되는 클럭신호들이 영구적으로 또한 의도적으로 도입된 에러에 의해 저하되고, 그리고 관리기능이 클럭선택기(3)가 다른 합성클럭신호를 선택할 수 있는지를 확인한다.

따라서, 상기에서 지적된 바와 같이, 클럭신호, CLSY신호는 결함이 있는 클럭신호를 모사하는 펄스시퀀스를 시초에서부터 포함하도록 만들어진다. CLSY신호들은 도 1에서 CLSY발생기(1)라고 불리는 구성블럭에서 발생된다. CLSY신호에서 발견되는 인위적인 에러들은, 클럭선택기가 용인되거나 또는 용인되지 않는 클럭특성을 규정하는 규범에 대응하도록 입력된다.

클럭선택기(3)로부터, 선택된 CLSY신호가 제공되고 그리고 시스템이 선택하여야만 하는 CLSY신호를 결정할 수 있도록 하기 위해 또는 시스템이 신호를 선택하였다고 생각을 할 수 있도록 하기 위하여, 상기 설명에 따라, 식별코드가 제공된 CLSY신호들은 신호의 발생동안 ID-코드를 가져야 한다. A 플레인에서 발생된 CLSY신호는 CLSY-A로 불리고 그리고 식별코드 A가 제공되며, 이는 CLSY신호가 A 플레인에 그 기원을 가진다는 것을 나타낸다. 상응하는 방식으로, B 플레인으로부터의 CLSY신호에는 ID-B 코드가 제공되고 그리고 C 플레인으로부터의 CLSY신호에는 C의 코드가 제공된다. 클럭선택기(3)로부터 제공된 CLSY신호를 모니터링함으로써 시스템에서 상위 기능이 선택된 CLSY신호의 식별을 결정할 수 있다.

CLSY신호는 각각이 125마이크로초의 길이를 가지는 프레임들로 나누어진다. 즉 프레임들은 동기율과 동일한 주파수(8kHz)로 반복되고 그리고 이들은 5.12MHz의 클럭율 신호의 주기 또는 640사이클을 포함한다. 또한 각 펄스 또는 클럭율 신호의 주기는 양 또는 음의 천이가 발생하는 두 개의 반주기로 고려될 수 있고, 그리고 이러한 방식의 록킹을 사용하여 1280데이타비트가 각 CLSY프레임에 존재한다. 이들 비트들은 도 2에 도시된 바와 같이 1에서 1280까지 번호가 매겨진다. CLSY프레임은 8개의 서브프레임으로 나뉘어지고 그리고 각 서브프레임은 세 개의 서브섹션으로 나뉘어지고, 제 1 및 제 2 서브섹션은 54비트의 길이를 가지고 그리고 제 2 서브섹션은 52비트의 길이를 가진다.

각 CLSY프레임의 시작에서, 프레임인식을 위한 패턴이 제공되고 그리고 이 패턴은 동기펄스를 나타내는 동기패턴 또는 동기시퀀스로 불린다. PLL(5)이 인식하는 것이 이 패턴이고, 그리고 이 패턴이 PLL(5)에 의해 인식될 때마다, PLL(5)은 상응하는 동기펄스를 발생시킨다. 이 동기패턴은 클럭선택기의 출력에 나타날 때마 이후에 설명되는 바와 같이 동기패턴에 대한 카운터를 증분시킨다.

각 CLSY프레임에, 동일플레인을 나타내는 두 개의 ID-코드가 배열된다. A 플레인에서 발생된 CLSY신호에는 두 개의 ID-코드가 제공된다. 상응하는 조건이 플레인 B와 C플레인에서 발생된 CLSY신호에 적용된다.

도 3에서, 도 2에서 개략적으로 설명된 CLSY프레임의 서브시퀀스가 파형도로서 도시되어 있다. 이들 도면에서 사각형 내의 숫자는 서로 대응한다. CLSY신호에, 각 프레임에 대한 동기펄스(S), 주파수 거부시퀀스(F), 위상 거부시퀀스(P) 및 식별코드(ID-A, ID-B, ID-C)를 나타내는, 기저대역 주파수내 펄스들의 특정 비트시퀀스 또는 펄스섹션이 배열된다. 프레임의 각 서브섹션내에, 세 클럭신호중 단일의 하나에서 주파수 에러와 위상 에러를 각각 모사하기 위한 에러시퀀스(F 또는 P)가 의도적으로 도입된다. 프레임에서 주파수 거부시퀀스(F)에서 다음에 오는 두 서브섹션간의 경계까지의 간격은 항상 일정하다. 위상 거부시퀀스에서 가장 가깝게 위치된, 다음에 오는 서브섹션간의 경계까지의 간격은 또한 일정하지만 그러나 주파수 거부시퀀스에 적용되는 간격과는 상이하고 또한 이 값보다 작은 값을 가진다. ID-코드(ID-A, ID-B, ID-C)는 항상 두 서브섹션간의 경계 이후에 바로 따른다. 즉 이들은 에러시퀀스 이전에 서브섹션에 먼저 도달한다. 에러시퀀스(F 또는 P)는 서브섹션의 뒤부분을 따라, 서브섹션에는 식별코드와 의도적으로 입력된 에러시퀀스를 위한 공간(room)이 있다.

주파수 거부시퀀스(F)는 기저대역 주파수에서 두 개의 펄스가 생략되었고 그리고 생략된 두 펄스동안 부드러운 저전압레벨이 존재하는 장치로 구성되고 그리고 동시에, 위상 거부시퀀스(P)는 기저대역 주파수에서 세 펄스들이 생략된, 즉 펄스들은 한 펄스인 장치로 구성된다. 위상 거부시퀀스(P)는 각 클럭신호내, 즉 한 서브섹션내 각 클럭을 프레임에서 한 차례만 발생한다. 다른 서브섹션에서는, 합성클럭신호들중 단지 하나에만 주파수 거부시퀀스(F)가 있다. 식별코드 시퀀스(ID-A, ID-B, ID-C)는 각 프레임과 각 개별적인 클럭신호에서 두 차례 발생한다. 이들은, 그 사이에 상이한 수의 잔여펄스, 특히 식별코드 시퀀스(ID-A, ID-B, ID-C)를 위한 하나, 둘 또는 세 개의 잔여펄스를 가지는 두 개의 펄스들이 생략된 장치로 구성된다.

이후에 보다 상세히 설명되게 되는 바람직한 구성을 사용하여, 정확하게 작동하는 클럭신호선택기(3)가 각 서브프레임에서 제 1 서브섹션동안 출력신호로서 CLSY-A를 선택하게 되고, 각 서브프레임에서 제 2 서브섹션동안 CLSY-B를 선택하게 되고, 그리고 각 서브프레임에서 제 3 서브섹션동안 CLSY-C를 선택하게 된다. 따라서, 클럭신호의 새로운 선택은 도 2에서 수직의 얇고, 두꺼운 선에서 수행되게 된다. 의도적으로 입력된 다음의 에러시퀀스가 검출되고 또한 ID-코드를 만나기 전에, 이를 실행하기 위한 시간이 있게 된다.

상기에서 언급된 바와 같이, 클럭선택기(3)는 멀티플렉서를 포함하고 그리고 세 개의 입력단자와 한 개의 출력단자와 멀티플렉서를 제어하는 하나의 어드레스 입력단자를 가진다. 이후의 상세한 설명을 보라. 제어어드레스는 세 개의 도달하는 CLSY신호의 특성, 위상위치 및 주파수를 감지하고 또한 내부상태 기계로 주어진 바와 같은 이들 측정값과 기준으로부터 선택되게 되고 또한 선택기로부터 제공되게 되는 클럭을 결정하는 클럭선택기내 제어 논리회로에서 자발적으로 발생된다. 멀티플렉서의 출력측에는 ID-코드를 기록하는 장치가 제공된다. 선택적으로, 선택된 합성클럭신호의 ID-코드는 제어 논리회로로부터 직접 획득될 수 있다. 멀티플렉서의 출력단자에서 검출되는 각 ID-코드(A)에 대해, ID-A 펄스를 위한 카운터가 증분된다. ID-B와 ID-C에 상응하는 카운터가 제공된다. 상기에서 언급된 바와 같이, ID-코드를 위한 카운터 외에도, 각 동기패턴이 동기율을 위한 클럭펄스를 규정하는, 검출된 동기패턴의 수에 대한 카운터가 제공된다.

또한, 멀티플렉서의 입력측에, 이후에 설명되게 되는 ID-코드 카운터를 포함하는 장치가 제공된다. 발생기(A)로부터 클럭신호 CLSY-A가 도달하게 되는 멀티플렉서의 입력측에, ID-펄스를 감지하는 장치가 제공되고 그리고 각 펄스에 대해 카운터가 진행한다. 클럭선택기 또는 멀티플렉서의 다른 클럭신호(CLSY-B 및 CLSY-C)의 입력단자에는 상응하는 ID-B 펄스와 ID-C 펄스를 위한 카운터가 제공된다.

클럭선택기 작동하는 것을 확인하는 원리는, 소프트웨어가 카운터된 ID-코드의 수를 판독하고 그리고 멀티플렉서의 입력측의 ID-펄스 A, B 및 C의 카운터된 수가 멀티플렉서의 출력측의 카운터된 ID-펄스와 동기펄스의 수와 일치하는지를 확인하는 것이다. 카운터된 펄스들이 동일 주기로 대응하기 위해서, 모든 카운터들은 특정 시간에 동시에 리셋되고 그리고 카운트값이 판독되기 전에, 이의 증분이 동시에 중단된다.

관리기능을 책임지는 소프트웨어가 설치된다. 이 소프트웨어는 특정 주기로 카운터값을 판독한다. 모든 카운터들이 판독된 후에, 카운터들은 리셋되고 그리고 카운터들이 판독되기 전에, 그들의 카운터값은 갱신되지 않도록 상기 논의에 따라 동시에 동결된다. 이에 의해 모든 카운터값들은 동일 시간주기에 일치하게 된다.

정확한 기능을 위해, 카운터된 펄스들의 수를 설명하기 위하여, 보다 정확히 말하면, 클럭선택기(3)내 카운터에 의해 기록된 상이한 카운터값들간의 존재하는 관계를 설명하기 위하여, 먼저 CLSY신호가 구성되는 방식을 상세히 설명한다. 클럭선택기(3) 뒤에 제공되는 PLL(5)은 비교적 늦게 변경될 수 있기 때문에, ID-코드와 인위적인 에러, 모사된 에러 둘다에 대해 민감하지 않다는 것을 알아야만 한다. 또한, 클럭선택기 이후에 클럭선택기 내로 클럭신호의 삼중분산은 더 이상 삼중이 아니라는 것을 알 수 있을 것이다. 각 플레인에서 PLL(5)은 삼중이 아니고, 각 플레인에 한 PLL(5)이 있어서, 이러한 방식으로 PLL은 삼중으로 된다. 만일 PLL중 하나가 고장난다면, 전체 플레인이 고장나게 된다는 사실을 알 수 있다. PLL(5)에서의 에러는 눈으로 볼 수 있기 때문에, PLL(5)의 관리확인용 공급할 필요는 없다. 시스템에서, 잘못된 PLL(5)이 확인되지 않고서 존재할 수 없다. 이에 반해, 클럭선택기의 에러의 검출을 위한 특별한 관리기능이 제공되지 않았다면, 클럭선택기(3)에서의 에러가 존재할 수 있다. 예컨대, 몇몇 고장으로 인해 A 플레인과 B 플레인내 클럭선택기가 예컨대 A와의 다른 클럭을 선택할 수 없게 될 수 있다. 여유도가 의도된 방식으로 작동하지 않는다고 해도, 클럭 A가 존재하고 또한 정확한 한 시스템은 잘 작동되게 된다. A 플레인내 CLSY발생기(1)에서 에러가 발생하면, 전체 시스템은 작동을 중단하게 된다. 따라서, 에러가 존재하지 않는 것을 보장하기 위하여, 클럭선택기(3)내에 신뢰성이 있는 관리기능을 제공하는 것이 중요하다.

클럭선택기(3)에서 CLSY신호와 기능들은 클럭신호들과 관리테스팅간에 사이클이 제공되게 되도록 서로간에 조화가 이루어진다. 특히 클럭선택기(3)는 위상에러 및/또는 주파수에러를 가지는 신호들을 배제하도록 설계된다. 위상 및/또는 주파수에러를 위한 검출기가 어떻게 만들어지는가를 알면, 특정 패턴들이 CLSY신호에 입력될 수 있어서, 위상 및/또는 주파수에러를 위한 클럭선택기내 검출기들이 항상 사용되도록 한다.

위상모니터링은 다음 방식으로 이루어진다: 각 CLSY신호 쌍간의 위상위치, 즉 A와 B, B와 C, 및 C와 A간의 위상위치는, 이후에 보다 상세히 설명되는 바와 같이, 위상에서 에지들이 특정 수의 나노초, 예컨대 44 내지 49나노초로 설정될 수 있는 특정 수의 나노초('위상허용원도우') 이상으로 분리되지 않도록 하는(='스큐드') 방법에 의해 확인된다. 각 CLSY신호내 양의 에지는 위상허용원도우의 폭과 동일한 한정된 존속기간을 가지는 펄스로 변환된다. 이들 펄스들은 미분펄스로 불린다. 위상에 대해서 비교되게 되는 두 플레인으로부터의 미분펄스들은 AND-게이트에 연결된다. 만일 두 CLSY신호가 미분펄스의 폭 이상으로 위상에서 분리된다면, AND-게이트로부터 출력신호로서 아무런 논리적인 신호가 없게 된다. 만일 신호들인 위상이 같거나 또는 위상허용원도우의 폭 이상으로 분리되지 않았다면, 양 미분펄스들이 시간주기동안 논리적으로 참(true)이기 때문에, AND-게이트로부터 출력신호로서 논리적으로 참 신호가 발생되게 된다. AND-게이트로부터 출력신호로서 이러한 방식으로 발생한 신호는 일치펄스로 불린다. 정상적으로 작동하는 시스템에서 CLSY신호가 그들의 위상에 관해 위상허용원도우의 폭 이상으로 분리되지 않는다는 것, 즉 모든 미분신호들이 상응하는 일치펄스가 되게 되고 그리고 각 CLSY신호내 양의 에지에서부터 발생하는 미분신호들이 많아야 약 600나노초의 주기성을 가진다면, 결과는, 일치펄스간이 시간주기가 동시 양의 천이 또는 천이들간의 시간주기, 즉 길어야 약 600나노초와 일치하게 되는 것이 된다는 것을 알아야 한다. 일치펄스간이 시간주기가 모니터링되어, 두 개가 CLSY신호가 서로간에 위상일치되는지를 조사하게 된다; 시간주기가 650나노초 아래인 경우에, 신호들은 서로간에 위상이 일치한다고 말할 수 있다. 시간주기가 650나노초 이상인 경우에, 적어도 두 개의 미분신호들이 충분히 동시에 도달하지 않아(충분한 오버랩이 없이), 위상허용원도우의 폭 이상으로 분리되어 서로간에 위상이 일치하지 않게 된다.

위상감도가 작동하는지를 확인하기 위하여, CLSY신호에서 적절한 수의 양의 천이들이 제거될 수 있다. 그

런 다음, 위상모니터링 논리회로가 작동하는 경우에, 상응하는 위상경보가 발생되게 되고 그리고 클럭선택기(3)에서 클럭의 변환기 이루어지게 된다.

만일 위상에러가 존재한다면, 예컨대 CLSY-A에서 CLSY신호를 조작함으로써 생성된 실제 또는 '진짜' 에러가 존재한다면, 위상모니터링 논리회로 클럭신호(A)와 클럭신호(B)의 서로간의 위상에러를 측정하게 되고 그리고 클럭신호(C)와 클럭신호(A)의 서로간이 위상에러 측정하게 되지만, 그러나 클럭신호(B와 C)의 서로간의 위상에러를 측정하지 못한다. 조합적인 방식으로 위상모니터링 논리회로부터의 정보를 복호함으로써, 한 플레인이 한 에러를 가지는 경우에 위상에러를 가지는 플레인에 관해 결론이 이루어질 수 있다.

만일 클럭선택기(3)에 의해 선택되는 한 플레인이 고장이 있는 것으로 통지되었다면, 다른 플레인의 선택이 이루어지게 된다. 선택되게 되는, 작동하는 두 개의 잔여 플레인중 하나가 클럭선택기(3)내 상태장치에서 결정된다. 아래를 보라. 만일 클럭신호(A)가 선택되고 그리고 A가 고장나게 되는 경우에, 클럭신호(B)가 선택된다. 만일 클럭신호(B)가 선택되고 그리고 B가 작동을 정확히 중단한다면, 클럭신호(C)가 선택된다. 만일 합성클럭신호(C)가 선택되어 작동을 중단한다면, 클럭신호(A)가 선택된다. 만일 클럭신호가 선택되고 그리고 다른 클럭중 어떠한 것이 작동을 중단한다면, 재선택이 이루어지 않는다. 작동을 중단한 다른 클럭신호로 인해 고려된 클럭신호가 선택된 경우와 이 중단된 클럭신호가 다시 작동을 개시하는 경우에, 클럭선택기(3)는 최근에 선택된 클럭신호로 남게 되고 다시 복귀하지 않는다. 예컨대, 만일 클럭신호(A)가 선택되어 작동을 중단한다면, 클럭신호(B)가 선택된다. 만일 클럭신호(A)가 다시 정확하게 작동을 한다면, 클럭선택기(3)는 여전히 클럭신호(B)를 가지고 있게 된다.

선택된 CLSY신호로부터 선택된 수의 양의 천이(=에지)를 제거함으로써, 클럭선택기(3)는 이 신호가 고장이라는 것을 판단하게 되어, 이 신호를 선택취소하고 그리고 대신에 상태장치에 따라 차례로 클럭신호를 선택한다. 에러검출기를 트리거시키고 또한 다양한 고장을 모사하는 CLSY신호내 의도적인 시퀀스는 여기서 거부코드로 부른다.

상이한 위치에서 CLSY신호에 그러한 거부코드를 입력시킴으로써, 클럭선택기(3)는 순환하는 일렬순으로 상이한 클럭신호(CLSY-A, CLSY-B, CLSY-C)를 순환적으로 선택할 수 있게 된다. 변환이 이루어지는 CLSY신호에 ID-코드를 삽입시킴으로써, 변환이 이루어지게 되는 시간후에 바로 오는 CLSY신호내 규정된 위치에서, 시스템은 ID-코드에 대한 카운터를 판독함으로써 모든 에러검출기들이 작동한다는 것을 확인할 수 있다. 만일 에러검출기중 어떤 하나가 작동하지 않는다면, 다음의 CLSY신호에 변환이 이루어지지 않게 되어, 상응하는 ID-코드가 의도된 카운터에 의해 기록될 수 있다. 다른 한편, 만일 에러검출기가 항상 경보를 발생하는 방식으로 에러검출기가 고장난다면, 부정확한 수의 ID-펄스가 카운터가 되게 된다. 에러의 원인의 진단은 입력들이 기록된 ID-코드수로 구성되는, 적절히 설계된 복호테이블로 이루어질 수 있다.

위상에러외에도, 주파수에러가 모니터된다. 도달하는 세 개의 CLSY신호들의 주파수는 논리적으로 발생된 크로노메터율(chronometer rate)을 비교함으로써 감득될 수 있다. 따라서, 위상모니터링의 경우와 같이, 신호간에 상대 비교는 없지만, 그러나 입력되는 각 신호의 주파수의 크로노메터율에 대한 확인이 있다.

각 클럭선택기(3)에, 도달하는 각 CLSY신호를 위한 주파수 모니터링유닛이 제공되고 그리고 이 모니터링 유닛은 각 CLSY신호에 상응하는 주파수경보를 제공할 수 있다. 주파수모니터링은 다음 방식으로 이루어진다: 만일 CLSY신호가 너무 긴 주기를 가진다면, 경보가 발생된다. 경보한계는 예컨대 400나노초로 설정될 수 있다.

주파수모니터링이 작동하는지를 확인하기 위하여, CLSY신호에서 적절한 수의 싸이클이 일정한(전압)레벨로 교체될 수 있어서, '400나노초 보다 긴 시간주기'라는 기준이 이행된다. 주파수에러를 모사하는 그러한 시퀀스는 주파수 거부코드로 불리고 그리고 위상에러를 모사하는 시퀀스는 위상 거부코드로 불린다.

클럭선택기(3)에서 주파수에러에 관한 정보는 위상에러에 관한 정보와 함께 조합적인 테이블에 주어진다. 도 7b를 보라. 테이블로부터의 출력신호는 유효하고 또한 정확한 CLSY신호를 나타낸다. 클럭선택을 위한 상태장치와 함께 이 정보는 선택될 클럭을 결정한다. 상태장치로부터의 출력신호들은 멀티플렉서의 어드레스 입력단자와 통신하고 또한 그러한 방식으로 선택된 클럭을 제어한다.

상기에서 설명된 바와 같이, 다양한 위치에서 CLSY신호에 주파수 거부코드를 삽입시킴으로써, 클럭선택기(3)는 순환하는 일렬순으로 CLSY-A, CLSY-B, CLSY-C를 순환적으로 선택할 수 있게 되어, 선택된 클럭신호의 다음 서브섹션으로 천이시에 변환이 항상 이루어진다. 각 프레임에 두 개의 식별코드를 배열함으로써, 조우되는 코드의 수가 선택된 클럭신호에서 카운트될 수 있고 그리고 이에 의해 에러검출기가 작동하는지를 확인할 수 있게 된다. 위상에러시퀀스를 검출한 후에 변환이 이루어지는, CLSY신호에 ID-코드를 삽입시킴으로써, 이 경우에 변환이 이루어진 후에 즉시 감지될 수 있어서, 시스템은 ID-코드에 대한 카운터를 판독함으로써 모든 위상검출기들이 작동하는지를 확인할 수 있다. 위상에러 검출기가 작동하지 않는 경우에, 의도적으로 도입된 위상에러가 클럭신호에 존재하면, 선택된 클럭신호로부터의 변환이 이루어지지 않게 된다. 이는, 순환적인 시퀀스 ABCABCA...로 서브시퀀트신호의 ID-코드가 기록되지 않고 카운트되지 않게 한다. 상응하는 조건이 주파수에러에 적용도니다. 일반적으로, 각 프레임에 대한 평균으로서, ID-코드들은 각 클럭신호(CLSY-A, CLSY-B, CLSY-C)에 대해 두 차례 카운트되게 된다.

주파수 거부펄스는 약 500나노초의 길이이다. 위상 거부펄스는 약 700나노초 길이이다. 주파수 거부펄스는 위상검출기를 트리거시키지 않지만 그러나 위상 거부펄스는 주파수검출기를 트리거시킨다. 위상 거부펄스후에 ID-코드를 판독하는 것을 의미있도록 하기 위해, 주파수 검출기가 아닌 위상검출기가 클럭의 변환을 야기시키도록 보장하여야만 한다.

따라서, 위상검출기에 의해 야기된 클럭변환이 주파수검출기에 의해 야기된 변환보다 보다 훨씬 더 급속하게(=쉽게)되도록 만들어지고 또한 위상 거부펄스 또는 위상 거부코드와 관련된 ID-코드가 위상 거부펄스의 시간뒤에 바로 위치되도록 하는 방법이다. ID-코드는 변환이 이루어지는 바로 그 CLSY신호에 제공된다. 이는 도 2로부터 알 수 있고, 도 8, 9 및 10의 사각형에 표시되어 있는 섹션을 보라.

만일 위상 거부펄스가 CLSY-A 에 입력된다면, 위상검출기가 (인위적인)위상에러를 검출하자마자, 클럭선택기(3)는 클럭신호(B)를 선택한다. 만일 클럭신호(B)가 선택되고 그리고 CLSY-B에 ID-B가 존재한다면,

ID-B는 클럭선택기내 멀티플렉서의 출력단자에서 볼 수 있게되어 카운트될 수 있게 된다.

만일 CLSY-A에 위상 거부펄스가 입력되지만, 그러나 위상검출기가 고장이라면, 클럭선택기(3)내 주파수검출기는 지연시간전에 클럭신호(A)에서 클럭신호(B)로 클럭의 변환을 야기시킨다. 만일 클럭신호(B)가 선택되고 그리고 CLSY-B에 ID-B가 존재한다면, ID-B가 위상 거부펄스후에 바로 위치된다 하더라도, 변환이 주파수검출기에 의해 야기되는 것으로 인해 CLSY-B로 변환이 지연되기 때문에, ID-B는 멀티플렉서의 출력단자에서 볼수 없게 된다. 도 3의 세밀한 파형도를 기초로 적절한 지연들이 선택될 수 있다. 1과 8을 포함하는 사각형에서의 도면을 보라. 클럭신호의 선택은 서브섹션간의 경계, 예컨대 그러한 경계로부터 한 또는 두 펄스에 상응하는 시간에 이루어진다. 이는, 가장 가까운 시간주기동안, 특히 고려된 서브섹션내에서 에러가 없는 클럭신호들을 고려함으로써 위상에러(P) 거의 직후에 선택이 이루어진다는 것을 의미한다. 만일 주파수에러를 검출할 때 상기에서 언급된 지연이 적어도 클럭율의 4내지 5주기라면, 주파수검출기에 의해서만 검출된 의도적으로 도입된 위상에러가 서브섹션 경계에서 새로운 클럭신호의 선택에 포함되지 않게 되지만, 이의 고려는 다음 경계전까지 이루어지지 않는다.

이러한 방식으로, 위상 거부펄스로 주파수검출기이 영향에 의한 테스트손상을 가지지 않는 위상검출기만의 관리테스트를 가능하게 하고, 그리고 주파수 거부펄스로, 주파수 거부펄스 때문에 위상검출기가 경보신호를 발생시키도록 함이 없이 주파수검출기만으로 관리테스트를 할 수 있게한다.

각 CLSY프레임에는, 한 위상 거부펄스와 일곱의 주파수 거부펄스들이 배열된다. 이는, 한 CLSY프레임내에서 여덟차례의 시퀀스 A-B-C를 통해 클럭선택기들이 작동한다는 것을 의미한다. 즉, 시퀀스 A-B-C는 64kHz의 주파수로 동작한다는 것을 의미한다. 이 비교적 높은 주파수의 장점은, 만일 클럭선택기에 도달하는 세 개의 클럭신호들이 부품의 분산으로 인해 서로에 대해 위상이 어느정도 어긋난다면, 클럭선택기 직후에 변조된 CLSY신호 위상단계는 비교적 낮은 한계주파수를 가지는 PLL(5)에 의해 부드럽게 되거나 또는 균일하게 된다. PLL(5)은 관련된 클럭선택기(3)가 항상 선택된 클럭신호를 그러한 높은 주파수로 변환시키는 것을 포함하는, 관리테스트에 의해 도입되는 위상지터를 감소시킨다.

클럭시스템은 또한, 유닛들이 직렬로 연결되도록 한다. 제 1 단계(I)에서, 클럭신호들은 항상 발생기(1)에 의해 발생된다. 도 1을 보라. 다음 단계(II)에서, 각 플레인에 대해, 클럭선택기(3)에 의해 소오스(1)에 의해 발생된 클럭신호들중에서 한 클럭신호가 선택되고 그리고 이로부터 PLL(5)에 의해 고주파수 클럭신호 또는 시스템 비트클럭 또는 동기신호들이 각각 추출되거나 또는 생성된다. 이들 두 검출된 단순한 클럭신호들은 이 단계(II), 또는 다음에 오는 단계(III)에 위치될 수 있는 클럭재발생기(6)로 전달된다. 이들 재발생기(6)에서, 동기패턴, 식별코드, 주파수 및 위상 거부시퀀스를 도입시킴으로써 다시 한번 합성클럭신호들이 형성된다. 이들 새로운 클럭신호들은 다음 단계(III)에서 클럭선택기로 통신되어 전달된다. 캐스케이드된 여러 클럭시스템에서 특히 유용한 장점은, 각 단계의 각 플레인에서 클럭신호들의 위상위치의 평균형성이 클럭선택기(3)와 PLL(5)에 의해 이전 단계에서의 플레인으로부터 만들어진다는 것, 즉 각 단계의 각 플레인에서 평균형성은 이전 단계의 동일한 세 플레인으로부터의 클럭신호로 만들어져, 선행단계의 플레인들의 클럭신호에 대한 위상차가 부드러워지거나 또는 균일해지게 된다는 것이다.

클럭선택기(3)의 구성은 도 4의 블록도에 설명되어 있다. 이의 중심부는 검출기로부터의 상이한 신호들을 기초로 주로 논리적인 선택을 수행하고 또한 멀티플렉서를 포함하는 클럭선택기 제어유닛(7)이다. 상이한 합성클럭신호(CLSY-A, CLSY-B, CLSY-C)들이 클럭선택기유닛(3)에 도달한다. 도달하는 그러한 신호들은, 도달하는 합성클럭신호에서 기저대역 주파수의 고주파수가 정확한지를 판단하는 검출기(9)로 통신된다. 또한, 추출기(9)는 식별코드가 조우될 때 마다 펄스를 제공하고 또한 도달하는 신호에 존재하는 식별코드를 추출한다. 또한, 그러한 검출기(9)는 동기를 나타내는 입력신호내의 펄스의 시퀀스(S)가 발견될 때 마다 출력펄스를 제공한다.

또한, 클럭선택기유닛(3)에는, 상이한 신호들에서 주파수, 기저대역 주파수를 가지는 펄스들의 펄스들이 서로 일치하는지를 결정하고 또한 동기패턴의 위상이 일치하는지를 결정하고 그리고 일치가 검출되지 않으면 신호를 제공하는 위상검출기(11)가 제공된다. 클럭선택기(3)는 적절한 프로그램 루틴 또는 상응하는 장치, 예컨대 상태장치와, 도달하는 합성클럭신호에서 검출된 상이한 펄스시퀀스를 위한 카운터(13)와 선택된 합성클럭신호에서 조우된 식별코드를 위한 카운터(14)를 포함하는 모니터제어(12)를 포함한다. 클럭선택기(3)내 다양한 회로들은 클럭회로(10)로 설명되는 바와 같이, 국부적인 클럭신호, 특히 184MHz의 주파수를 가지는 클럭신호를 사용한다.

동기패턴, 주파수에러 및 ID-코드를 위한, 결합된 검출기(9)의 구조가 도 5의 블록도에 설명된다. 이의 주 부분은 도달하는 신호에서 식별시퀀스가 조우되거나 또는 검출될 때 마다 표준길이를 가지는 펄스를 제공하고, 동기펄스가 검출될 때 마다 유사한 펄스를 제공하고 또한 도달하는 신호가 충분히 긴 시간주기 동안 일정한 레벨을 가지는 경우에 유사한 펄스의 형태인 에러신호를 제공하는 검출기(15)이다. 따라서, 검출기(15)는 도 2와 3에서 S와 ID-A, ID-B, ID-C로 각각 표시되는, CLSY-A내 신호섹션을 검출하는 것이다. 또한, F와 P로 표시된 신호섹션이 조우되면, 검출기(15)는 항상 신호를 제공하는데, 이는 도 3에서 명확히 알 수 있는 바와 같이, 이들 신호섹션동안, 합성클럭신호는 서로 이후에 오는 시간동안 펄스의 생략과 또한 일정한 전압의 상태가 존재하는 일정한 시간길이가 도달하는 합성클럭신호의 기저대역 주파수의 다섯 개의 반사이클 주기에 상응하도록 설정되는 임계값보다 크기 때문에 일정하게 되기 때문이다. 검출기(5)는 입력단자에 합성클럭신호중 하나가 통신되어 입력되는 시프트레지스터(17)를 포함한다. 시프트레지스터에서 클럭시프트는 30MHz(정확히 30.72MHz)의 국부적으로 발생된 클럭신호에 의해 생성된다. 시프트레지스터(17)내 상이한 위치들은 소망된 신호들을 그의 출력단자에서 전달하는 복호기(19)에 연결된다.

결합된 복호기(9)는 또한 도달하는 합성클럭신호에서 동기패턴의 정확한 검출을 위해 검출기(21)를 포함하고, 도 5b-5e의 파형도를 비교한다. 검출된 동기패턴 후에 오는 도달하는 신호내 바로 그 펄스(도 5b를 보라)는 이 검출기에서부터 온다. 이를 이루기 위하여, 먼저 동기패턴을 검출하면 검출기(15)에 의해 제공된 펄스가 사용되고 그리고 이 펄스는 30MHz의 해상도를 가진다. 도 5c를 보라. 이 짧은 펄스는 적절히 조화된 지연을 가지는 펄스정형회로(23)에 공급된다. 펄스정형회로(23)로부터 제공된 신호는 적절한 길이와 시간위치를 가져, 도달하는 합성클럭신호내 5MHz의 기저대역 신호에서 직후에 오는 펄스를 항상 커버하게 된다. 도 5d를 보라. 그런 다음, 이 긴 신호는 AND-게이트(24)에 공급되고, 게이트의 다른 입력에는 합성클럭신호 CLSY-A가 전달되고 그리고 도 5e의 도면에서 설명된 바와 같이 AND-게이트로부터 출력펄스가 확

득된다.

또한, 결합된 검출기(9)에, 동기패턴의 주파수가 너무 높은지를 결정하기 위한 또는 두 동기패턴간의 시간주기가 너무 짧은지를 결정하기 위한 검출기(25)가 제공된다. 이 비교를 위해, 120kHz의 주파수를 가지는 국부적인 클럭소오스가 사용된다. 동기패턴의 주파수가 너무 높은것으로서 결정되는 경우에 검출기(25)로부터 신호가 제공되어, 이 신호는 OR-게이트(26)에 전달된다. OR-게이트(26)의 출력단자에는 몇몇 종류의 주파수어러가 검출되었다는 것을 나타내는 신호가 제공된다.

도달하는 신호가 시간주기동안 일정한 것으로 검출되었다는 것을 나타내기 위한, 주 검출기(15)에서 발생된 신호는, 상기에서 그 기능이 설명된 지연회로(28)에 전달된다. 지연된 에러신호는 또한 OR-게이트(26)의 입력에 전달된다.

결합된 검출기(6)에 도달하는 합성신호는 또한 도달하는 합성클럭신호에 양의 에지 또는 양의 천이가 존재할 때 마다 펄스를 제공하는 검출기(31)에 전달된다. 이는 국부적인 클럭소오스로부터 유도된 184MHz의 고주파수로 도달하는 CLSY신호를 샘플링함으로써 이루어진다. 샘플링에서 검출된 상승하는 천이들은 다음에 오는 검출기(33)에서 사용되는 펄스로 변환된다. 이 검출기는 입력되는 펄스들의 줄파수를 평가하고 그리고 판단된 주파수가 너무 높은 경우에 신호를 제공한다. 제공된 신호는 또한 OR-게이트(26)에 전달된다.

도 6a에는, 위상검출기(11)의 구조가 설명된다. 상기에서 설명된 바와 같이, 위상검출기에는 합성클럭신호(CLSY-A, CLSY-B, CLSY-C)와 또한 여기서 synchp. A, synchp. B, 및 synchp. C로 각각 표시되는, 상응하는 합성클럭신호와는 분리되었고 또한 신호내 동기섹션 바로 다음에 오는 개별적인 펄스들이 도달한다. 이들 신호 각각은 미분회로(27 및 29)에 전달된다. 이들 미분회로들은 각각, 상기에서 몇몇 유닛에 대해 언급되었던것과 같은 방식으로, 국부적으로 발생된 184MHz의 내부 주파수에 의해 클러되는 시프트레지스터(31')로 구성된다. 도 6b를 보라. 시프트레지스터(31')는 10비트의 크기를 가진다. 시프트레지스터(31')에서 제 9 및 제 10 위치는 두 개의 AND-게이트(33' 및 35)의 반전입력에 연결되어, 이들 게이트의 출력단자에서 다른 길이를 가지는 출력펄스들이 획득된다. 도 6c에는, 시간에 따른 파형으로서 입력하는 신호가 도시되어 있다. 신호는 일정한 시간에 높은 논리적 레벨을 지속한다. 도 6d에 제 1 AND-게이트(33')로부터의 출력신호들이 상응하는 방식으로 설명되고 또한 184MHz(정확히 184.32MHz)의 국부적인 주파수의 8 내지 9주기(unity interval:단위간격)의 길이를 가지는, 짧은 펄스 또는 diff_short로 불리는 펄스를 포함한다. 다른 AND-게이트(35)로부터의 출력신호가 도 6e에 상응하는 방식으로 설명되어 있고 또한 9 내지 10주기의 길이를 가지는, 긴 펄스 또는 diff_long로 불리는 긴 펄스를 포함한다. 길이의 불확실성은 빗금친 필드(36)로 설명하고 또한 이는 주파수 MHz를 가지는 국부적인 펄스신호의 불연속의 속성(discrete nature)과 도 6c의 입력신호에 대한 이의 위상위치에 따른다. 그러나, 긴 펄스는 항상 정확하게 짧은 펄스보다 한 주기길이 길다. 획득된 펄스의 시작은 도달하는 신호에 의해 정확하게 결정되게 되고, 감소하는 에지인 끝은 184MHz의 주파수를 가지는 국부적으로 발생된 클럭신호에서 상응하는 천이에 관련된다.

클럭신호를 위한 미분유닛(27)으로부터 긴 미분펄스만이 전달되고 그리고 두 개의 미분유닛으로부터의 이들 펄스들은 쌍으로서 일치검출기(37)에 공급된다. 그러한 세 개의 동일한 일치검출기(37)들이 구성된다. 일치검출기(37)는 AND-게이트(43)와 게이트의 출력에 연결된 적절한 펄스정형 및 펄스지연회로(45)로 구성된다. 도 6f를 보라. 두 개의 입력신호(In1, In2)가 오버랩되는 펄스를 가지면, 검출기(37)로부터, 184MHz의 고주파수의 국부적으로 발생된 클럭신호에 대해 이루어졌을 때 항상 길이 7UI를 가지고 또한 항상 한정된 위상위치를 가지는 출력펄스가 획득된다. 또한, 항상 출력펄스의 시작과 도달하는 제 1 펄스의 시작간의 시간은 184MHz의 국부적으로 발생된 클럭신호의, 한정된 수의 전체 주기(길이 UI)와 이외에도 그러한 주기보다 짧은 짧은시간간격을 포함한다.

일치검출기(37)에서 미분유닛(27)으로부터의 긴 펄스의 프로세싱을 위한 파형이 도 6g-6i에 설명된다. 여기서 먼저, 시간의 함수로서, 도 6g-6i의 상부에서 184MHz의 국부적으로 발생된 펄스신호를 설명한다. 펄스신호 아래에, 일치가 결정되게 될 두 개의 도달하는 신호(In1, In2)가 도시되어 있다. 도달하는 신호 아래에는, AND-게이트로부터의 출력신호가 도시되어 있다. 하부에는 마지막으로 제공된 신호의 파형(Out)가 설명된다. 도 6g에서, 입력신호의 펄스들은 6UI 이상으로, 비교적 크게 오버랩되고, 도 6h에서의 오버랩은 1UI의 몇분의 1이다. 도 6i에서는, 입력펄스간에 전혀 오버랩이 존재하지 않아, 당연히 출력펄스가 획득되지 않는다.

동일형의 일치검출기들이 미분된 동기펄스에관해 쌍으로 이루어진 신호들을 위해 설치된다. 즉, 짧은 펄스를 위한 일치검출기(39)와 발생된 긴 펄스를 위한 일치검출기(41)가 설치된다.

그 펄스가 184MHz의 국부적으로 발생된 클럭신호의 일곱주기의 길이를 가지는, 일치검출기(37, 39, 41)로부터의 신호들은, 도달하는 펄스들이 그들간에 너무 큰 시간간격을 가지는 경우에 신호를 제공하는 모니터링회로 또는 검출기(51, 53 및 55)에 전달된다. 합성클럭신호의 기저대 주파수에 있어서, 이들 시간간격은 650나노초에 설정되지만, 그러나 동기신호에 있어서는, 임계값은 125마이크로초를 포함하는 의도된 주기와 대비되도록 140마이크로초 이다.

5.12MHz의 신호에서 다섯 개의 반사이클 주기의 길이를 가지는 주파수 거부시퀀스가 위상에러로서 검출되지 않고서, 도달하는 신호에서 5.12MHz의 기저대 주파수의 일곱 개의 반사이클을 포함하는 위상 거부시퀀스가 위상경보를 트리거하고 또한 검출기(51)로부터 신호가 전달되도록, 합성클럭신호내 기저대 주파수에 대해 650나노초의 임계값이 설정된다. 기저대역 주파수 5.12MHz의 다섯 개의 반사이클은 480나노초의 시간 길이에 상응하고 그리고 일곱 개의 반사이클은 683나노초에 상응한다.

동기 신호들의 일치는 상이한 길이를 가지는 두 개의 미분펄스를 위한 간격 모니터링회로(53 및 55)에서 검출된다. 이들 모니터링회로(53 및 55)로부터, 이들 펄스중 두 개간의 간격이 140마이크로초를 초과하는 경우에 출력펄스들이 제공된다.

간격 모니터링회로(51, 53, 55)의 구조는 도 6j에 설명된 바와 같을 수 있다. 카운터(52)는 예컨대 184MHz의 국부적으로 발생된 클럭신호에 의해 클럭된다. 카운터(52)의 내용은 결합적인 망(54)에 의해 임계값에 비교된다. 임계값이 이루어지면 회로로의 출력신호를 제공하고 그리고 그런 다음 카운터(52)의 증분이 증

단된다. 카운터는 일치검출기로부터 신호가 제공되면 리셋되어 시작된다.

동일한 쌍의 입력신호(synchp. A, synchp. B, synchp. C)를 수신하도록 연결되는 각 검출기회로(53, 55) 쌍으로부터 출력펄스들은, 위상에러가 임계값의 크기내에 있을 때 동기패턴의 위상에러신호가 너무 자주 발생하지 않도록 보장하는 히스테리시스회로(57)에 전달된다. 그렇지 않다면 불필요하게 자주 위상에러신호를 제공하게 된다. 이는, 184MHz의 국부적으로 발생된 클럭신호의 위상이 있을 수 있는 위상에러가 검출되어야 하는 두 개의 입력클럭신호의 위상에 대해 고정된 위상을 가지지 않는다는 사실에 기인한다. 도 6g와 6h에 따른 파형도로부터 결정될 수 있는 바와 같이, 미분회로로부터의 8-9UI를 가지는 짧은 펄스들은 최악의 경우에, 펄스의 시작이 9UI와 거의 같은 정도로 분리되는 경우에 일치를 나타내는 출력신호를 제공하고 그리고 짧은 펄스의 선두 에지가 8UI보다 어느정도 이상으로 분리되는 경우에 일치치를 없음을 나타내는, 즉 출력펄스가 없고 또한 위상에러가 없는 것을 나타내는 출력신호를 제공할 수 있다. 상응하는 조건들이, 모든 시간주기가 1UI로 증가되는, 9-10UI의 길이를 가지는 긴 펄스들에 적용된다.

예컨대, CLSY-A와 CLSY-B가 서로간에 1UI를 포함하는 위상차를 가지고 또한 CLSY-C가 CLSY-A에 대해 8.5UI의 위상차와 CLSY-B에 대해 9.5UI의 위상차를 가진다고 가정한다. 이 경우에, CLSY-C는 다른 두 클럭신호와 비교하면 동기 또는 위상이탈로서 해석될 수 있다. 먼저, CLSY-C가 동기인 것으로 결정되면, 클럭선택기는 모든 세 클럭신호 사이를 주기적으로 변경하여, 이는 항상 PLL(5)의 입력신호로서 선택되고 전달된 클럭신호에 특정한 특정한 평균위상을 제공한다. 얼마간의 시간주기 후에, PLL이 184MHz의 국부적으로 발생된 클럭신호에 대해 그의 입력위상을 변환하면, 그러나 CLSY-C는 다른 두 클럭신호들에 대해 위상이 어긋나 있는 것으로 결정되게 된다. 그러면, 클럭선택기는 대신에 전달된 클럭신호내 새로운 평균위상값을 향해 발진을 개시하게 되는 PLL(5)에 다른 값의 평균위상을 제공하는 CLSY-A 및 CLSY-B를 선택적으로 선택하게 된다. 더 이상의 시간주기 후에, CLSY-C는 다시 다른 두 클럭신호와 동기되는지 판단된다. 이는, 항상 길이차가 1UI인 긴 펄스와 짧은 펄스를 발생시키고 또한 히스테리시스기능 제공함으로써 제거될 수 있는 지터가 된다.

히스테리시스회로의 상태도가 도 6k에 도시되어 있다. 회로는, 고려된 신호들이 서로 동기일 때 장치가 취하는 상태인 제 1 상태(58)와 신호들이 위상에러를 가질 때 취해지는 제 2 상태(58'), 즉 두 상태를 포함한다. 제 2 상태(58')에서, 경보신호가 회로로부터 제공된다. 상태기계는, 미분회로(29)에 의해 발생되고, 후에 일치회로와 간격 모니터링회로에 의해 프로세스된, 긴 펄스로부터 유도되는 펄스를 수신하면 제 1 상태에서 제 2 상태로 이동한다. 그러면, 항상 짧은 펄스로부터 시작되는 펄스들이 수신된다. 동일한 방식으로, 상태장치는 미분회로(29)에 의해 발생되는, 짧은 펄스에서부터 오는 펄스들을 수신하면 제 2 상태에서 제 1 상태로 이동한다.

도 6i에는 히스테리시스기능을 설명하는 도표가 도시되어 있다. 횡축에는 클럭신호들의 위상차가 단위 UI(=국부적인 클럭신호의 단위 간격)로 플로트되어 있고 그리고 종축에는 상태장치의 두 상태(58, 58')가 도시되어 있다. 따라서, 위상차가, 불확실성이 국부적인 클럭신호로 인한 양자화에 의존하는, 9-10 UI보다 약간 크게되면, 제 2 상태로 천이가 이루어지고, 위상차가 8-9UI보다 약간 작다면 제 2 상태로부터의 천이가 가능하다.

히스테리시스회로(57)로부터의 신호는, 일치펄스들간의 너무 긴 주기 또는 시간간격을 나타내는, 히스테리시스회로(57)로부터 펄스를 수신하면, 4초의 시간주기동안 이 펄스를 유지하고 그리고 그의 출력단자에 적어도 4초 길이의 펄스를 가지는 펄스를 제공하는, 유지회로(hold circuit)(59)에 전달된다. 이는 도 6n-6o의 파형도로 설명되어 있는데, 도 6n에는 유지회로(59)에 도달하는 펄스가 도시되어 있고 그리고 도 6o에는 유지회로에 의해 제공되고 또한 4초의 보장된 길이를 가지는 펄스가 설명되어 있다.

마지막으로, 유지회로(59)로부터의 에러신호는 OR-회로(61)에 공급되고, 회로의 다른 입력단자에는 도달하는 합성신호의 기저대 주파수에서 너무 긴 주기가 존재하는지를 나타내는 신호가 공급된다. OR-회로(61)로부터의 신호들은 그런 다음에 클럭선택기 제어회로(7)에 공급된다.

두 개의 합성클럭신호(CLSY-A와 CLSY-B)에서 서로에 대해 동기패턴의 위상에러를 결정하기 위한 회로가 도 6m에 설명된다. 이들 클럭신호들은 상기 블록(15)내 회로들에 각각 대응하는 각 클럭신호에 대한 개별적인 복호기(60)에 공급된다. 이로부터 복구된 동기펄스가 제공되고 또한 각 복호기(60)로부터, 짧은 펄스를 위한 미분회로(603)와 긴 펄스를 위한 미분회로(605)로 각각 전달된다. 미분회로들은 상기 미분회로(29)와 상응하고 그리고 이들은 국부 발진기(607)로부터 이 고주파수를 가지는 동일한 클럭신호에 의해 클럭된다. 따라서, 이들은 항상 국부적으로 발생된 클럭신호의 한 주기의 차이의 길이를 가지는 미분펄스를 공급한다. 짧은 펄스를 위한 미분회로(603)로부터의 펄스들은 상기 설명된 검출기(39)에 상응하는 AND-게이트형태의 제 1 일치검출기(609)로 전달된다. 상응하는 방식으로, 긴 펄스를 위한 미분회로(605)로부터의 펄스들은 도 6a의 검출기(41)에 상응하는 AND-게이트형태의 제 2 일치검출기(611)에 공급된다. AND-게이트(609, 611)로부터의 신호들은 상기에서 설명된 모니터링회로(53 및 55)에 상응하는 시간간격 모니터링회로(613, 615)에 각각 공급된다. 마지막으로, 모니터링회로(613 및 615)로부터의 신호들이 앞서 설명된 히스테리시스장치(57)에 상응하는 히스테리시스유닛(617)에 공급되고, 그리고 이 유닛으로부터의 신호가, 상기에서 설명한 바와 같은 회로(59)에 상응하고 또한 그의 입력단자에서 높은 논리레벨을 가지는 펄스를 수신하자마자 4초 유지되는 펄스를 전달하는 유지회로(619)에 공급된다. 이 펄스는 또한 전체 회로로부터의 출력신호이고 그리고 공급된 신호(CLSY-A 및 CLSY-B)의 서로에 대한 동기패턴의 위상에러가 존재한다는 것을 나타낸다.

너무 큰 위상차이가 존재하는 경우에 신호를 제공하기 위한, 상기에 따른 검출기구조는 또한 도달하는 신호에서 서로에 대해 동기패턴에 작은 주파수에러가 존재할 때 영구에러를 출력하게 된다. 따라서, 도달하는 에러신호에 예컨대 1ppm 또는 이 보다 작은 정도의 크기의 주파수 차이가 존재한다면, 두 동기신호간의 위상이 변하고 그리고 때때로 위상에러의 검출을 위한 임계값 보다 작고 그리고 임계값보다 크게 되는 형태가 되게 되는 것이 명백해진다. 즉 위상에러를 나타내는 신호가 주기적으로 발생되게 된다. 유지회로(619 및 59)를 도입함으로써, 그러한 주기적 반복된 위상에러신호를 발생시키는 주파수에러들이, 아무런 에러가 발생하지 않는 주기가 회로(617 및 619)내 유지시간보다 작은 경우에 일정한 위상에러로 검출되게 된다. 상기에서 지적된 바와 같은 시간과 주파수에 있어서, 0.01ppm보다 큰 주파수에러가 검출되는

경우에 상응하게 된다.

도 7a에 클럭선택기제어(7)가 도시되어 있다. 합성클럭신호(CLSY-A, CLSY-B, CLSY-C)들이 멀티플렉서(63)에 공급된다. 합성클럭신호(CLSY-A, CLSY-B, CLSY-C)의 주파수 에러신호들은 합성클럭신호의 상응하는 위상 에러신호를 수신하는 결합적인 망(67)에 공급된다. 결합적인 망(67)은 그의 출력단자에 클럭신호 A 또는 B 또는 C만이 사용될 수 있다는 것을, A와 B 둘다만이 사용될 수 있다는 것을, B와 C 둘다만이 사용될 수 있다는 것을, C와 A 둘다만이 사용될 수 있다는 것을, 그리고 이들 세 신호 A, B, C들이 사용될 수 있다는 것을 나타내는 신호를 제공한다. 조합적인 망의 진리표가 도 7b에 도시되어 있다.

효용신호들은 프로그램된 제어계획에 따라 멀티플렉서(63)를 제어하는 상태장치(69)에 공급된다. 이 제어계획은 도 7c의 상태로 설명된다. 정확히 선택된 신호이고, 모든 클럭선택기(3)로부터 공급되게 되고 또한 특히 클럭선택기제어(7)로부터 공급되게 되는 신호인, 세 개의 합성클럭신호(CLSY-A, CLSY-B, CLSY-C) 각각에 대한, 세 개의 상태(71, 73 및 75)가 제공된다. 신호 '단지 CLSY-B만이 이용가능함' 또는 '단지 CLSY-B 와 CLSY-C만이 이용가능함' 중 몇몇이 존재하는 경우에, 장치는 상태(71)(CLSY-A가 선택됨)에서 상태(73)(CLSY-B가 선택됨)로 이동한다. 장치는, 신호 '단지 CLSY-C만이 이용가능함'이 존재하는 경우에 상태(71)(CLSY-A가 선택됨)에서 상태(75)(CLSY-C가 선택됨)로 이동한다. 장치는, 신호 '단지 CLSY-C만이 이용가능함' 또는 '단지 CLSY-C와 CLSY-A만이 이용가능함' 중 몇몇이 존재하는 경우에, 상태(73)(CLSY-B가 선택됨)에서 상태(75)(CLSY-C가 선택됨)로 이동한다. 장치는, 신호 '단지 CLSY-A만이 이용가능함'이 존재하는 경우에, 상태(73)(CLSY-B가 선택됨)에서 상태(71)(CLSY-A가 선택됨)로 이동한다. 장치는, 신호 '단지 CLSY-A만이 이용가능함' 또는 '단지 CLSY-A와 CLSY-B만이 이용가능함' 중 몇몇이 존재하는 경우, 상태(75)(CLSY-C가 선택됨)에서 상태(71)(CLSY-A가 선택됨)로 이동한다. 장치는, 신호 'CLSY-B만이 이용가능함'이 존재하는 경우에 상태(75)(CLSY-C가 선택됨)에서 상태(73)(CLSY-B가 선택됨)로 이동한다.

그런 다음, 멀티플렉서(63)에 의해 선택된 합성클럭신호는 시스템 비트클럭과 동기율을 복구하기 위한 상응하는 위상동기루프회로에 공급되고, 그리고 그런 다음에 각 플레인에서 사용을 위해 분산되고 또한 더 이상의 캐스케이드된 유닛들이 제공되는 경우에 재발생기(6)로 분산된다. 도 1을 보라. 검출기회로(77)에서, 선택된 클럭신호로부터, 모니터링회로(12)에 의해 프로세스되도록 카운트레지스터(14 및 67)를 증분시키기 위해 조우될 때마다 카운트펄스를 공급하기 위한 조우된 ID-코드와 동기패턴들이 추출된다.

선택적으로, 고려된 시간에 선택된 클럭신호에 대해 정당한 ID-코드에 상응하는 카운트펄스들은 점선으로 표시된 바와 같이 상태장치(69)에 의해 바로 공급될 수 있고 또한 한 카운트펄스는 카운터를 갱신하기 위한, 도달하는 동기펄스에 상응한다.

도 8에는, 상기에서 논의된 여러개의 부품을 개략적으로 보여주는, 서브시스템내 플레인의 개략적인 그림이 설명된다. 합성클럭신호(CLSY-A, CLSY-B, CLSY-C)들은, 상태장치(69)로부터의 신호에 의해 제어되고 또한 항상 거의 규칙적으로 반복된 시간에 도달하는 클럭신호 사이에서 CLSY-A→CLSY-B→CLSY-C→CLSY-A→CLSY-B→CLSY-C→...와 같은 주기적인 방법으로 변환하는 클럭신호를 선택된 출력신호, 즉 선택된 신호로서 제공하는 멀티플렉서 또는 스위치(63)에 도달한다.

상태장치(69)는 상태장치외에 결합적인 망(67)을 포함하는 제어유닛(70)에 통합되는 것으로 여기서 설명된다. 제어유닛(70)은 클럭신호 A에서의 주파수에러, 클럭신호 B에서의 주파수에러, 클럭신호 C에서의 주파수에러, A에서의 위상에러, B에서의 위상에러, C에서의 위상에러에 관련되는 경보신호를 입력신호로서, 동기패턴, 주파수에러 및 ID-검출기(9)와 위상에러검출기(11)로부터 수신한다. 먼저 언급된 결합된 검출기(9)는 블록(9', 9')로 나뉘어지는 것으로 설명되는데, 전자는 주파수에러신호를 공급하고 그리고 후자는 수신된 ID-펄스의 수에 대해 레지스터(13)를 증분시키기 위한, 검출된, 선택된 ID-코드를 위한 신호를 전달한다. 제어유닛(70)으로의 입력신호들은 결합적인 망(67)을 통해 상태장치(69)에서 상이한 시간간이 천이를 결정한다. 또한 스위치(63)에 의해 선택된 합성신호에서, ID-펄스들은 레지스터(14)를 증분시키기 위한 동기패턴 및 ID-검출기(77)에 의해 결정된다. 이 검출기는 또한 검출된 또는 수신된 동기패턴의 수를 나타내는 저장된 값을 포함하는 레지스터(67)를 증분시키기 위한 신호를 공급한다. 선택된 클럭신호는 또한 시스템 비트클럭과 동기펄스를 복구시키기 위한 위상동기루프회로(PLL:5)에 전달된다.

여기서, 제어 및 모니터링유닛(79)은 메모리수단(81)에 저장된 프로그램에 의해 제어되는 프로세서의 형태로 설명되었다. 주기적으로 반복되는 때에, 제어 및 모니터링유닛(79)은 값들이 예측될 수 있었던 값들과 같은가를 결정하기 위해 또한 값들이 예상값이 아닌 경우에 몇몇 감독유닛 또는 운영자에 경보신호를 전달하기 위해, 이 인스턴스에 상이한 레지스터(13, 14, 67)에 저장되는 값들을 모니터한다.

(57) 청구의 범위

청구항 1

적어도 세 개의 독립적인 선로 또는 채널상의 클럭신호를 서브시스템에 공급 또는 전달하는 단계,

상이한 선로 또는 채널상에 수신된 신호들중 하나에 상응하는 클럭신호 서브시스템에서 생성하는 단계를 포함하는, 전자시스템내 서브시스템의 장치 또는 프로세스들에 클럭신호를 공급하기 위한 방법에 있어서,

- 서브시스템에서 클럭신호를 생성시에, 적어도 두 개의 클럭신호들이 선택되도록, 서로 독립적으로 작동하는 적어도 두 개의 상이한 선택프로세스에서 또는 의해, 특히 서로 독립적으로 작동하는 적어도 두 개의 상이한 선택기유닛에서 또는 의해 독립적으로 또한 병렬로 수신된 클럭신호들중에서 클럭신호의 선택을 실행하고,

- 선택된 적어도 두 개의 클럭신호들이 서브시스템내 스위치를 통해, 서브시스템내 장치 또는 프로세스로 전달되도록 하고,

- 필요할 때 수신된 클럭신호들중 새로운 하나 또는 다른 것으로 변환이 이루어질 수 있고 또한 이 새로운 또는 다른 클럭신호가 대신에 장치 또는 프로세스들로 전달되도록, 적어도 두 개의 선택프로세스로 스위치들을 제어하는 것이 특징인 전자시스템내 서브시스템의 장치들 또는 프로세스들에 클럭신호를 공급하

기 우한 방법.

청구항 2

제1항에 있어서, 서브시스템내 선택프로세스에서 클럭신호들을 선택할시에, 모든 수신된 클럭신호들을 그들의 품질과 특성에 대해 평가하는 것이 특징인 방법.

청구항 3

제2항에 있어서, 서브시스템에서 클럭신호들의 선택을 위한 상이하고, 독립적인 프로세스들의 수는 클럭신호들이 통해 서브시스템에 도달하게 되는 선로 또는 채널의 수와 동일한 것이 특징인 방법.

청구항 4

제1항 내지 제3항중 어느 하나에 있어서,

- 스위치될 클럭신호를 선택할 시에, 적어도 세 개의 상이한 선로 또는 채널에서 수신된 신호들을 그들의 주파수의 관한 에러에 대하여 및/또는 한 신호의 위상위치를 다른 수신된 신호들의 위상위치에 대하여 평가를 하고,
- 이 평가는 상이한 프로세스들, 특히 서로 독립적으로 작동하는 상이한 선택기유닛들에서 또는 의해 독립적으로 이루어지는 것이 특징인 방법.

청구항 5

제1항 내지 제4항중 어느 하나에 있어서,

- 클럭신호를 선택하기 위한 평가시에, 상이한 선로 또는 채널에서 수신된 각 신호내 에러를 판단하고,
- 에러의 수를 카운팅하고, 및
- 그러한 신호가 고장인지 및/또는 신호발생, 전송, 수신, 평가 또는 선택에 사용된 어떤 회로 또는 프로세스가 고장인지를 판단하기 위해 각 신호에서 카운트된 에러의 수를 평가하는 것이 특징인 방법.

청구항 6

제1항 내지 제5항중 어느 하나에 있어서,

- 동일수의 클럭신호들을 생성하기 위하여 적어도 세 개의 상이한 클럭소오스에 서브시스템에 대한 적어도 세 개의 상이하고 독립적인 선로 또는 채널들에 공급되거나 또는 전달된 클럭신호를 클럭신호를 발생시키고, 각 발생된 클럭신호는 동일한 타이밍정보를 가지고 또한 각 발생된 클럭신호는 독립적인 선로 또는 채널들중 다른 하나에 공급 또는 전달되고,
- 각 클럭신호의 생성시에, 각 클럭신호에 의도적인 에러를 삽입시키고,
- 서브시스템에서 선택프로세스시에, 에러를 가지는 클럭신호의 선택해제를 위해 의도적인 에러를 검출하고 또한 고려된 선택프로세스에서 선택된 클럭신호내 에러의 검출후에, 다른 수신된 클럭신호를 선택하고, 및
- 클럭신호들내 에러들은, 선택할 적어도 두 개의 신호들이 있는 경우에 서브시스템에서 클럭신호의 선택을 위한 상이한 프로세스들이 항상 순환적으로 및/또는 규칙적인 또는 주기적인 방식으로 새로 선택된 신호로 변환되도록 입력되는 것이 특징인 방법.

청구항 7

제1항 내지 제6항중 어느 하나에 있어서,

- 고의적인 에러들이 클럭신호에 입력되도록 적어도 세 개의 상이하고 독립적인 선로들 또는 채널들에 공급되는 또는 전달되는 클럭신호들을 발생시키고,
- 서브시스템내 선택프로세스에서 상이한 선로들 또는 채널들중 하나에 수신된 각 클럭신호내 고의적인 에러를 검출하고,
- 각 수신된 클럭신호내 에러의 수를 카운팅하고, 그리고
- 수신된 어떤 클럭신호가 고장인지 및/또는 클럭신호발생, 전송, 수신, 평가 또는 선택에 사용된 어떤 프로세스 또는 회로가 고장인지를 판단하기 위해 각 수신된 클럭신호내 카운트된 에러의 수를 평가하는 것이 특징인 방법.

청구항 8

제1항 내지 제7항중 어느 하나에 있어서,

- 고의적인 에러들이 클럭신호에 입력되도록 서브시스템에 대한 적어도 세 개의 상이하고 독립적인 선로들 또는 채널들에 공급되거나 또는 전달되는 클럭신호를 발생시키고,
- 서브시스템내 선택프로세스에서 상이한 선로들 또는 채널들중 하나에 수신된 각 클럭신호내 고의적인 에러들을 검출하고,
- 수신된 어떤 클럭신호가 고장인지 및/또는 클럭신호발생, 전송, 수신, 평가 또는 선택에 사용되는 어떤 프로세스 또는 회로가 고장인지를 판단하기 위해 각 수신된 클럭신호내 검출된 에러들을 평가하는 것이 특징인 방법.

청구항 9

제1항 내지 제8항중 어느 하나에 있어서,

- 동일수의 클럭신호들을 생성하기 위하여 적어도 세 개의 상이한 클럭소스에서 서브시스템에 대한 적어도 세 개의 상이하고 독립적인 선로들 또는 채널들에 공급되거나 또는 전달되는 클럭신호를 발생시키고, 발생된 각 클럭신호는 동일한 타이밍정보를 가지고 또한 발생된 각 클럭신호는 독립적인 선로들 또는 채널들중 다른 하나에 공급 또는 전달되고,
- 각 클럭신호의 발생시에, 각 클럭신호에 고의적인 주파수 및 위상에러를 삽입시키고, 그리고
- 서브시스템내 선택프로세서에서, 고의적인 에러들을 검출하고 또한 검출된 에러들을 가지는 클럭신호의 선택해제를 위해, 에러들이 주파수 및/또는 위상에러인지를 판단하고 그리고 고려된 선택프로세서에서 선택된 클럭신호내 에러의 검출후에 다른 수신된 클럭신호를 선택하고, 그리고
- 선택된 클럭신호에서 주파수에러를 검출한 후에, 다른 클럭신호의 선택을, 고의적으로 입력된 에러가 그 순간에 선택된 클럭신호에서 검출되었고 또한 에러가 주파수에러인 것으로 판단되었을 때의 시간주기와 동일하도록 선택되는 길이로 가지는 시간주기로 지연시키고, 다른 클럭신호의 선택은 에러가 주파수에러가 판단된 직후에 이루어지지 않고, 에러가 위상에러인지 결정된 직후에 이루어지는 것이 특징인 방법.

청구항 10

제6항 내지 제10항중 어느 하나에 있어서, 몇몇 수신된 클럭신호가 고장인지 및/또는 클럭신호발생, 전송, 수신, 평가 또는 선택에 사용된 몇몇 프로세스 또는 회로가 고장인지를 판단하기 위해, 스위치를 통과하는, 새로 선택된 클럭신호의 선택의 수 및/또는 새로운 클럭신호로 변환의 수를 판단 및/또는 평가하는 것이 특징인 방법.

청구항 11

제6항 내지 제10항중 어느 하나에 있어서, 수신된 몇몇 클럭신호가 고장인지 및/또는 클럭신호발생, 전송, 수신, 평가 또는 선택에 사용된 몇몇 프로세스 또는 회로가 고장인지를 판단하기 위해, 스위치를 통과하는, 새로 선택된 클럭신호의 선택 및/또는 새로운 클럭신호로의 변환의 시퀀스를 평가하는 것이 특징인 방법.

청구항 12

제11항에 있어서, 선택 및/또는 변환이 시퀀스의 평가시에, 선택 또는 변환이 이루어진 시간을 포함하는 것이 특징인 방법.

청구항 13

제6항 내지 제12항중 어느 하나에 있어서,

- 클럭신호의 발생시에, 클럭신호내에 클럭신호의 식별 및/또는 클럭신호가 통해 서브시스템에 공급 또는 전달되는 선로 또는 채널의 식별을 나타내는 정보를 입력시키고,
- 클럭신호를 선택하기 위한 프로세서에서, 선택된 신호내 그러한 식별정보를 서브시스템에서 검출하고,
- 그러한 정보가 선택된 클럭신호에서 검출되면, 정보가 관련되는 식별을 판단하고,
- 도달하는 몇몇 클럭신호가 고장인지 및/또는 클럭신호발생, 전송, 수신, 평가 또는 선택에 사용된 몇몇 프로세스 또는 회로가 고장인지를 판단하기 위해 그러한 정보를 평가하는 것이 특징인 방법.

청구항 14

제13항에 있어서, 정보의 평가시에, 정보가 판단되는 시간을 포함하는 것이 특징인 방법.

청구항 15

제13항 내지 제14항중 어느 하나에 있어서,

- 정보평가시에, 상이한 식별들이 판단되는 시간의 수를 카운팅하고,
- 수신된 몇몇 클럭신호가 고장인지 및/또는 클럭신호발생, 전송, 수신, 평가 또는 선택에 사용되는 몇몇 프로세스 또는 회로가 고장인지를 판단하기 위하여 카운트된 수를 평가하는 것이 특징인 방법.

청구항 16

제13항 내지 제15항중 어느 하나에 있어서,

- 펄스열이 주 템플릿으로서 선택된 펄스열과 일치하도록, 타이밍정보가 유도될 수 있는 펄스의 열 또는 시퀀스로서 클럭신호를 발생시키고,
- 클럭신호내에 식별정보를 삽입시키기 위하여, 클럭신호가 적어도 한 규정된 섹션을 제외하고, 클럭신호가 발생되는 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시켜, 클럭신호가 주 템플릿 펄스열의 변형 섹션에 상응하는 식별 템플릿 펄스열과 일치하는 것이 특징인 방법.

청구항 17

제16항에 있어서, 주 템플릿 펄스열이 규정된 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 또한 식별 펄스열과 일치하는 규정된 섹션이 주 템플릿 펄스열의 각 주기내에 제 시간에 고정된 위치

를 가지도록 클럭신호를 발생시키는 것이 특징인 방법.

청구항 18

제13항 내지 제15항중 어느 하나에 있어서,

- 펄스열이 주 템플릿으로서 선택된 펄스열과 일치하도록, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 클럭신호를 발생시키고,
- 클럭신호내에 식별정보를 입력시키기 위해, 클럭신호가 주 템플릿 펄스열내에 제 시간에 규정된 위치를 가지는 적어도 한 펄스가 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시키는 것이 특징인 방법.

청구항 19

제18항에 있어서, 주 템플릿 펄스열이 결정된 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 또한 펄스가 생략되는 규정된 위치는 주 템플릿 펄스열이 각 주기내에 제 때에 고정된 위치를 가지도록 클럭신호를 발생시키는 것이 특징인 방법.

청구항 20

제13항 내지 제15항중 어느 하나에 있어서,

- 펄스열이 주 템플릿으로서 선택된 펄스열과 일치하도록, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 클럭신호를 발생시키고, 각 펄스는 제 1 레벨에서 제 2 레벨로의 제 1 천이와 제 2 레벨에서 제 1 레벨로의 제 2 천이를 포함하여, 주 템플릿 펄스열은 그러한 천이의 열 또는 시퀀스를 포함하고, 그리고
- 클럭신호내에 식별정보를 입력시키기 위해, 클럭신호가 주 템플릿 펄스열에 규정된 위치를 가지는 적어도 한 천이를 제외하고는 주 템플릿 펄스열과 일치하도록, 특히, 규정된 위치를 가지는 천이가 생략되고 그리고 생략된 천이에 반대종류이고 또한 규정된 위치를 가지는 천이가 생략된 천이의 종류로 변환되도록 클럭신호를 발생시키는 것이 특징인 방법.

청구항 21

제20항에 있어서, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 또한 변환된 천이/변환된 천이들의 규정된 위치 또는 위치들은 주 템플릿 펄스열의 각 주기내에 고정된 시간위치/시간위치들을 가지도록 클럭신호를 발생시키는 것이 특징인 방법.

청구항 22

제4항 내지 제21항중 어느 하나에 있어서,

- 펄스열이 주 템플릿으로서 선택된 펄스열과 일치하도록, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 클럭신호를 발생시키고,
- 클럭신호내에 주파수예러를 도입하거나 또는 모사하기 위해, 규정된 수의 제 1 연속펄스들이 생략되었는 것을 제외하고는 클럭신호들이 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시키고, 및/또는
- 클럭신호내에 위상예러를 도입하거나 또는 모사하기 위해, 규정된 수의 제 2 연속펄스들이 생략되었는 것을 제외하고는 클럭신호가 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시키고,
- 각 경우에서, 제 2 규정된 수가 제 1 규정된 수보다 큰 것이 특징인 방법.

청구항 23

제22항에 있어서, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 또한 펄스들이 생략되는 규정된 위치가 주 템플릿 펄스열의 각 주기내에 제 때에 고정된 위치를 가지도록 클럭신호를 발생시키는 것이 특징인 방법.

청구항 24

제1항 내지 제24항중 어느 하나에 있어서, 클럭신호의 선택과 클럭신호스위칭이 제 1 서브시스템과 동일하게 이루지는 제 2 서브시스템에 적어도 두 개의 선택된 독립적신호들을 신호 각각의 독립적인 선로 또는 채널을 통해 공급 또는 전달하는 것이 특징인 방법.

청구항 25

- 적어도 하나의 클럭신호를 발생시키기 위해 제 1 국에 설치된 회로,
- 제 2 국에 적어도 하나의 클럭신호를 병렬로 또한 독립적으로 공급 또는 전달하기 위한, 제 1 국에서 제 2 국까지의 적어도 세 개의 상이하고 독립적인 전송선로 또는 전송채널들을 포함하는, 정보를 프로세싱하기 위한 및/또는 상이한 국들에서 프로세스를 실행하기 위한 및/또는 국들간에 정보를 전송하기 위한 망 또는 장치에 있어서,
- 제 2 국에서 서로 독립적으로 작동하는 적어도 두 개의 선택기유닛,
- 서로 독립적으로 작동하는 적어도 두 개의 선택기유닛 각각에 도입되는 독립적인 선로 또는 채널들 모두에 신호들을 전달하기 위한 제 2 국내에 설치된 선로들,
- 다른 선택기유닛 및/또는 다른 선택기유닛들과는 독립적으로 또한 병렬로 입력신호들중에서 클럭신호의

선택을 수행하도록 설치되는 각 선택기유닛,

- 선택된 적어도 두 개의 클럭신호들을 제 2 국내 장치 또는 프로세스들로 가도록 하고, 또한 특히 제 2 국내서 서로 독립적으로 작동하고 또한 병렬로 설치된 여러개의 여유플레인중 하나에 사용되는 제 2 국내 스위치들이 특징인 망 또는 장치.

청구항 26

제25항에 있어서, 제 1 국내 회로들은 각각이 동일한 타이밍정보를 포함하는 클럭신호 또는 동일한 클럭신호를 발생시키도록 설치되는 적어도 세 개의 상이한 클럭소오스를 포함하는 것이 특징인 망 또는 장치.

청구항 27

제25항 내지 제26항중 어느 하나에 있어서, 독립적으로 작동하는 선택기유닛의 수는 상이하고 독립적인 전송선로 또는 전송채널들의 수와 동일한 것이 특징인 망 또는 장치.

청구항 28

제25항 내지 제27항중 어느 하나에 있어서, 수신된 모든 신호의 품질과 특성에 대해, 특히 신호내의 에러에 대해, 독립적인 선로 또는 채널들에서 수신된 모든 신호들을 평가하기 위해 독립적으로 작동하는 평가유닛이 독립적으로 작동하는 각 선택기유닛과 결합되는 것이 특징인 망 또는 장치.

청구항 29

제28항에 있어서, 수신된 신호의 주파수내 에러에 관해 및/또는 다른 수신된 신호의 위상위치에 대한 신호의 위상위치에 관해, 독립적인 선로들 또는 채널들에서부터 수신된 신호를, 다른 평가유닛 및/또는 평가유닛들과는 독립적으로 또한 병렬로 평가하기 위해 각 평가유닛이 설치되는 것이 특징인 망 또는 장치.

청구항 30

제28항 내지 제29항중 어느 하나에 있어서,

- 각 클럭신호에 대해 조우된 에러들의 수를 저장하기 위한 제 2 국내 메모리수단,

- 클럭신호내 에러들에 관해 수신된 클럭신호들을 평가하기 위해 선택기유닛들과 결합되고 또한 각 수신된 클럭신호내 에러의 수를 판단하고 그리고 클럭신호를 위해 설치된 메모리수단에 카운트된 에러의 수를 저장하도록 설치되는 평가수단,

- 메모리수단에 저장된 수를 모니터링하고 또한 몇몇 클럭신호가 고장인지 및/또는 신호를 발생, 전송, 수신 및 평가하는데 사용되는 몇몇 회로들일 고장인지를 판단하기 위한 모니터링수단이 특징인 망 또는 장치.

청구항 31

제29항 내지 제30항중 어느 하나에 있어서,

- 제 1 국내 회로들을 각각이 독립적인 선로들 또는 채널들에 공급되는 동일한 클럭신호들을 발생시키기 위한 적어도 세 개의 클럭소오스를 포함하고,

- 제 1 국내 클럭소오스들은 발생된 클럭신호들내에 고의적인 에러들을 입력시키도록 설치되고,

- 선택이 적어도 두 개의 수신된 신호들간에 이루어지는 경우에 클럭소오스들은, 제 2 국내 선택기유닛들이 항상 새로운 선택된 신호를 선택하거나 또는 스위치들이 스위치에 의해 제공된 다른 신호로 항상, 특히 주기적으로 규칙적인 방식으로 변환을 하도록 클럭신호들내에 에러를 입력시키도록 설치되는 것이 특징인 망 또는 장치.

청구항 32

제31항에 있어서, 클럭소오스들은, 선택기유닛들이 순환적으로 및/또는 규칙적으로 변하는 방식으로 새로운 선택된 신호를 선택하거나 또는 스위치들이 순환적으로 및/또는 규칙적으로 스위치로부터 제공된 다른 신호로 변환하도록 클럭신호들내에 에러를 입력시키도록 설치되는 것이 특징인 망 또는 장치.

청구항 33

제25항 내지 제32항중 어느 하나에 있어서,

- 제 1 국내 회로들은 클럭신호를 발생시킬 때 클럭신호내에 고의적인 에러를 입력시키도록 설치되고,

- 메모리수단은 각 선택기유닛과 결합되고 또한 각 신호는 상이한 전송선로 또는 전송채널에서 수신되고,

- 검출기수단은 각 선택기유닛과 결합되고 또한 동일한 선택기유닛에 결합된 메모리수단에 연결되며, 검출기수단은 수신된 신호들에서 에러들을 검출하고 또한 각 신호에서 검출된 에러의 수를 메모리수단에 저장하도록 설치되고,

- 평가수단은 메모리수단에 저장된 에러들의 수를 평가하기 위해 메모리수단에 연결되고 또한 수신된 몇몇 신호들이 고장인지 및/또는 신호를 발생, 전송, 수신, 평가 또는 선택하는데 사용되는 몇몇 회로들일 고장인지를 판단하도록 설치되는 것이 특징인 망 또는 장치.

청구항 34

제25항 내지 제32항중 어느 하나에 있어서,

- 제 1 국내 회로들은 클럭신호를 발생시킬 때 클럭신호내에 고의적인 에러들을 입력시키도록 설치되고,
- 각 선택기유닛과 결합된 검출기수단은 선택기유닛에 의해 상이한 선로 또는 채널들중 하나에서 수신된 각 신호에서 에러를 검출하도록 설치되고,
- 메모리수단이 검출기수단에 연결되며 또한 검출된 에러에 관한 정보를 저장하도록 설치되고,
- 평가수단이 메모리수단에 연결되고 또한 수신된 몇몇 신호가 고장인지 및/또는 신호를 발생, 전송, 수신, 평가 및 선택하는데 사용된 몇몇 회로가 고장인지를 판단하기 위해 각 수신된 신호내 에러들에 관한 정보를 평가하도록 설치되는 것이 특징인 망 또는 장치.

청구항 35

제25항 내지 제34항중 어느 하나에 있어서,

- 제 1 국내 회로들은, 각각이 동일한 타이밍정보를 포함하는 클럭신호를 발생시키도록 설치되는 적어도 세 개의 상이한 클럭소오스를 제 2 국내 동일수의 독립적인 선로들 또는 채널들을 통해 클럭신호를 공급 또는 전달하기 위해 포함하고,
- 각 클럭신호를 발생시킬 때 클럭신호내에 고의적으로 주파수 및 위상에러를 입력시키도록 클럭소오스들은 설치되고, 그리고
- 평가유닛은 선택된 수신신호를 평가할 때, 수신신호내 주파수에러를 검출할 때, 고의적으로 입력된 에러들이 선택된 클럭신호에서 검출되고 또한 에러가 주파수에러로 판단되었을 때, 에러가 주파수에러라고 판단된 직후에 다른 클럭신호의 선택이 이루어지지 않고 에러가 위상에러라고 판단된 직후에 선택이 이루어지게 되는 시간주기길이에 상응하는, 선택된 길이를 가지는 시간주기로, 다른 선택된 신호의 선택 또는 스위치에 의해 제공된 신호에서 새로운 신호로의 변환을 지연시키기 위해 제 2 국내 선택기유닛과 결합되는 것이 특징인 망 또는 장치.

청구항 36

제31항 내지 제35항중 어느 하나에 있어서,

- 새로 선택된 신호의 선택수를 저장하기 위해 각 선택기유닛과 또는 스위치에 의해 제공된 다른 신호로의 변환의 수를 저장하기 위해 각 스위치와 결합된 메모리수단, 및
- 메모리수단에 저장된 수를 모니터링하기 위해 그리고 모니터링으로부터 수신된 몇몇 신호가 고장인지 및/또는 클럭신호를 발생, 전송, 수신, 평가 또는 선택하는데 사용된 몇몇 회로가 고장인지를 판단하기 위해 메모리수단에 연결된 모니터링수단일 특징인 망 또는 장치.

청구항 37

제35항 내지 제39항중 어느 하나에 있어서,

- 새로 선택된 신호의 선택의 시퀀스에 관한 정보를 저장하기 위해 각 선택기유닛과 및/또는 스위치에 의해 제공된 다른 신호로의 변환의 수를 저장하기 위해 각 스위치와 결합된 메모리수단, 및
- 메모리수단에 저장된 정보를 모니터링하고 그리고 모니터링으로부터, 수신된 몇몇 신호가 고장인지 및/또는 신호를 발생, 전송, 수신, 평가 또는 선택하는데 사용되는 몇몇 회로가 고장인지를 판단하기 위해 메모리수단에 연결된 모니터링수단이 특징인 망 또는 장치.

청구항 38

제37항에 있어서, 저장된 정보는 선택 또는 변환이 이루어졌을 때의 시간에 관한 정보를 포함하는 것이 특징인 망 또는 장치.

청구항 39

제25항 내지 제38항중 어느 하나에 있어서,

- 제 1 국내 회로들은 각각이 독립적인 선로들 또는 채널들중 하나에 공급되는 동일한 클럭신호들을 발생시키기 위해 적어도 세 개의 상이한 클럭소오스를 포함하고,
- 클럭소오스들은 클럭신호의 식별을 나타내는 정보를 각 클럭신호에 입력시키도록 설치되고,
- 제 2 국내 각 선택기유닛과 독립적인 선로들 또는 채널들에서 수신된 각 신호와 결합되는 메모리수단,
 - 식별정보에 관해 선택기유닛에 의해 선택된 신호를 모니터링하거나 및/또는 스위치에 의해 제공된 신호를 모니터링하고,
 - 그러한 정보가 신호에서 조우될 때, 정보가 속하는 클럭신호를 판단하고,
 - 메모리수단이 결합되는 클럭신호를 지시하는 정보가 검출되는 시간의 수를 각 메모리수단에 저장하고,
 - 도달하는 몇몇 클럭신호가 고장인지 및/또는 신호를 발생, 전송, 수신, 평가 또는 선택하는데 사용되는 몇몇 회로들이 고장인지를 판단하기 위해 저장된 수를 평가하기 위한
- 메모리수단에 연결된 모니터링수단이 특징인 망 또는 장치.

청구항 40

제25항 내지 제38항중 어느 하나에 있어서,

- 제 1 국내 회로들은 각각이 독립적인 선로들 또는 채널들중 하나에 공급되는 동일한 클럭신호들을 발생시키기 위해 적어도 세 개의 상이한 클럭소오스를 포함하고,
- 클럭소오스들은 클럭신호의 식별을 나타내는 정보를 각 클럭신호에 삽입시키도록 설치되고,
- 제 2 국내 각 선택기유닛과 결합된 메모리수단,
 - 식별정보에 관해서 선택기유닛에 의해 선택된 신호 및/또는 선택기유닛과 결합된 스위치에 의해 제공된 신호를 모니터링하고,
 - 그러한 정보가 선택된 신호에서 검출되면, 정보가 관련되는 클럭신호를 결정하고,
 - 정보가 지시하는 클럭신호에 관한 정보를 각 메모리수단에 저장하고, 그리고
 - 도달하는 몇몇 신호가 고장인지 및/또는 신호를 발생, 전송, 수신, 평가 또는 선택하는데 사용되는 몇몇 회로가 고장인지를 판단하기 위해 저장된 정보를 평가하기 위한
- 메모리수단에 연결된 모니터링수단이 특징인 망 또는 장치.

청구항 41

제40항에 있어서, 저장된 정보는 식별정보가 검출되었고 및/또는 정보가 저장되었던 시간에 관한 정보를 포함하는 것이 특징인 망 또는 장치.

청구항 42

제39항 내지 제41항중 어느 하나에 있어서,

- 클럭소오스는 주 템플릿으로서 선택된 펄스열과 일치하는, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 각 클럭신호를 발생시키도록 설치되고, 그리고
- 클럭신호에 식별정보를 입력시키기 위해 클럭소오스는 클럭신호를, 클럭신호가 적어도 한 규정된 섹션을 제외하고는 클럭신호가 발생하는 주 템플릿펄스와 일치하도록, 주 템플릿 펄스열의 변형된 섹션에 상응하는 다른 템플릿 펄스열과 일치하도록 발생시키는 것이 특징인 망 또는 장치.

청구항 43

제42항에 있어서, 클럭소오스는, 주 템플릿 펄스시퀀스가 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 그리고 일치가 없는 규정된 섹션은 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지는 것이 특징인 망 또는 장치.

청구항 44

제39항 내지 제41항중 어느 하나에 있어서,

- 클럭소오스는 주 템플릿으로서 선택된 펄스열과 일치하는, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 각 클럭신호를 발생시키도록 설치되고,
- 클럭신호에 식별정보를 입력시키기 위해 클럭소오스들은, 클럭신호가 주 템플릿 펄스열에 규정된 위치를 가지는 적어도 한 펄스가 생략된 것을 제외하고는 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시키도록 설치되는 것이 특징인 망 또는 장치.

청구항 45

제44항에 있어서, 클럭소오스는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 그리고 펄스가 생략되는 규정된 위치는 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지도록 클럭신호를 발생시키게 설치되는 것이 특징인 망 또는 장치.

청구항 46

제39항 내지 제45항중 어느 하나에 있어서,

- 클럭소오스들은 주 템플릿으로서 선택된 펄스열과 일치하는, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 각 클럭신호를 발생시키도록 설치되고, 각 펄스는 제 1 레벨에서 제 2 레벨로의 제 1 천이와 제 2 레벨에서 제 1 레벨로의 제 2 천이를 포함하여, 주 템플릿 펄스열은 그러한 천이의 열 또는 시퀀스를 포함하고, 그리고
- 클럭신호에 식별정보를 입력시키기 위해 클럭소오스들은, 클럭신호가 주 템플릿 펄스열에 규정된 위치를 가지는 적어도 한 천이가 변환되는 것, 특히 규정된 위치를 가지는 천이가 생략되고 그리고 생략된 천이와 반대 종류이고 또한 규정된 위치를 가지는 천이가 생략된 천이가 가지는 종류로 변환되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시키게 설치되는 것이 특징인 망 또는 장치.

청구항 47

제46항에 있어서, 클럭소오스는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 그리고 규정된 위치 또는 위치들이 주 템플릿 펄스열의 각 주기내에 고정된 위치/고정된 위치들을 가지도록, 클럭신호를 발생시키게 설치되는 것이 특징인 망 또는 장치.

청구항 48

제31항 내지 제47항중 어느 하나에 있어서,

- 클럭소오스들은 주 템플릿 펄스열로서 선택된 펄스와 일치하는, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 각 클럭신호를 발생시키도록 설치되고,
- 주파수예러를 모사하기 위해 클럭소오스들은, 클럭신호가 그 안의 제 1 규정된 수의 연속적인 펄스들이 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시키게 설치되고, 및/또는
- 위상예러를 모사하기 위해 클럭소오스들은, 클럭신호가 그 안의 제 2 규정된 수의 연속적인 펄스들이 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 클럭신호를 발생시키게 설치되고,
- 각 경우에, 제 2 규정된 수는 제 1 규정된 수보다 큰 것이 특징인 망 또는 장치.

청구항 49

제48항에 있어서, 클럭소오스는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 그리고 펄스가 생략되는 규정된 위치는 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지도록 클럭신호를 발생시키게 설치되는 것이 특징인 망 또는 장치.

청구항 50

제25항 내지 제49항중 어느 하나에 있어서,

- 선택기유닛들을 포함하는, 제 2 국과 같은 제 3국, 및
- 제 3 국에 의해 수신되어 사용되게 되는 클럭신호에 포함되는, 제 2 국의 선택기유닛들에 의해 독립적으로 선택된 적어도 두 개의 신호들을 제 3 국에 공급 또는 전달하기 위한, 제 2 국에서 제 3 국까지의 독립된 전송선로들 또는 전송채널들이 특징인 망 또는 장치.

청구항 51

클럭신호들은 규정된 수, 특히 적어도 세 개의 상이한 독립된 선로들 또는 채널들을 통해 서브시스템에 공급 또는 전달되고 그리고 서브시스템은 수신된 신호내의 에러들에 관해서 수신된 신호들을 평가함으로써 상이한 선로 또는 채널들에서 수신된 신호들 가운데에서 신호의 선택을 수행하는 전자시스템내 서브시스템에 클럭신호를 공급하기 위한 방법에 있어서,

- 클럭신호는, 상이한 선로들 또는 채널들을 통해 서브시스템에 전달되는 동일한 클럭신호를 각각 발생시키는 적어도 세 개의 상이한 클럭소오스로부터 여러개의 클럭신호로서 발생되고
- 클럭신호들을 발생시킬 때 고의적인 에러들이 클럭신호들내에 입력되고, 그리고
- 클럭신호들내에 에러들은, 선택이 이루어질 수 있는 적어도 두 개의 신호들이 존재하는 경우에 서브시스템이 항상 새로 선택된 신호로 변환을 하도록 입력되는 것이 특징인 방법.

청구항 52

제51항에 있어서, 클럭신호들내에 에러들은, 서브시스템이 순환적인 방식 및/또는 주기적인 방식으로, 새로 선택된 클럭신호로 변환을 하도록 입력되는 것이 특징인 방법.

청구항 53

- 동일한 타이밍정보를 포함하는 클럭신호들을 발생시키기 위해 제 1 국에 포함된 회로들,
 - 제 2 국에 클럭신호들을 독립적으로 또한 병렬로 공급 또는 전달하기 위한, 제 1 국에서 제 2 국까지의 적어도 세 개의 전송선로들,
 - 수신된 클럭신호들을 평가함으로써 수신된 클럭신호들중에서 클럭신호를 선택하기 위한 제 2 국의 선택기유닛을 포함하는,
- 정보를 프로세싱하기 위한 및/또는 상이한 국들에서 프로세스를 실행하기 위한 및/또는 국들간에 정보를 전달하기 위한 망 또는 장치에 있어서,
- 클럭신호를 발생시킬 때 제 1국의 회로들은 클럭신호들내에 고의적인 에러들을 입력시키도록 설치되고, 그리고
 - 제 1 국의 회로들은, 선택이 이루어질 수 있는 적어도 두 개의 신호들이 존재하는 경우에 제 2 국내 선택기유닛이 항상 새로 선택된 클럭신호를 선택하도록, 클럭신호들내에 에러들을 입력시키도록 설치되는 것이 특징인 망 또는 방법.

청구항 54

제53항에 있어서, 제 1 국내 회로들은, 선택이 이루어질 수 있는 적어도 두 개의 신호들이 존재하는 경우에 제 2 국내 선택기유닛이 순환적으로 및/또는 규칙적으로 반복된 시간에 새로 선택된 클럭신호를 선택하도록, 클럭신호들내에 에러들을 입력시키도록 설치되는 것이 특징인 망 또는 장치.

청구항 55

각각이 동일한 클럭신호를 발생시키는 상이한 클럭소오스로부터의 클럭신호는 규정된 수의, 특히 적어도 세 개의 상이하고 독립적인 선로들 또는 채널들을 통해 서브시스템에 공급되고, 그리고 서브시스템은 수신된 신호들내 에러들에 관한 수신된 신호들의 평가를 기초로 상이한 선로들에서 수신된 신호들중에서 신호의 선택을 수행하는 전자시스템내 서브시스템에 클럭신호를 공급 또는 전달하기 위한 방법에 있어서,

- 클럭신호를 발생시킬 때 고의적인 에러들이 입력되고,

- 상이한 선로들 또는 채널들에서 수신된 각 신호들내 에러들의 수가 카운트되고, 그리고
- 각 수신된 신호내 카운트된 에러들의 수는 수신된 몇몇 신호가 고장인지 및/또는 신호를 발생, 전송, 수신, 평가 또는 선택하는데 사용되는 몇몇 회로가 고장인지를 판단하기 위해 평가되는 것이 특징인 방법.

청구항 56

제55항에 있어서, 평가는 비교값에 대한 에러의 수의 비교로 주기적으로 반복되는 때에 수행되는 것이 특징인 방법.

청구항 57

- 동일한 타이밍정보를 포함하는 클럭신호들을 발생시키기 위해 제 1 국내에 설치된 회로들,
 - 제 2 국에 클럭신호들을 병렬로 또한 독립적으로 공급 또는 전달하기 위한, 제 1 국에서 제 2 국까지의 적어도 세 개의 상이하고 독립적인 전송선로들 또는 채널들,
 - 클럭신호내의 에러들에 대해 클럭신호들을 평가하기 위한 제 2 국내 평가회로들,
 - 평가회로들의 결과를 기초로 수신된 클럭신호들중에서 한 클럭신호를 선택하기 위한, 평가회로에 연결된 제 2 국내 클럭 선택기회로를 포함하는,
- 정보를 프로세싱하기 위한 및/또는 상이한 국들에서 프로세스들을 수행하기 위한 및/또는 국들간에 정보를 전달하기 위한 망 또는 장치에 있어서,
- 클럭신호들을 발생시키기 위해 제 1 국내에 설치된 회로들은 클럭신호를 발생시킬 때 클럭신호들내에 고의적인 에러들을 입력시키도록 설치되고,
 - 각 수신된 클럭신호내에서 조우되는 에러들을 카운팅하고 저장하기 위한, 평가회로들에 연결된 제 2 국내 카운터수단,
 - 몇몇 클럭신호가 고장인지 및/또는 클럭신호를 발생, 전송, 수신, 평가 및 선택을 하는데 사용되는 몇몇 회로가 고장인지를 평가하기 위해 각 클럭신호내 카운트된 에러들의 수를 평가하기 위한, 카운터수단에 연결된 제 2 국내 평가수단이 특징인 망 또는 장치.

청구항 58

제57항에 있어서, 평가수단은 주기적으로 반복되는 때에, 각 클럭신호내의 카운트된 에러들의 수와 규정된 비교값을 비교하기 위한 비교기수단을 포함하는 것이 특징인 망 또는 장치.

청구항 59

클럭신호내 에러들을 판단하고 평가하기 위한 유닛을 테스트하기 위해 주기적으로 반복되는 동일한 클럭 펄스들을 포함하는 클럭신호에 식별을 입력시키기 위한 방법에 있어서,

- 클럭신호들은, 주 템플릿으로서 선택된 펄스열과 일치하는, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 발생되고, 그리고
- 클럭신호에 식별정보를 입력시키기 위해, 클럭신호는, 클럭신호가 적어도 한 규정된 섹션을 제외하고는 클럭신호가 발생하는 주 템플릿 펄스열과 일치하도록, 특히 클럭신호가 상응하는 주 템플릿 펄스열의 변형섹션과 일치하도록 발생하는 것이 특징인 클럭신호내 식별입력을 위한 방법.

청구항 60

제59항에 있어서, 클럭신호는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 그리고 일치가 없는 규정된 섹션은 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지도록 발생하는 것이 특징인 방법.

청구항 61

제59항 내지 제60항중 어느 하나에 있어서, 클럭신호는, 클럭신호가 주 템플릿 펄스열내에 규정된 위치를 가지는 적어도 한 펄스가 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 발생하는 것이 특징인 방법.

청구항 62

제61항에 있어서, 클럭신호는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 그리고 펄스가 생략되는 규정된 위치가 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지도록 발생하는 것이 특징인 방법.

청구항 63

제59항 내지 제62항중 어느 하나에 있어서,

- 주 템플릿으로서 선택된 펄스열에서, 각 펄스는 제 1 레벨에서 제 2 레벨로의 제 1 천이와 제 2 레벨에서 제 1 레벨로의 제 2 천이를 포함하여, 주 템플릿 펄스열은 그러한 천이의 열 또는 시퀀스를 포함하고,
- 클럭신호에 식별정보를 입력하기 위해 클럭신호는, 클럭신호가 주 템플릿 펄스열에서 규정된 위치를 가지는 적어도 한 천이가 변환되는 것, 특히 규정된 위치를 가지는 천이가 생략되는 것, 또한 생략된 천이와 반대 종류이고 또한 규정된 위치를 가지는 천이가 생략된 천이가 가지는 종류로 변환되는 것을 제외하

고는 주 템플릿 펄스열과 일치하도록 발생하는 것이 특징인 방법.

청구항 64

제63항에 있어서, 클럭신호는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 그리고 규정된 위치 또는 위치들은 주 템플릿 펄스열의 각 주기내에 고정된 위치/고정된 위치들을 가지도록 발생하는 것이 특징인 방법.

청구항 65

전자시스템에서 클럭신호를 발생시키기 위한 클럭소오스에 있어서,

- 클럭소오스는 주 템플릿으로서 선택된 펄스열과 일치하는, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 각 클럭신호를 발생시키도록 설치되고, 그리고
- 클럭신호에 식별정보를 입력시키기 위해 클럭소오스는, 클럭신호가 적어도 한 규정된 섹션을 제외하고는 클럭신호가 대신에 발생하는 주 템플릿 펄스열과 일치하고, 클럭신호가 주 템플릿 펄스열의 상응하는 변형섹션과 일치하도록, 클럭신호를 발생시키도록 설치되는 것이 특징인 클럭소오스.

청구항 66

제65항에 있어서, 클럭소오스는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 또한 일치하는 규정된 섹션이 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지도록, 클럭신호를 발생시키게 설치되는 것이 특징인 클럭소오스.

청구항 67

클럭신호에 대한 판단과 평가에 있어서, 클럭신호들이 적어도 한 규정된 섹션을 제외하고는, 클럭신호들이 주 템플릿 펄스열의 상응하는 변형섹션과 일치하는 규정된 주 템플릿 펄스열과 일치하는지를 판단하기 위한 수단이 특징인 클럭신호에 대한 판단과 평가유닛.

청구항 68

제67항에 있어서, 주 템플릿 펄스열은 일정한 시간주기로 반복되는 고정된 템플릿 펄스열을 포함하고 또한 일치하는 규정된 섹션은 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지는 것이 특징인 클럭신호에 대한 판단과 평가유닛.

청구항 69

제67항 내지 제68항중 어느 하나에 있어서,

- 일치하는 것으로 판단된 시간의 수를 저장하기 위한, 판단수단에 연결된 메모리수단,
- 메모리수단에 저장된 수를 평가하고 그리고 저장된 수가 제 2 규정된 수 보다 큰 양으로 제 2 규정된 수를 벗어나는 경우에 신호를 제공하기 위한, 메모리수단에 연결된 평가수단이 특징인 판단과 평가유닛.

청구항 70

클럭신호내 에러들의 판단과 평가를 위한 유닛을 테스트하기 위해 주기적으로 반복되는 동일한 클럭펄스들을 포함하는 클럭신호에 고의적인 에러들을 입력시키기 위한 방법에 있어서,

- 클럭신호는 주 템플릿으로서 선택된 펄스열과 일치하는, 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 발생되고,
- 주파수에러를 모사하기 위해, 클럭신호는, 클럭신호가 제 1 규정된 수의 연속적인 펄스들이 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 발생되고,
- 위상에러를 모사하기 위해, 클럭신호는, 클럭신호가 제 2 규정된 수의 연속적인 펄스들이 생략되는 것을 제외하고는 주 템플릿 펄스열과 일치하도록 발생되고,
- 각 경우에서, 제 2 규정된 수는 제 1 규정된 수보다 큰 것이 특징인 방법.

청구항 71

제70항에 있어서, 클럭신호는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 또한 펄스가 생략되는 규정된 위치는 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지도록 발생하는 것이 특징인 방법.

청구항 72

전자시스템에서 클럭신호를 발생시키기 위한 클럭소오스에 있어서,

- 클럭소오스는 타이밍정보가 유도될 수 있는 펄스들의 열 또는 시퀀스로서 각 클럭신호를 발생시키도록 설치되고,
- 주파수에러를 모사하기 위해 클럭소오스는, 클럭신호가 그 안에서 제 1 규정된 수의 연속적인 펄스들이 생략되는 것을 제외하고는 규정된 주 템플릿 펄스열과 일치하도록, 클럭신호를 발생시키게 설치되고, 및/또는
- 주파수에러를 모사하기 위해 클럭소오스들은, 클럭신호가 그 안에서 제 2 규정된 수의 연속적인 펄스들이 생략되는 것을 제외하고는 규정된 주 템플릿 펄스열과 일치하도록, 클럭신호를 발생시키게 설치되고,

- 각 경우에, 제 2 규정된 수는 제 1 규정된 수보다 큰 것이 특징인 클럭소오스.

청구항 73

제72항에 있어서, 클럭소오스는, 주 템플릿 펄스열이 일정한 시간주기로 반복되는 고정된 템플릿 펄스 서브열을 포함하고 또한 펄스가 생략되는 규정된 위치는 주 템플릿 펄스열의 각 주기내에 고정된 위치를 가지도록, 클럭신호를 발생시키기 설치되는 것이 특징인 클럭소오스.

청구항 74

클럭신호를 평가하기 위한 방법에 있어서,

- 규정된 주 템플릿 펄스열과 클럭신호를 비교하고 그리고 주파수에러만을 검출함으로써 만일 비교결과가, 클럭신호가 제 1 규정된 수의 연속적인 펄스들이 생략된 것을 제외하고는 주 템플릿 펄스열과 일치한다면 클럭신호가 주파수에러를 포함하는 것으로 또는 그렇지 않다면 클럭신호에 주파수에러가 없는 것으로 판단하고, 및/또는
- 규정된 주 템플릿 펄스열과 클럭신호를 비교하고 그리고 위상에러만을 검출함으로써 만일 비교결과가, 클럭신호가 제 2 규정된 수의 연속적인 펄스열이 생략된 것을 제외하고는 주 템플릿 펄스열과 일치한다면 클럭신호가 위상에러를 포함하는 것으로 또는 그렇지 않다면 클럭신호에 위상에러가 없는 것으로 판단하고,
- 각 경우에, 제 2 규정된 수는 제 1 규정된 수보다 큰 것이 특징인 클럭신호를 평가하기 위한 방법.

청구항 75

클럭신호에 대한 판단과 평가유닛에 있어서,

- 클럭신호가 주파수에러를 포함하는지 판단하고, 제 1 규정된 수의 연속적인 펄스들이 클럭신호에서 생략되는 것을 제외하고는 클럭신호가 규정된 주 템플릿 펄스열과 일치하는 결정하도록 설치되는 수단,
- 클럭신호가 위상에러를 포함하는지 판단하고, 제 2 규정된 수의 연속적인 펄스들이 클럭신호에서 생략되는 것을 제외하고는 클럭신호가 규정된 주 템플릿 펄스열과 일치하는 결정하도록 설치되는 수단,
- 각 경우에서, 제 2 규정된 수는 제 1 규정된 수보다 큰 것이 특징인 클럭신호에 대한 판단과 평가유닛.

청구항 76

클럭신호를 평가하기 위한 방법에 있어서,

- 클럭신호내 주파수에러들을 판단하고,
- 클럭신호내 위상에러들을 판단하고,
- 에러들이 판단되면 신호를 방출하고, 그리고
- 주파수에러들을 판단하면, 규정된 시간주기동안 위상에러가 판단되는 경우에, 대신에 검출된 위상에러를 나타내는 신호가 방출되는 경우에, 아무런 신호가 방출되지 않도록 상기 규정된 시간주기만큼 주파수에러를 나타내는 신호의 방출을 지연시키는 것이 특징인 클럭신호를 평가하기 위한 방법.

청구항 77

클럭신호에 대한 판단과 평가유닛에 있어서,

- 클럭신호에서 주파수에러를 판단하기 위한 수단,
- 클럭신호에서 위상에러를 판단하기 위한 수단,
- 주파수와 위상에러들을 판단하기 위한 수단에 연결되고 또한 에러가 판단되면 신호를 제공하도록 설치되고 또한 주파수에러를 판단하면, 규정된 시간주기동안 위상에러가 발생하는 경우에, 대신에 검출된 위상에러를 나타내는 신호가 발생하는 경우에 아무런 신호가 발생되지 않도록 상기 규정된 시간주기만큼 조우된 주파수에러를 나타내는 신호의 방출을 지연시키도록 설치되는 제 1 평가수단이 특징인 클럭신호에 대한 판단과 평가유닛.

청구항 78

클럭신호들은 적어도 세 개의 상이하고 독립된 선로들 또는 채널들을 통해 서브시스템에 공급 또는 전달되고 그리고 이 서브시스템은 상이한 선로들 또는 채널들에서 수신된 신호들중에서 적어도 두 개의 클럭신호를 선택하는 전자시스템내 서브시스템에 클럭신호를 전달 또는 공급하기 위한 방법에 있어서, 적어도 두 개의 독립적으로 선택된 신호들은 도달하는 클럭신호에 포함된 채로 신호를 위한 독립적인 선로 또는 채널을 통해 제 2 서브시스템에 공급 또는 전달되고, 제 2 서브시스템에서 클럭신호들의 선택은 제 1 서브시스템과 동일한 방식으로 이루어지는 것이 특징인 방법.

청구항 79

- 적어도 하나의 클럭신호를 발생시키기 위해 제 1 국에 설치되는 회로들,
- 제 2 국에 적어도 한 클럭신호를 병렬로 또한 독립적으로 공급 또는 전달하기 위한, 제 1 국에서 제 2 국까지의 적어도 세 개의 상이하고 독립적인 전송선로 또는 전송채널들,
- 상이한 선로들 또는 채널들에서 수신된 신호들중에서 적어도 두 개의 클럭신호들을 선택하기 위한 제 2 국내 선택기유닛을 포함하는,

정보를 프로세싱하기 위한 및/또는 상이한 국들에서 프로세스들을 수행하기 위한 및/또는 국들간에 정보를 전달하기 위한 망 또는 장치에 있어서,

- 선택기유닛들 포함하는, 제 2 국과 같은 제 3 국, 및
- 제 3 국에 도달하는 클럭신호에 포함되게 제 2 국의 선택기유닛들에 의해 독립적으로 선택된 적어도 두 개의 신호들을 제 3 국에 공급 또는 전달하기 위한, 제 2 국에서 제 3 국까지의 독립된 전송선로들 또는 전송채널들이 특징인 망 또는 장치.

청구항 80

두 클럭신호내 타이밍펄스들이 서로에 대한 타이밍에러를 나타내는지를 판단하기 위한 방법에 있어서,

- 클럭신호들내 타이밍펄스들의 주파수보다 상당히 높은 주파수의 펄스를 포함하는 고정된 펄스신호로, 제 1 펄스가 고정된 펄스신호의 제 1의 규정된 수의 주기와 그러한 주기의 분수를 포함하는 길이를 가지도록, 타이밍펄스와 같은 시간에 시작되지만 그러나 고정된 펄스신호내 펄스의 시작으로 결정되는 말단을 가지는 제 1 펄스가 각 타이밍펄스로부터 형성되고,
- 클럭신호들 각각으로부터의 제 1 펄스들의 교차로 구성되는 교차펄스가 생성되고,
- 교차펄스가 없는 경우에 클럭신호들간에 시간에러를 나타내는 제 1 경보신호가 제공되는 것이 특징인 방법.

청구항 81

두 클럭신호들내 타이밍펄스들이 서로에 대해 타이밍에러를 나타내는지를 판단하기 위한 방법에 있어서,

- 클럭신호들내 타이밍펄스들의 주파수보다 상당히 높은 주파수의 펄스들을 가지는 고정된 펄스신호로, 제 1 펄스가 고정된 펄스신호의 제 1의 규정된 수의 주기와 그러한 주기의 분수를 구성하는 길이를 가지도록, 타이밍펄스와 같은 시간에 시작하지만 그러나 고정된 펄스신호내 펄스의 시작으로 결정되는 말단을 가지는 제 1 펄스가 각 타이밍펄스로부터 형성되고,
- 각 타이밍펄스로부터의 고정된 펄스신호로, 제 2 펄스가 고정된 펄스신호의 제 2의 규정된 수의 주기와 그러한 주기의 분수를 구성하는 길이를 가지도록, 타이밍펄스와 같은 시간에 시작하지만 그러나 고정된 펄스신호내 펄스의 시작으로 결정되는 말단을 가지는 제 2 펄스가 형성되고, 이 경우 제 2 규정된 수가 제 1 규정된 수보다 크며,
- 각 클럭신호들로부터의 제 1 펄스들의 교차로 구성되는 제 1 교차펄스가 생성되고,
- 각 클럭신호들로부터의 제 2 펄스들의 교차로 구성되는 제 2 교차펄스가 생성되고,
- 제 1 교차펄스들의 출현간의 시간간격이 모니터되고 그리고 시간간격이 임계값보다 크면 제 1 신호가 제공되고,
- 제 2 교차펄스들의 출현간의 시간간격이 모니터되고 그리고 시간간격이 임계값보다 크면 제 2 신호가 제공되고,
- 제 2 신호가 나타나는 경우에, 클럭신호들간에 타이밍에러를 나타내는 경보신호가 제공되기 시작하고 그리고 이 경보신호는 제 1 신호의 천이 전까지 계속 제공되어, 이 신호는 존재의 상태에서 비-존재의 상태로 이전하는 것이 특징인 방법.

청구항 82

두 개의 클럭신호들내 펄스들이 서로에 대해 타이밍에러를 나타내는지를 판단하기 위한 장치에 있어서,

- 클럭신호들내 타이밍펄스들의 주파수보다 상당히 높은 주파수의 펄스들을 가지는 고정된 펄스신호를 발생시키기 위한 펄스발생회로,
- 제 1 펄스들이 고정된 펄스신호의 제 1의 규정된 수의 주기와 그러한 주기의 분수를 구성하는 길이를 가지도록, 타이밍펄스와 같은 시간에 시작하지만 그러나 고정된 펄스신호내 펄스의 시작으로 결정되는 말단을 가지는 제 1 펄스를 두 개의 클럭신호들내 각 타이밍펄스로부터 형성하기 위한 미분회로,
- 두 클럭신호들 각각으로부터의 제 1 펄스들의 교차로 구성되는 교차펄스를 생성시키기 위한, 미분회로에 연결된 AND-게이트,
- 교차펄스가 존재하지 않거나 또는 획득되지 않는 경우에, 클럭신호들간의 시간에러를 나타내는 경보신호를 제공하기 위한, AND-게이트에 연결된 경보회로가 특징인 장치.

청구항 83

두 개의 클럭신호들내 타이밍펄스들이 서로에 대해 타이밍에러를 나타내는지를 판단하기 위한 장치에 있어서,

- 클럭신호들내 타이밍펄스들의 주파수보다 상당히 높은 주파수의 펄스들을 포함하는 고정된 펄스신호를 발생시키기 위한 펄스발생회로,
- 제 1 펄스가 고정된 펄스신호의 제 1의 규정된 수의 주기와 그러한 주기의 분수를 구성하는 길이를 가지도록, 타이밍펄스와 같은 시간에 시작하지만 그러나 고정된 펄스신호내 펄스의 시작으로 결정되는 말단을 가지는 제 1 펄스를 두 클럭신호들내 각 타이밍펄스로부터 형성하기 위한 미분회로,
- 제 2 펄스가 고정된 펄스신호의 제 2의 규정된 수의 주기와 그러한 주기의 분수를 구성하는 길이를 가지도록, 타이밍펄스와 같은 시간에 시작하지만 그러나 고정된 펄스신호내 펄스의 시작으로 결정되는 말단을 가지는 제 2 펄스를 두 클럭신호들내 각 타이밍펄스로부터 형성하기 위한 미분회로,

을 가지는 제 2 펄스를 두 클럭신호내 각 타이밍펄스로부터 형성하기 위한 미분회로, 이 경우 제 2 규정된 수가 제 1 규정된 수보다 크며,

- 두 클럭신호를 각각으로부터의 제 1 펄스들의 교차로 구성되는 제 1 교차펄스를 생성하기 위한, 미분회로에 연결된 제 1 AND-게이트,
- 두 클럭신호를 각각으로부터의 제 2 펄스들의 교차로 구성되는 제 2 교차펄스를 생성하기 위한, 미분회로에 연결된 제 2 AND-게이트,
- 제 1 교차펄스들의 출현간의 시간간격을 모니터링하고 또한 시간간격이 임계값보다 큰 경우에 제 1 신호를 제공하기 위한, 제 1 AND-게이트에 연결된 제 1 모니터링회로,
- 제 2 교차펄스들의 출현간의 시간간격을 모니터링하고 또한 시간간격이 임계값보다 큰 경우에 제 2 신호를 제공하기 위한, 제 2 AND-게이트에 연결된 제 2 모니터링회로,
- 제 1 및 제 2 모니터링회로에 연결되고 그리고 제 2 신호가 나타나는 경우에 클럭신호들간에 타이밍에러를 나타내는 경보신호를 제공시작하도록 설치되고 그리고 제 1 신호의 천이 전까지 이 제 2 경보를 계속제공하여, 이 신호가 존재에서 비-존재상태로 이동하는 것이 특징인 장치.

청구항 84

기저대 주파수를 가지는 펄스시퀀스 또는 열을 포함하는 합성클럭펄스신호에 입력된 신호시퀀스의 검출을 나타내는, 시간시퀀스에 대해 일정한 위치를 가지는 펄스를 생성하기 위한 방법에 있어서,

- 신호시퀀스가 검출되고 그리고 그런다음 검출후에 나타나고 또한 제 1 펄스내 일정한 천이가 항상 클럭펄스신호내 펄스들간의 간격보다 짧은 시간간격내에 있게 되는 시간위치를 가지는 제 1 펄스가 생성되고,
- 제 1 펄스로부터, 규정된 지연을 가지는 제 2 펄스후에 시작하고 또한 클럭펄스신호의 한 시간주기보다 짧은 길이를 가지는 제 2 펄스가 생성되어, 제 2 펄스는 클럭펄스신호내 기저대 주파수의 전체 클럭펄스에 대한 전체 시간길이와 동시에 나타나고,
- 교차가 제 2 펄스와 클럭펄스신호로 형성되어, 이에 의해 전체 클럭펄스가 분리되는 것이 특징인 방법.

청구항 85

제83항에 있어서, 제 1 펄스는 클럭펄스신호인 기저대 주파수보다 높은 주파수를 가지는 보조 클럭펄스신호로 클럭펄스신호를 샘플링함으로써 생성되고 그리고 샘플된 신호의 패턴은 하나 또는 여러 규정된 패턴들과의 비교로 평가되고, 일치시에 제 1 펄스가 제공되는 것이 특징인 방법.

청구항 86

기저대 주파수를 가지는 펄스시퀀스 또는 펄스열을 포함하는 합성클럭펄스신호에 입력된 신호시퀀스의 검출을 지시하는, 신호시퀀스에 대해 한정된 시간위치를 가지는 펄스를 생성하기 위한 장치에 있어서,

- 신호시퀀스의 검출후에 나타나고 또한 제 1 펄스내 일정한 천이가 클럭펄스신호내 펄스들간의 간격보다 짧은 시간간격내에 항상 있게 되는 시간위치를 가지는 제 1 펄스를 발생시키기 위한 신호시퀀스용 검출기,
- 규정된 지연을 가지는 제 2 펄스후에 시작하고 또한 제 2 펄스가 클럭펄스신호내 기저대 주파수의 전체 클럭펄스의 전체 시간길이와 동시에 나타나도록, 클럭펄스신호의 한 시간주기보다 짧은 길이를 가지는 제 1 펄스로부터 제 2 펄스를 생성하기 위해 설치된 지연 및 펄스정형회로,
- 제 2 펄스와 클럭펄스신호의 교차를 형성하고, 이에 의해 그 자신으로부터 출력단자에, 한 분리된 펄스로서 전체 클럭펄스가 제공되는, AND-게이트가 특징인 장치.

청구항 87

제86항에 있어서, 검출기는

- 클럭펄스신호의 기저대 주파수보다 높은 주파수를 가지는 보조 클럭펄스신호를 위한 소오스,
- 보조 클럭펄스신호가 제공되는 클럭입력에 대한 시프트레지스터와 클럭펄스신호가 제공되는 시프트입력, 및
- 시프트레지스터이 시프트위치가 연결되어, 그의 출력단자에서 제 1 펄스가 획득되게 되는, 결합적인 망을 포함하는 것이 특징인 장치.

청구항 88

기저대 주파수를 가지는 펄스시퀀스 또는 열을 포함하는 합성클럭펄스신호에 입력된 신호시퀀스를 검출하기 위한 방법에 있어서,

- 클럭펄스신호의 기저대 주파수보다 상당히 높은 주파수를 가지는 보조 클럭펄스신호는 클럭펄스신호와 독립적으로 발생되고,
- 클럭펄스신호는 보조 클럭펄스신호에 의해 샘플되고,
- 샘플된 신호의 패턴은 하나 또는 여러 규정된 패턴들과의 비교로 평가되고, 일치하면 제 1 펄스가 제공되는 것이 특징인 방법.

청구항 89

제88항에 있어서, 보조 클럭펄스신호는 클럭펄스신호의 기저대 주파수의 4-10배, 특히 6배인 주파수로 발생되는 것이 특징인 방법.

청구항 90

기저대 주파수를 가지는 펄스시퀀스 또는 열을 포함하는 합성클럭펄스신호에 입력된 신호시퀀스용 검출기에 있어서,

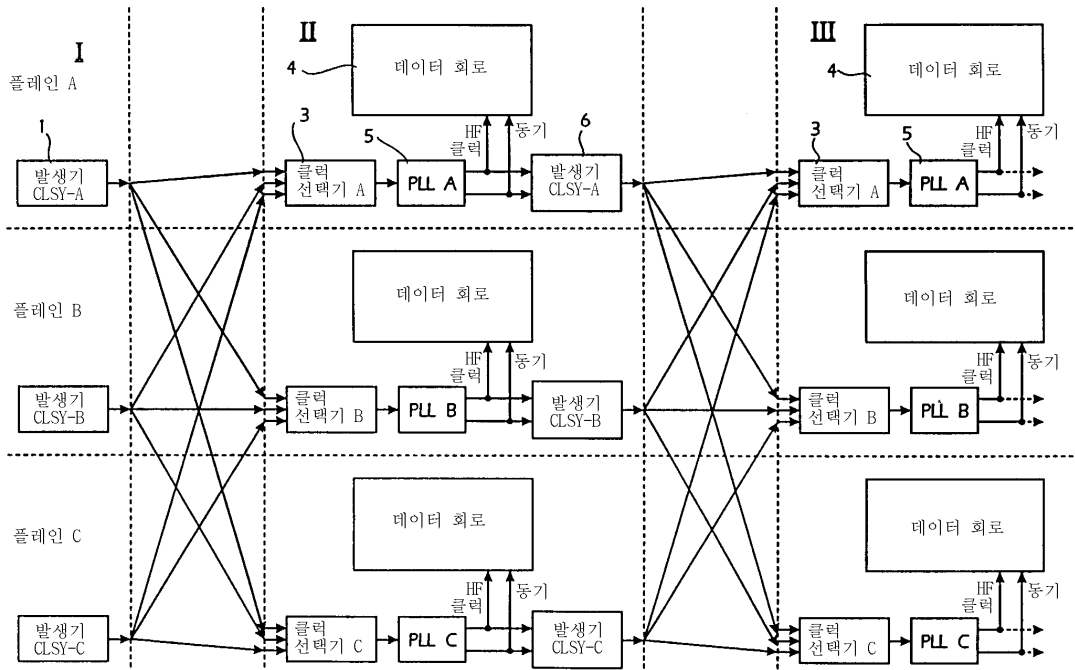
- 클럭펄스신호와 독립적으로 작동하고 또한 클럭펄스신호의 기저대 주파수보다 높은 주파수를 가지는 보조 클럭펄스신호를 발생시키도록 설치되는 소오스,
- 보조 클럭펄스신호가 제공되는 클럭입력에 대한 및 클럭펄스신호가 제공되는 시프트입력에 대한 시프트 레지스터, 및
- 시프트레지스터의 시프트위치가 연결되고, 그의 출력단자에서 제 1펄스가 획득되는 결합적인 망이 특징인 검출기.

청구항 91

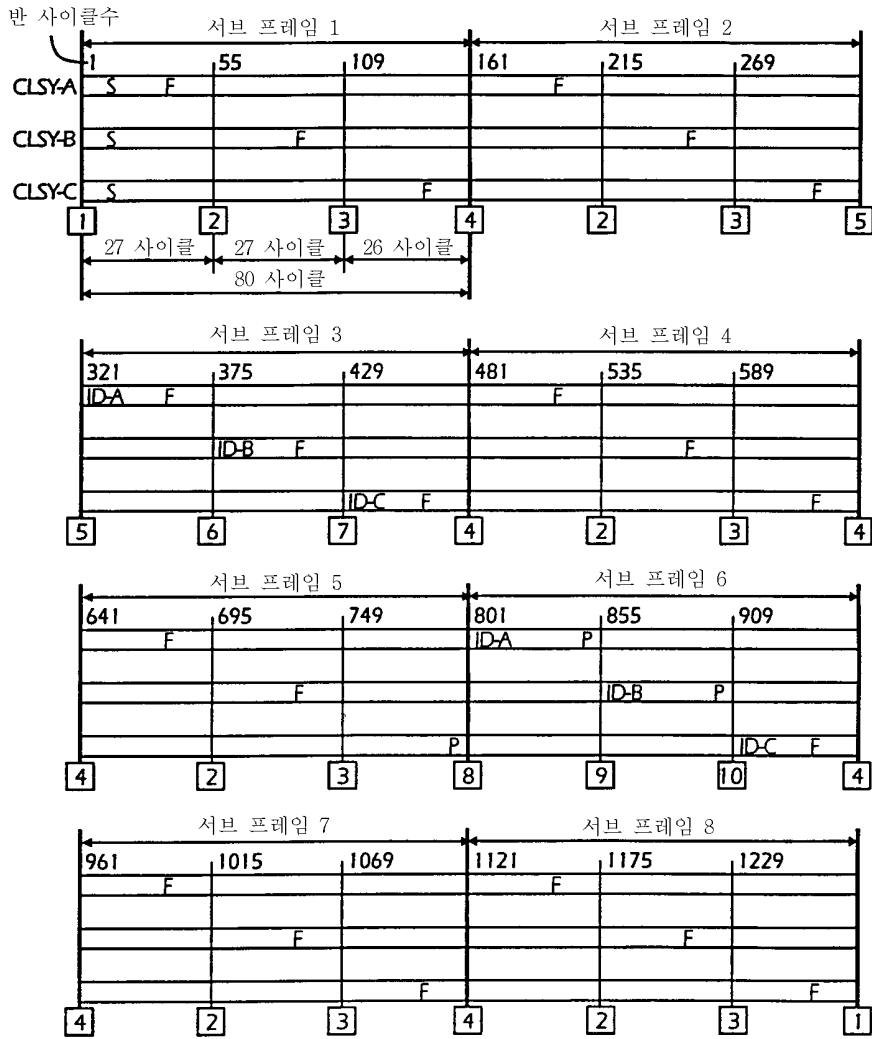
제90항에 있어서, 소오스는 클럭펄스신호의 기저대 주파수의 4-10배, 특히 6배인 주파수를 가지는 보조 클럭펄스신호를 발생시키도록 설치되는 것이 특징인 검출기.

도면

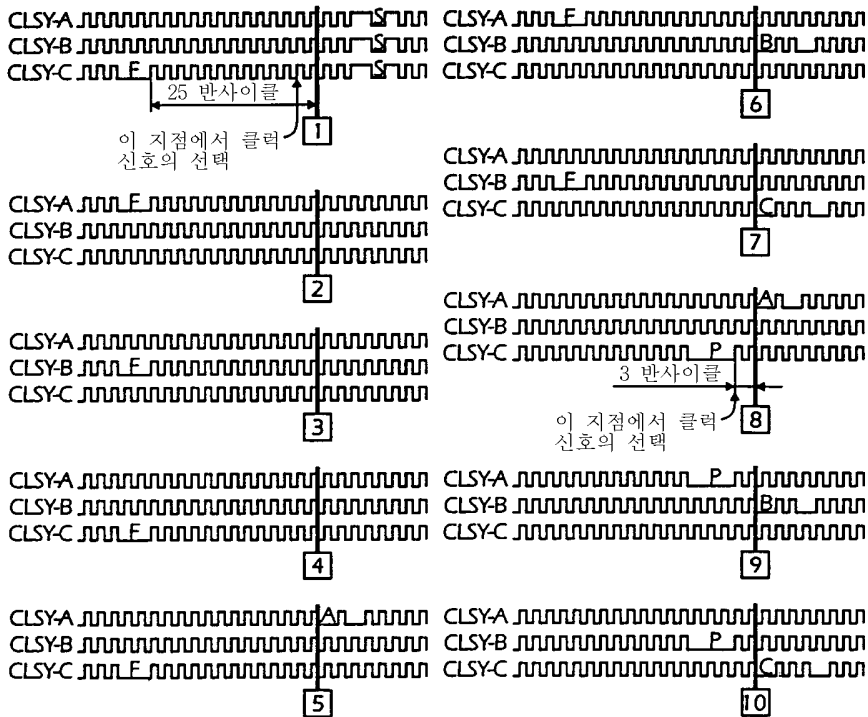
도면1



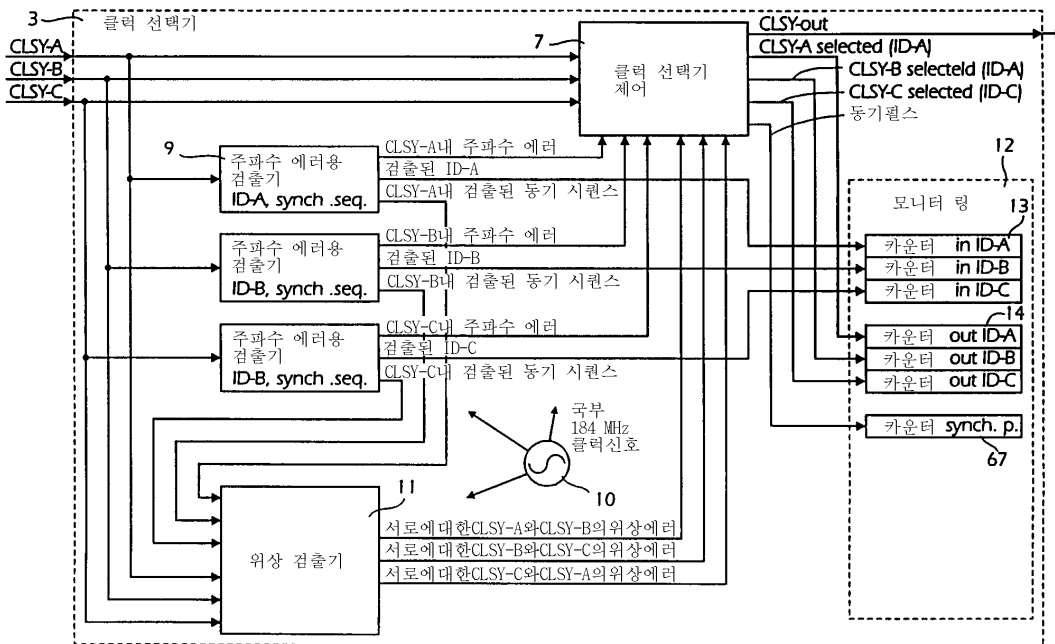
도면2



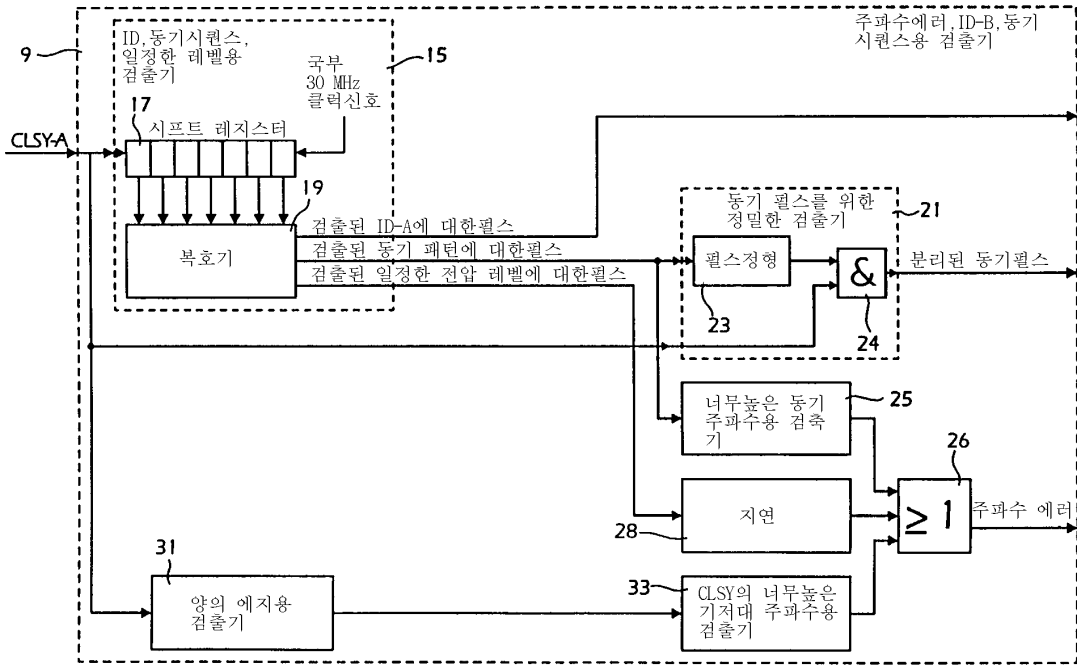
도면3



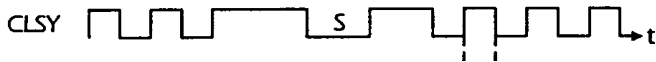
도면4



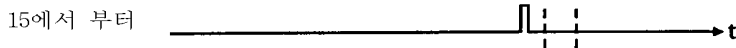
도면5a



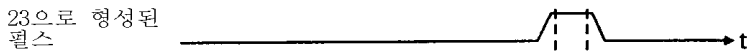
도면5b



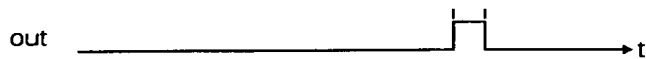
도면5c



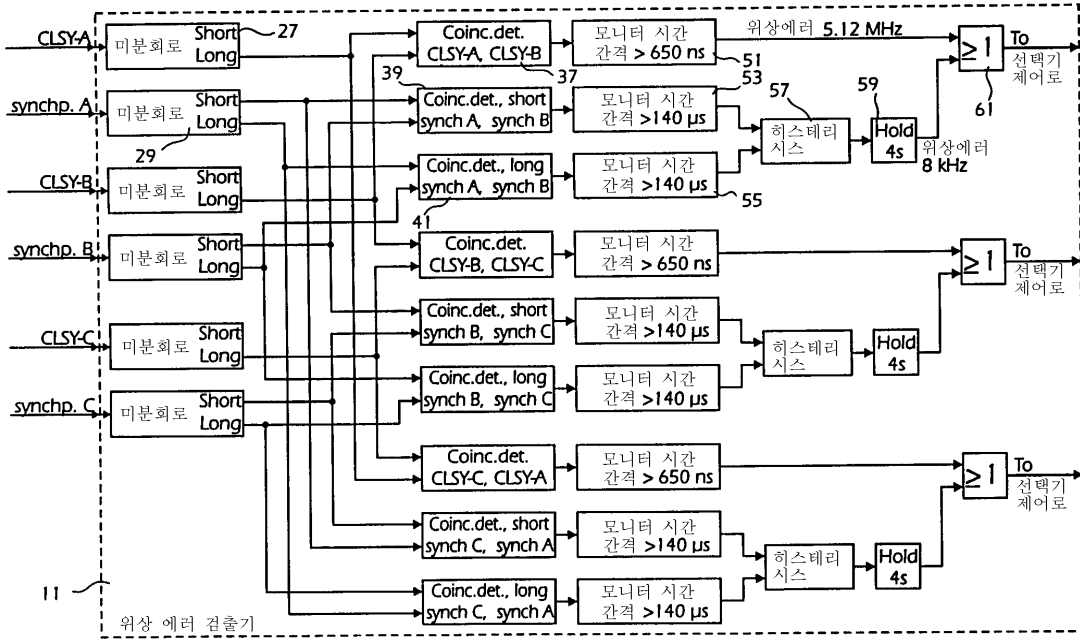
도면5d



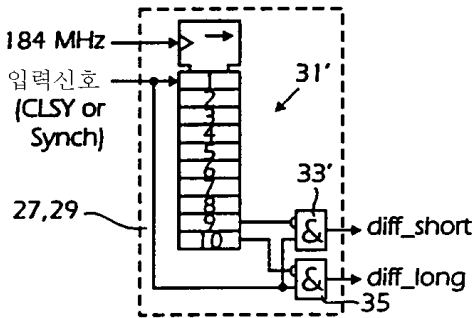
도면5e



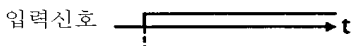
도면6a



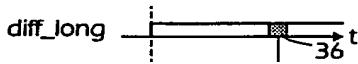
도면6b



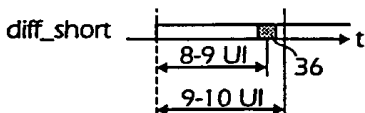
도면6c



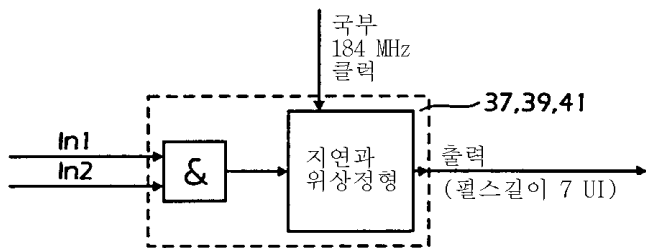
도면6d



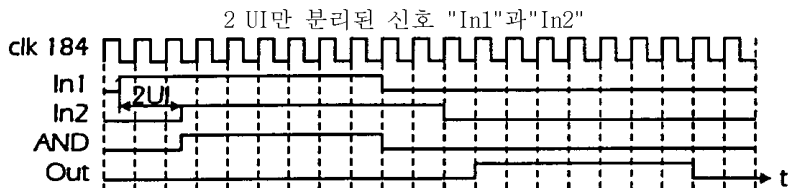
도면6e



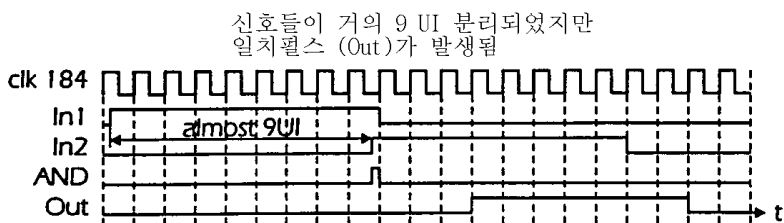
도면6f



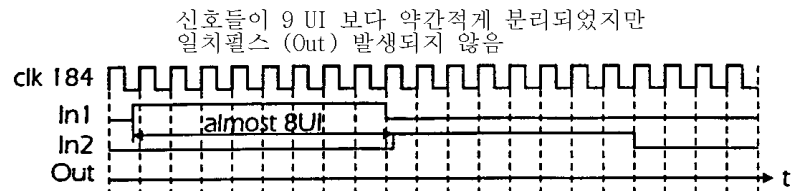
도면6g



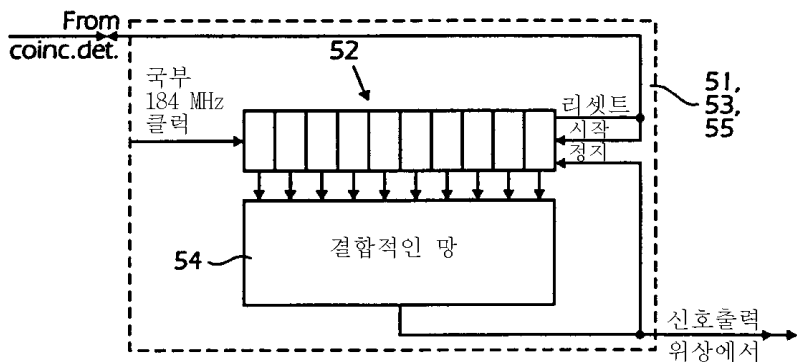
도면6h



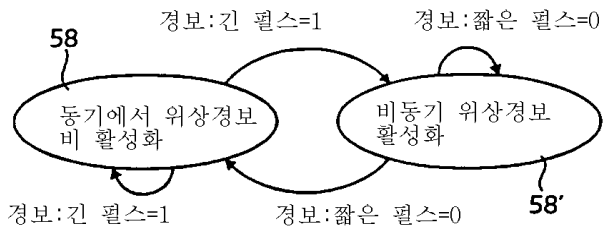
도면6i



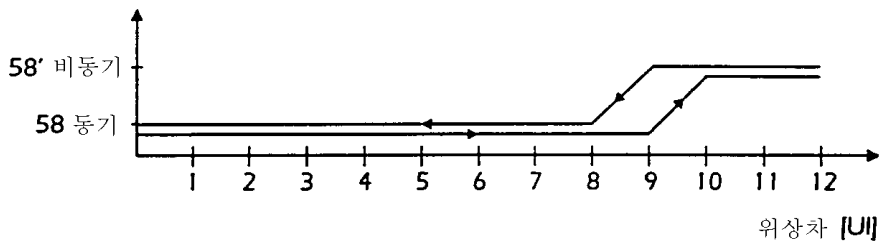
도면6j



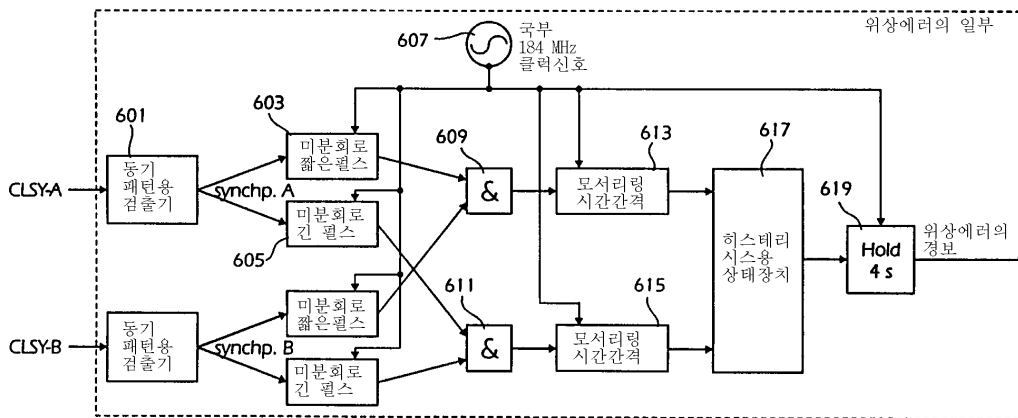
도면6k



도면6l



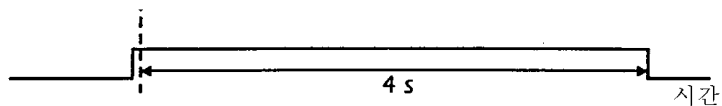
도면6m



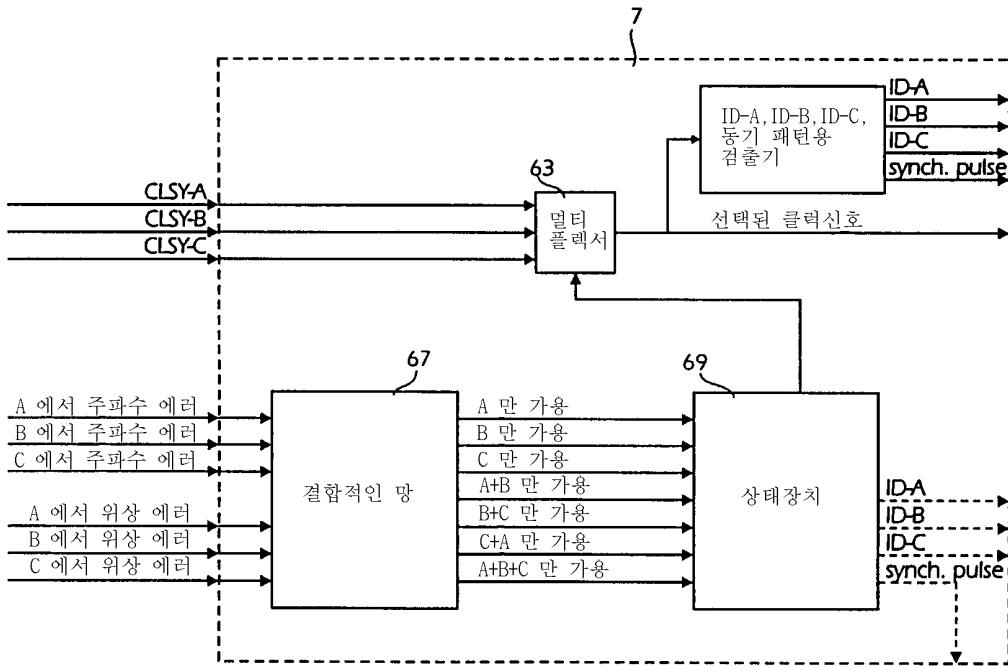
도면6n



도면6o



도면7a



도면7b

위상에러			주과수 에러			가용신호
A B	B C	C A	A	B	C	

위상에러 없음

0	0	0	0	0	0	ABC
			0	0	1	AB
			0	1	0	CA
			0	1	1	A
			1	0	0	BC
			1	0	1	B
			1	1	0	C
			1	1	1	A

한 위상에러

0	0	1	0	0	0	AB
			0	0	1	AB
			0	1	0	A
			0	1	1	A
			1	0	0	B
			1	0	1	B
			1	1	0	C
			1	1	1	A

한 위상에러

0	1	0	0	0	0	CA
			0	0	1	A
			0	1	0	CA
			0	1	1	A
			1	0	0	C
			1	0	1	B
			1	1	0	C
			1	1	1	A

C에서 위상에러

0	1	1	0	0	0	AB
			0	0	1	AB
			0	1	0	A
			0	1	1	A
			1	0	0	B
			1	0	1	B
			1	1	0	C
			1	1	1	A

위상에러			주과수 에러			가용신호
A B	B C	C A	A	B	C	

위상에러 없음

1	0	0	0	0	0	BC
			0	0	1	B
			0	1	0	C
			0	1	1	A
			1	0	0	BC
			1	0	1	B
			1	1	0	C
			1	1	1	A

A에서 위상에러

1	0	1	0	0	0	BC
			0	0	1	B
			0	1	0	C
			0	1	1	A
			1	0	0	BC
			1	0	1	B
			1	1	0	C
			1	1	1	A

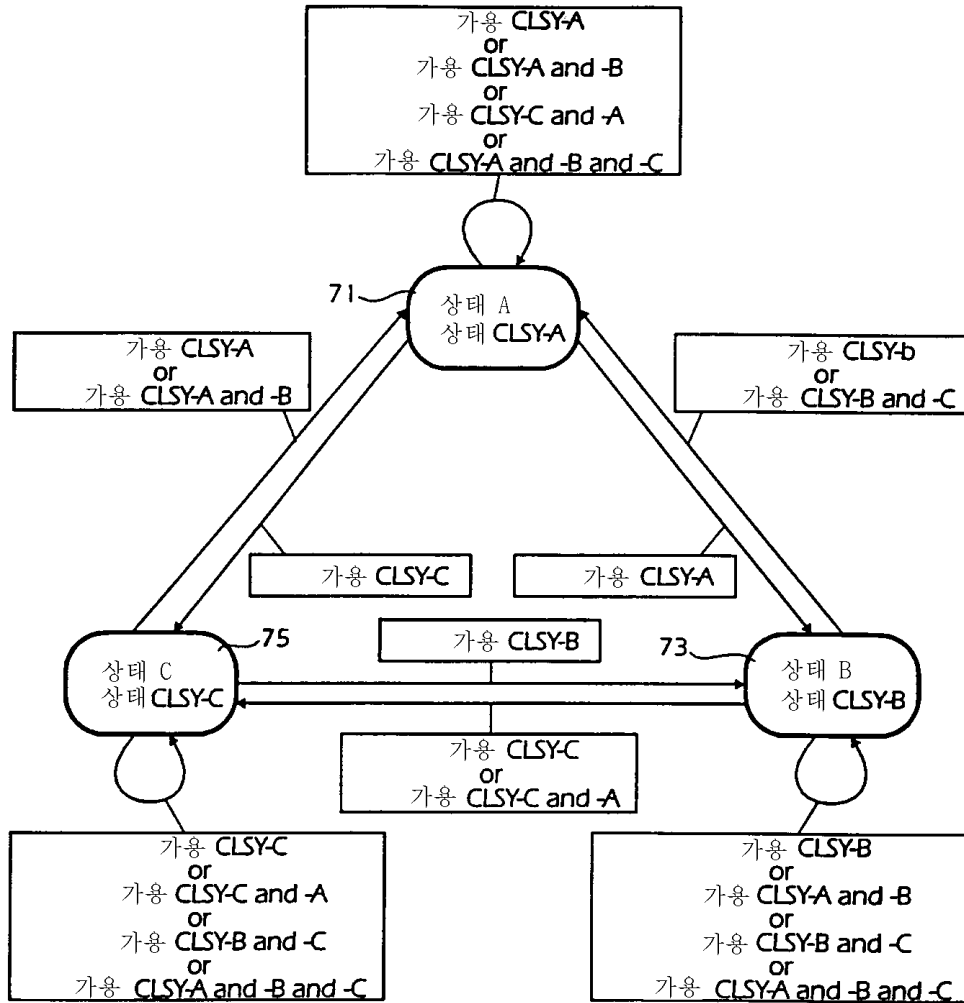
B에서 위상에러

1	1	0	0	0	0	CA
			0	0	1	A(B)
			0	1	0	CA
			0	1	1	A
			1	0	0	C
			1	0	1	B
			1	1	0	C
			1	1	1	A

모든 신호간의 위상에러

1	1	1	0	0	0	A
			0	0	1	A(B)
			0	1	0	A
			0	1	1	A
			1	0	0	B
			1	0	1	B
			1	1	0	C
			1	1	1	A

도면7c



도면8

