



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0087431
(43) 공개일자 2016년07월22일

(51) 국제특허분류(Int. Cl.)
G11C 16/02 (2006.01) G11C 16/06 (2006.01)
G11C 16/34 (2006.01)

(52) CPC특허분류
G11C 16/02 (2013.01)
G11C 16/06 (2013.01)

(21) 출원번호 10-2015-0006034

(22) 출원일자 2015년01월13일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김보창

경기도 수원시 영통로154번길 51-16(망포동, 센트럴하이츠아파트)

(74) 대리인

특허법인 고려

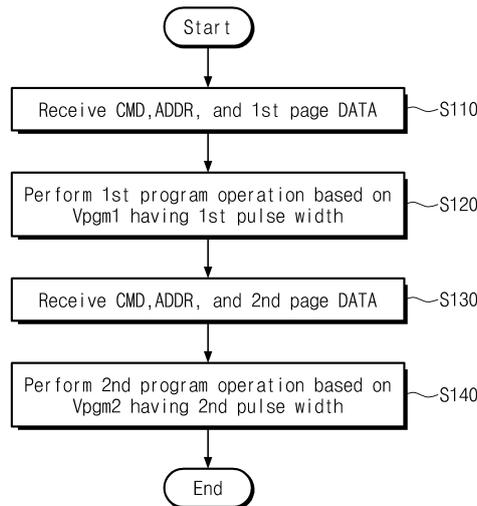
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 불휘발성 메모리 장치, 그것의 동작 방법, 및 그것의 프로그램 방법

(57) 요약

본 발명의 실시 예에 따른 적어도 2-비트를 저장하는 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 프로그램 방법은 제1 펄스폭을 갖는 복수의 프로그램 전압들을 기반으로 제1 프로그램 동작을 수행하여 제1 페이지 데이터를 상기 복수의 메모리 셀들 중 선택된 워드라인과 연결된 선택된 메모리 셀들에 프로그램하는 단계, 및 상기 제1 펄스폭과 다른 제2 펄스폭을 갖는 복수의 프로그램 전압들을 기반으로 제2 프로그램 동작을 수행하여 상기 제1 페이지 데이터가 프로그램된 선택된 메모리 셀들에 제2 페이지 데이터를 프로그램하는 단계를 포함한다.

대표도 - 도3



(52) CPC특허분류
G11C 16/34 (2013.01)

명세서

청구범위

청구항 1

적어도 2-비트를 저장하는 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 프로그램 방법에 있어서,
제1 펄스폭을 갖는 복수의 프로그램 전압들을 기반으로 제1 프로그램 동작을 수행하여 제1 페이지 데이터를 상기 복수의 메모리 셀들 중 선택된 워드라인과 연결된 선택된 메모리 셀들에 프로그램하는 단계; 및
상기 제1 펄스폭과 다른 제2 펄스폭을 갖는 복수의 프로그램 전압들을 기반으로 제2 프로그램 동작을 수행하여 상기 제1 페이지 데이터가 프로그램된 선택된 메모리 셀들에 제2 페이지 데이터를 프로그램하는 단계를 포함하는 프로그램 방법.

청구항 2

제 1 항에 있어서,
상기 제1 펄스폭은 상기 제2 펄스폭보다 좁은 프로그램 방법.

청구항 3

제 1 항에 있어서,
상기 제1 및 제2 프로그램 동작들 각각은 복수의 프로그램 루프들을 포함하는 프로그램 방법.

청구항 4

제 3 항에 있어서,
상기 제1 프로그램 동작에 포함된 상기 복수의 프로그램 루프들 각각은
상기 제1 펄스폭을 갖는 프로그램 전압을 인가하는 프로그램 단계; 및
상기 제1 페이지 데이터와 대응되는 검증 전압을 인가하는 검증 단계를 포함하는 프로그램 방법.

청구항 5

제 3 항에 있어서,
상기 제2 프로그램 동작에 포함된 상기 복수의 프로그램 루프들 각각은
상기 제2 펄스폭을 갖는 프로그램 전압을 인가하는 프로그램 단계; 및
상기 제1 및 제2 페이지 데이터와 대응되는 적어도 둘 이상의 검증 전압들을 인가하는 검증 단계를 포함하는 프로그램 방법.

청구항 6

제 1 항에 있어서,
상기 제1 펄스폭 및 상기 제2 펄스폭 각각은
저전압으로부터 상기 복수의 프로그램 전압들 각각으로 상승하는 상승 구간;
상기 복수의 프로그램 전압들 각각을 유지하는 실행 구간; 및
상기 복수의 프로그램 전압들 각각으로부터 상기 저전압으로 하강하는 회복 구간을 포함하는 프로그램 방법.

청구항 7

제 6 항에 있어서,

상기 제1 펄스폭의 상승 구간이 상기 제2 펄스폭의 상승 구간보다 짧거나
 상기 제1 펄스폭의 실행 구간이 상기 제2 펄스폭의 실행 구간보다 짧거나, 또는
 상기 제1 펄스폭의 회복 구간이 상기 제2 펄스폭의 회복 구간보다 짧은 프로그램 방법.

청구항 8

제 1 항에 있어서,
 상기 제2 프로그램 동작은 상기 제1 프로그램 동작이 완료된 이후에 수행되는 프로그램 방법.

청구항 9

제 1 항에 있어서,
 상기 불휘발성 메모리 장치는 3차원 메모리 어레이를 포함하는 프로그램 방법.

청구항 10

적어도 2-비트를 각각 저장하는 복수의 메모리 셀들을 포함하고, 복수의 프로그램 동작들을 포함하는 멀티 스텝 프로그램을 기반으로 상기 복수의 메모리 셀들을 프로그램하는 불휘발성 메모리 장치의 동작 방법에 있어서,
 외부 장치로부터 커맨드 및 데이터를 수신하는 단계;
 상기 복수의 프로그램 동작들 중 상기 커맨드에 응답하여 수행될 프로그램 동작을 판별하는 단계;
 상기 판별 결과에 따라 프로그램 전압의 펄스폭을 포함하는 프로그램 파라미터를 조절하는 단계; 및
 상기 조절된 프로그램 파라미터를 기반으로 상기 데이터를 상기 복수의 메모리 셀들 중 선택된 워드라인과 연결된 선택된 메모리 셀들에 프로그램하는 단계를 포함하는 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리에 관한 것으로 더욱 상세하게는 불휘발성 메모리 장치, 그것의 동작 방법, 및 그것의 프로그램 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불 휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다.

[0004] 플래시 메모리는 대용량, 저소음, 저전력 등의 장점으로 다양한 분야에서 사용된다. 플래시 메모리는 메모리 셀들의 문턱 전압을 가변시킴으로써 데이터를 저장한다. 최근에는 반도체 기술이 향상됨에 따라, 하나의 메모리 셀에 적어도 2-비트를 저장하는 멀티-레벨 셀(MLC; multi level cell)이 널리 사용되고 있다. 그러나, 멀티-레벨 셀은 하나의 메모리 셀에 복수의 비트를 저장하기 때문에 적은 읽기 마진을 갖는다. 최근에는 반도체 집적 기술이 향상됨에 따라 메모리 셀들의 크기가 작아져서 외부 요인 또는 인접 메모리 셀들 간의 간섭으로 인하여 멀티 레벨 셀들에 저장된 데이터가 소실될 수 있다. 이러한 문제점을 해결하기 위하여 멀티-레벨 셀을 프로그램

하기 위한 다양한 프로그램 방식들이 개발되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 수행될 프로그램 동작에 따라 프로그램 전압의 펄스폭을 조절함으로써 향상된 성능을 갖는 불휘발성 메모리 장치, 그것의 동작 방법, 및 그것의 프로그램 방법을 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 적어도 2-비트를 저장하는 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 프로그램 방법은 제1 펄스폭을 갖는 복수의 프로그램 전압들을 기반으로 제1 프로그램 동작을 수행하여 제1 페이지 데이터를 상기 복수의 메모리 셀들 중 선택된 워드라인과 연결된 선택된 메모리 셀들에 프로그램하는 단계; 및 상기 제1 펄스폭과 다른 제2 펄스폭을 갖는 복수의 프로그램 전압들을 기반으로 제2 프로그램 동작을 수행하여 상기 제1 페이지 데이터가 프로그램된 선택된 메모리 셀들에 제2 페이지 데이터를 프로그램하는 단계를 포함한다.

[0007] 실시 예로서, 상기 제1 펄스폭은 상기 제2 펄스폭보다 좁다.

[0008] 실시 예로서, 상기 제1 및 제2 프로그램 동작들 각각은 복수의 프로그램 루프들을 포함한다.

[0009] 실시 예로서, 상기 제1 프로그램 동작에 포함된 상기 복수의 프로그램 루프들 각각은 상기 제1 펄스폭을 갖는 프로그램 전압을 인가하는 프로그램 단계; 및 상기 제1 페이지 데이터와 대응되는 검증 전압을 인가하는 검증 단계를 포함한다.

[0010] 실시 예로서, 상기 제2 프로그램 동작에 포함된 상기 복수의 프로그램 루프들 각각은 상기 제2 펄스폭을 갖는 프로그램 전압을 인가하는 프로그램 단계; 및 상기 제1 및 제2 페이지 데이터와 대응되는 적어도 둘 이상의 검증 전압들을 인가하는 검증 단계를 포함한다.

[0011] 실시 예로서, 상기 제2 페이지 데이터는 적어도 둘 이상의 페이지 데이터를 포함한다.

[0012] 실시 예로서, 상기 제1 펄스폭 및 상기 제2 펄스폭 각각은 저전압으로부터 상기 복수의 프로그램 전압들 각각으로 상승하는 상승 구간; 상기 복수의 프로그램 전압들 각각을 유지하는 실행 구간; 및 상기 복수의 프로그램 전압들 각각으로부터 상기 저전압으로 하강하는 회복 구간을 포함한다.

[0013] 실시 예로서, 상기 제1 펄스폭의 상승 구간이 상기 제2 펄스폭의 상승 구간보다 짧거나 상기 제1 펄스폭의 실행 구간이 상기 제2 펄스폭의 실행 구간보다 짧거나, 또는 상기 제1 펄스폭의 회복 구간이 상기 제2 펄스폭의 회복 구간보다 짧다.

[0014] 실시 예로서, 상기 제2 프로그램 동작은 상기 제1 프로그램 동작이 완료된 이후에 수행된다.

[0015] 실시 예로서, 상기 불휘발성 메모리 장치는 3차원 메모리 어레이를 포함한다.

[0016] 실시 예로서, 상기 3차원 메모리 어레이는 실리콘 기판 위에 배치되는 활성 영역들을 갖는 메모리 셀들의 하나 또는 그 이상의 물리 레벨들에 모놀리식(monolithically) 형성되는 불휘발성 메모리를 포함한다.

[0017] 실시 예로서, 상기 3차원 메모리 어레이는 복수의 메모리 셀들을 포함하며, 상기 복수의 메모리 셀들 각각은 전하 트랩 층을 포함한다.

[0018] 본 발명의 다른 실시 예에 따른 적어도 2-비트를 각각 저장하는 복수의 메모리 셀들을 포함하고, 복수의 프로그램 동작들을 포함하는 멀티 스텝 프로그램을 기반으로 상기 복수의 메모리 셀들을 프로그램하는 불휘발성 메모리 장치의 동작 방법은 외부 장치로부터 커맨드 및 데이터를 수신하는 단계; 상기 복수의 프로그램 동작들 중 상기 커맨드에 응답하여 수행될 프로그램 동작을 판별하는 단계; 상기 판별 결과에 따라 프로그램 전압의 펄스폭을 포함하는 프로그램 파라미터를 조절하는 단계; 및 상기 조절된 프로그램 파라미터를 기반으로 상기 데이터를 상기 복수의 메모리 셀들 중 선택된 워드라인과 연결된 선택된 메모리 셀들에 프로그램하는 단계를 포함한다.

[0019] 실시 예로서, 상기 수행될 프로그램 동작을 판별하는 단계는, 상기 선택 워드라인과 대응되는 플래그 비트를 기반으로 상기 수행될 프로그램 동작을 판별하는 단계를 포함한다.

- [0020] 실시 예로서, 상기 수행될 프로그램 동작을 판별하는 단계는, 상기 선택된 메모리 셀들에 수행된 프로그램 동작의 횟수를 기반으로 상기 수행될 프로그램 동작을 판별하는 단계를 포함한다.
- [0021] 실시 예로서, 상기 수행될 프로그램 동작을 판별하는 단계는 상기 커맨드를 기반으로 상기 수행될 프로그램 동작을 판별하는 단계를 포함한다.
- [0022] 실시 예로서, 상기 복수의 프로그램 동작들 각각은 복수의 프로그램 루프들을 포함한다.
- [0023] 실시 예로서, 상기 프로그램 파라미터는 상기 프로그램 전압의 시작 레벨, 증가량, 및 상기 복수의 프로그램 루프들의 횟수를 더 포함하고, 상기 판별 결과에 따라 프로그램 전압의 펄스폭을 포함하는 프로그램 파라미터를 조절하는 단계는, 상기 판별 결과에 따라, 상기 프로그램 전압의 펄스폭, 증가량, 및 상기 복수의 프로그램 루프들의 횟수를 조절하는 단계를 포함한다.
- [0024] 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 장치는 적어도 2 비트를 각각 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 복수의 프로그램 전압들을 생성하는 전압 발생기; 복수의 워드라인들을 통해 상기 메모리 셀 어레이와 연결되고, 상기 복수의 워드라인들 중 선택된 워드라인에 상기 전압 발생기로부터 생성된 상기 복수의 프로그램 전압들을 순차적으로 인가하는 어드레드 디코더; 및 상기 전압 발생기 및 상기 어드레드 디코더를 제어하는 제어 로직 회로를 포함하되, 상기 제어 로직 회로는 복수의 메모리 셀들 중 상기 선택된 워드라인과 연결된 선택된 메모리 셀들의 프로그램 상태에 따라 상기 복수의 프로그램 전압들의 펄스폭을 조절한다.
- [0025] 실시 예로서, 상기 불휘발성 메모리 장치는 복수의 비트 라인을 통해 상기 메모리 셀 어레이와 연결되고, 상기 제어 로직 회로의 제어에 따라 상기 비트라인을 구동하는 페이지 버퍼; 및 외부 장치로부터 상기 선택된 메모리 셀들에 저장될 데이터를 수신하고, 상기 수신된 데이터를 상기 페이지 버퍼로 전달하는 입출력 회로를 더 포함한다.

발명의 효과

- [0026] 본 발명에 따르면, 불휘발성 메모리 장치는 수행될 프로그램 동작에 따라 프로그램 펄스폭을 조절할 수 있다. 따라서, 프로그램 속도가 향상되므로, 향상된 성능을 갖는 불휘발성 메모리 장치, 그것의 동작 방법, 및 그것의 프로그램 방법에 제공된다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.
- 도 2는 도 1의 메모리 셀 어레이에 포함된 복수의 메모리 블록들 중 제1 메모리 블록을 예시적으로 보여주는 회로도이다.
- 도 3은 도 1의 불휘발성 메모리 장치의 프로그램 동작을 보여주는 순서도이다.
- 도 4 및 도 5는 도 3의 불휘발성 메모리 장치의 동작을 설명하기 위한 도면들이다.
- 도 6은 도 1의 불휘발성 메모리 장치의 프로그램 순서를 설명하기 위한 도면이다.
- 도 7 및 도 8은 제1 및 제2 프로그램 동작에서의 바이어스 전압을 보여주는 타이밍도이다.
- 도 9 내지 도 11은 본 발명의 다른 실시 예에 따른 불휘발성 메모리 장치의 동작을 설명하기 위한 도면들이다.
- 도 12는 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 장치의 동작을 보여주는 순서도이다.
- 도 13은 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다.
- 도 14 및 도 15는 도 13의 불휘발성 메모리 장치의 프로그램 동작을 설명하기 위한 도면들이다.
- 도 16은 본 발명에 따른 불휘발성 메모리 장치에 포함된 제1 메모리 블록의 다른 예를 보여주는 회로도이다.
- 도 17은 본 발명의 실시 예들에 따른 불휘발성 메모리 시스템이 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- 도 18은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 SSD(Solid State Drive) 시스템을 예시적으로 보여주는 블록도이다.

도 19는 본 발명에 따른 불휘발성 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하에서, 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세하게 설명하기 위하여 본 발명의 실시 예들을 첨부된 도면들을 참조하여 설명하기로 한다.
- [0029] 본 발명의 실시 예에 따른 불휘발성 메모리 장치는 멀티-스텝 프로그램 방식을 기반으로 멀티-레벨 셀들을 프로그램할 수 있다. 멀티-스텝 프로그램 방식은 복수의 프로그램 동작들을 포함한다. 불휘발성 메모리 장치는 수행될 프로그램 동작에 따라, 프로그램 전압의 펄스폭을 조절할 수 있다. 따라서, 향상된 성능을 갖는 불휘발성 메모리 장치가 제공된다.
- [0030] 도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다. 도 1을 참조하면, 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 제어 로직 회로(130), 전압 발생기(140), 페이지 버퍼(150), 및 입출력 회로(160)를 포함한다.
- [0031] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함할 수 있다. 복수의 메모리 블록들 각각은 복수의 셀 스트링들을 포함할 수 있다. 복수의 셀 스트링들 각각은 복수의 메모리 셀들을 포함한다. 복수의 메모리 셀들은 복수의 워드라인들(WL)과 연결될 수 있다. 복수의 메모리 셀들 각각은 1-비트를 저장하는 단일 레벨 셀(SLC; Single Level Cell) 또는 적어도 2-비트를 저장하는 멀티 레벨 셀(MLC; Multi Level Cell)을 포함할 수 있다.
- [0032] 어드레스 디코더(120)는 스트링 선택된 라인들(SSL), 복수의 워드라인들(WL), 및 접지 선택된 라인들(GSL)을 통해 메모리 셀 어레이(110)와 연결된다. 어드레스 디코더(120)는 외부 장치(예를 들어, 메모리 컨트롤러, 호스트, AP, 등)로부터 어드레스(ADDR)를 수신하고, 수신된 어드레스(ADDR)를 디코딩하여, 복수의 워드라인들(WL)을 구동할 수 있다. 예를 들어, 어드레스 디코더(120)는 외부 장치로부터 수신된 어드레스(ADDR)를 디코딩하고, 디코딩된 어드레스(ADDR)를 기반으로 복수의 워드라인들(WL) 중 적어도 하나의 워드라인을 선택할 수 있다. 어드레스 디코더(120)는 전압 발생기(140)로부터 수신된 전압(좀 더 상세하게는 워드라인 전압)을 선택된 워드라인으로 제공할 수 있다.
- [0033] 제어 로직 회로(130)는 외부 장치로부터 커맨드(CMD) 및 제어 신호(CTRL)를 수신하고, 수신된 신호들에 응답하여 어드레스 디코더(120), 전압 발생기(140), 페이지 버퍼(150), 및 입출력 회로(160)를 제어할 수 있다. 예를 들어, 제어 로직 회로(130)는 신호들(CMD, CTRL)에 응답하여 데이터(DATA)가 메모리 셀 어레이(110)에 저장되도록 다른 구성 요소들을 제어할 수 있다. 또는 제어 로직 회로(130)는 신호들(CMD, CTRL)에 응답하여 메모리 셀 어레이(110)에 저장된 데이터(DATA)가 외부 장치로 전송되도록 다른 구성 요소들을 제어할 수 있다.
- [0034] 전압 발생기(140)는 불휘발성 메모리 장치(100)가 동작하는데 요구되는 다양한 전압들을 생성할 수 있다. 예를 들어, 전압 발생기(140)는 복수의 프로그램 전압들, 복수의 페스 전압들, 복수의 선택된 읽기 전압들, 복수의 비선택된 읽기 전압들, 복수의 소거 전압들, 복수의 검증 전압들과 같은 다양한 전압들을 생성할 수 있다. 예시적으로, 전압 발생기(140)는 제어 로직 회로(130)의 제어에 따라 복수의 프로그램 전압들을 생성할 수 있다. 예시적으로, 전압 발생기(140)는 제어 로직 회로(130)의 제어에 따라 복수의 프로그램 전압들의 펄스폭을 조절할 수 있다.
- [0035] 페이지 버퍼(150)는 복수의 비트 라인들(BL)을 통해 메모리 셀 어레이(110)와 연결된다. 페이지 버퍼(150)는 제어 로직 회로(130)의 제어에 따라 입출력 회로(160)로부터 수신된 데이터(DATA)를 기반으로 비트 라인들(BL)을 제어할 수 있다. 페이지 버퍼(150)는 제어 로직 회로(130)의 제어에 따라 메모리 셀 어레이(110)에 저장된 데이터를 읽고, 읽은 데이터를 입출력 회로(160)로 전달할 수 있다. 예시적으로, 페이지 버퍼(150)는 입출력 회로(160)로부터 페이지 단위로 데이터를 수신하거나 또는 메모리 셀 어레이(110)로부터 페이지 단위로 데이터를 읽을 수 있다.
- [0036] 입출력 회로(160)는 외부 장치로부터 데이터(DATA)를 수신하고, 수신된 데이터(DATA)를 페이지 버퍼(150)로 전달할 수 있다. 또는 입출력 회로(160)는 페이지 버퍼(150)로부터 데이터(DATA)를 수신하고, 수신된 데이터(DATA)를 외부 장치로 전달할 수 있다. 예시적으로, 입출력 회로(160)는 제어 신호(CTRL)와 동기되어 외부 장치와 데이터(DATA)를 송수신할 수 있다.
- [0037] 본 발명의 개념에 따른 실시 예로서, 3차원 메모리 어레이가 제공된다. 3차원 메모리 어레이는, 실리콘 기판 및 메모리 셀들의 동작에 연관된 회로의 위에 배치되는 활성 영역을 갖는 메모리 셀들의 어레이들의 하나 또는 그 이상의 물리 레벨들에 모놀리식적으로(monolithically) 형성될 수 있다. 메모리 셀들의 동작에 연관된 회로는 기

관 내에 또는 기관 위에 위치할 수 있다. 모놀리식(monolithic)이란 용어는, 3차원 어레이의 각 레벨의 층들이 3차원 어레이의 하위 레벨의 층들 위에 직접 증착됨을 의미한다.

- [0038] 본 발명의 개념에 따른 실시 예로서, 3차원 메모리 어레이는 수직의 방향성을 가져, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀 위에 위치하는 수직 NAND 스트링들을 포함한다. 적어도 하나의 메모리 셀은 전하 트랩 층을 포함한다. 각각의 수직 NAND 스트링은 메모리 셀들 위에 위치하는 적어도 하나의 선택 트랜지스터를 포함할 수 있다. 적어도 하나의 선택 트랜지스터는 메모리 셀들과 동일한 구조를 갖고, 메모리 셀들과 함께 모놀리식으로 형성될 수 있다.
- [0039] 3차원 메모리 어레이가 복수의 레벨들로 구성되고, 레벨들 사이에 공유된 워드 라인들 또는 비트 라인들을 갖고, 3차원 메모리 어레이에 적합한 구성은 미국등록특허공보 제7,679,133호, 미국등록특허공보 제8,553,466호, 미국등록특허공보 제8,654,587호, 미국등록특허공보 제8,559,235호, 그리고 미국공개특허공보 제2011/0233648호에 개시되어 있으며, 본 발명의 레퍼런스로 포함된다.
- [0040] 예시적으로, 본 발명의 실시 예에 따른 불휘발성 메모리 장치(100)에 포함된 복수의 메모리 셀들 각각은 적어도 2-비트를 저장하는 멀티 레벨 셀(MLC)일 수 있다. 불휘발성 메모리 장치(100)는 멀티-스텝 프로그램 방식을 기반으로 멀티 레벨 셀들에 데이터(DATA)를 프로그램할 수 있다. 멀티-스텝 프로그램 방식은 적어도 2회의 프로그램 동작들을 수행하여 복수의 페이지 데이터를 하나의 워드라인과 연결된 메모리 셀들에 프로그램하는 방식을 가리킨다. 이 때, 적어도 2회의 프로그램 동작들 각각은 복수의 프로그램 루프들을 포함한다. 예시적으로, 멀티-스텝 프로그램 방식은 웨도우 프로그램 방식, 재프로그램 방식 등과 같은 다양한 프로그램 방식들을 포함할 수 있다.
- [0041] 예를 들어, 불휘발성 메모리 장치(100)에 포함된 복수의 메모리 셀들이 2-비트를 저장하는 멀티 레벨 셀인 경우, 제1 프로그램 동작 및 제2 프로그램 동작을 수행하여 데이터(DATA)를 프로그램할 수 있다. 제1 프로그램 동작 동안 불휘발성 메모리 장치(100)는 저장될 페이지 데이터 중 최하위 비트(LSB; least signification bit)와 대응되는 LSB 페이지 데이터를 선택된 워드라인과 연결된 선택된 메모리 셀들에 프로그램할 수 있다. 이후, 제2 프로그램 동작 동안, 불휘발성 메모리 장치(100)는 저장될 페이지 데이터 중 최상위 비트(MSB; most signification bit)와 대응되는 MSB 페이지 데이터를 선택된 워드라인과 연결된 메모리 셀들(즉, LSB 페이지 데이터가 프로그램된 메모리 셀들)에 프로그램할 수 있다.
- [0042] 예시적으로, 불휘발성 메모리 장치(100)는 멀티-스텝 프로그램 방식에서 사용되는 복수의 프로그램 동작들에 따라 선택된 워드라인으로 인가되는 프로그램 전압을 조절할 수 있다. 좀 더 상세하게는, 불휘발성 메모리 장치(100)는 멀티-스텝 프로그램 방식의 복수의 프로그램 동작들에 따라 선택된 워드라인으로 인가되는 프로그램 전압의 펄스폭을 조절할 수 있다. 예를 들어, 불휘발성 메모리 장치(100)는 제1 펄스폭을 갖는 프로그램 전압들을 기반으로 제1 프로그램 동작을 수행할 수 있다. 불휘발성 메모리 장치(100)는 제1 펄스폭과 다른 제2 펄스폭을 갖는 프로그램 전압들을 기반으로 제2 프로그램 동작을 수행할 수 있다.
- [0043] 도 2는 도 1의 메모리 셀 어레이에 포함된 복수의 메모리 블록들 중 제1 메모리 블록을 예시적으로 보여주는 회로도이다. 예시적으로, 도 2를 참조하여 제1 메모리 블록(BLK1)이 설명되나, 본 발명의 범위가 이에 한정되는 것은 아니다. 도 1 및 도 2를 참조하면, 제1 메모리 블록(BLK1)은 복수의 셀 스트링들(STR)을 포함한다. 복수의 셀 스트링들(STR) 각각은 스트링 선택된 트랜지스터(SST), 제1 내지 제6 메모리 셀들(MC1~MC6), 및 접지 선택된 트랜지스터(GST)를 포함한다. 스트링 선택된 트랜지스터들(SST)은 스트링 선택된 라인(SSL)과 연결된다. 제1 내지 제6 메모리 셀들(MC1~MC6)은 각각 제1 내지 제6 워드라인들(WL1~WL6)과 연결된다. 접지 선택된 트랜지스터들(GST)은 접지 선택된 라인(GSL)과 연결된다. 복수의 스트링들(STR)은 각각 복수의 비트라인들(BL)과 연결된다.
- [0044] 도 3은 도 1의 불휘발성 메모리 장치의 프로그램 동작을 보여주는 순서도이다. 예시적으로, 불휘발성 메모리 장치(100)는 멀티-스텝 프로그램 방식을 기반으로 프로그램 동작을 수행하는 것으로 가정한다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0045] 또한, 간결한 설명을 위하여, 복수의 메모리 셀들(MC1~MC6)은 2-비트를 저장하는 멀티-레벨 셀이고, 선택된 워드라인과 연결된 선택된 메모리 셀들은 제1 페이지 데이터(예를 들어, LSB 페이지 데이터) 및 제2 페이지 데이터(MSB 페이지 데이터)를 저장하는 것으로 가정한다.
- [0046] 또한, 불휘발성 메모리 장치(100)는 제1 및 제2 프로그램 동작들을 포함하는 멀티-스텝 프로그램 방식을 기반으로 제1 및 제2 페이지 데이터를 선택된 워드라인과 연결된 선택된 메모리 셀들에 프로그램하는 것으로 가정한다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니며, 복수의 메모리 셀들(MC1~MC6)은 하나의 비트를

저장하는 SLC 또는 적어도 2-비트를 저장하는 MLC를 포함할 수 있으며, 멀티 스텝 프로그램 방식은 복수의 프로그램 동작들을 더 포함할 수 있다.

- [0047] 도 1 및 도 3을 참조하면, 불휘발성 메모리 장치(100)는 외부 장치(예를 들어, 메모리 컨트롤러, 호스트, AP 등)로부터 커맨드(CMD), 어드레스(ADDR), 및 제1 페이지 데이터를 수신할 수 있다. 예시적으로, 커맨드(CMD)는 불휘발성 메모리 장치(100) 및 외부 장치 사이의 인터페이스에 의해 정의된 프로그램 커맨드일 수 있다. 어드레스(ADDR)는 선택된 워드라인과 대응되는 물리 주소일 수 있다. 제1 페이지 데이터는 선택된 워드라인과 연결된 선택된 메모리 셀들에 기입될 복수의 페이지 데이터 중 LSB 페이지 데이터일 수 있다.
- [0048] S120 단계에서, 불휘발성 메모리 장치(100)는 제1 펄스폭을 갖는 프로그램 전압들을 기반으로 제1 프로그램 동작을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(100)는 제1 페이지 데이터가 어드레스(ADDR)와 대응되는 선택된 워드라인과 연결된 선택된 메모리 셀들에 기입되도록 제1 프로그램 동작을 수행한다. 제1 프로그램 동작은 증가형 스텝 펄스 프로그램(ISPP; incremental step pulse programming) 방식을 기반으로 수행될 수 있다. 즉, 제1 프로그램 동작은 복수의 프로그램 루프들을 포함하고, 복수의 프로그램 루프들 각각은 프로그램 전압을 선택된 워드라인으로 인가하는 프로그램 단계; 및 검증 전압을 선택된 워드라인으로 인가하는 검증 단계를 포함하고, 프로그램 루프가 수행됨에 따라 프로그램 전압은 순차적으로 증가한다. 불휘발성 메모리 장치(100)는 제1 프로그램 동작에 포함된 복수의 프로그램 루프들 각각의 프로그램 단계에서 인가되는 프로그램 전압들의 펄스폭을 제1 펄스폭으로 조절할 수 있다. 다시 말해서, 불휘발성 메모리 장치(100)는 제1 프로그램 동작 동안, 제1 펄스폭을 갖는 프로그램 전압을 선택된 워드라인으로 인가할 수 있다.
- [0049] 제1 프로그램 동작이 완료된 이 후(즉, 제1 페이지 데이터가 프로그램된 이 후), S130 단계에서, 불휘발성 메모리 장치(100)는 외부 장치로부터 커맨드(CMD), 어드레스(ADDR), 및 제2 페이지 데이터를 수신한다. 예시적으로, 어드레스(ADDR)는 S110 단계의 어드레스(ADDR)와 동일한 어드레스일 수 있다. 예시적으로, 커맨드(CMD) 및 어드레스(ADDR)는 S130 단계에서 생략될 수 있다.
- [0050] S140 단계에서, 불휘발성 메모리 장치(100)는 제2 펄스폭을 갖는 프로그램 전압들을 기반으로 제2 프로그램 동작을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(100)는 제2 페이지 데이터가 어드레스(ADDR)와 대응되는 선택된 워드라인과 연결된 선택된 메모리 셀들(즉, 제1 페이지 데이터가 프로그램된 메모리 셀들)에 기입되도록 제2 프로그램 동작을 수행한다. 제2 프로그램 동작은 증가형 스텝 펄스 프로그램(ISPP; incremental step pulse programming) 방식을 기반으로 수행될 수 있다. 즉, 제2 프로그램 동작은 복수의 프로그램 루프들을 포함하고, 복수의 프로그램 루프들 각각은 프로그램 전압을 선택된 워드라인으로 인가하는 프로그램 단계; 및 검증 전압을 선택된 워드라인으로 인가하는 검증 단계를 포함하고, 프로그램 루프가 수행됨에 따라 프로그램 전압은 순차적으로 증가한다. 이 때, 불휘발성 메모리 장치(100)는 제2 프로그램 동작에 포함된 복수의 프로그램 루프들 각각의 프로그램 단계에서 인가되는 프로그램 전압들의 펄스폭을 제2 펄스폭으로 조절할 수 있다. 다시 말해서, 불휘발성 메모리 장치(100)는 제2 프로그램 동작 동안, 제2 펄스폭을 갖는 프로그램 전압을 선택된 워드라인으로 인가할 수 있다.
- [0051] 예시적으로, 제2 펄스폭은 제1 펄스폭과 다르다. 좀 더 상세한 예로서, 제2 펄스폭은 제1 펄스폭보다 넓을 수 있다. 즉, 불휘발성 메모리 장치(100)는 수행될 프로그램 동작에 따라 프로그램 전압의 펄스폭을 조절할 수 있다. 즉, 프로그램 동작에 따라 프로그램 전압의 펄스폭을 가변시킴으로써 향상된 성능을 갖는 불휘발성 메모리 장치가 제공된다.
- [0052] 도 4 및 도 5는 도 3의 불휘발성 메모리 장치의 동작을 설명하기 위한 도면들이다. 예시적으로, 도 3은 각 프로그램 동작에 따른 메모리 셀들의 문턱 전압 산포도를 보여주는 도면이다. 도 5는 프로그램 동작에 따라 선택된 워드라인으로 인가되는 프로그램 전압 및 검증 전압을 보여주는 그래프이다.
- [0053] 도 1 및 도 3 내지 도 5를 참조하면, 선택된 워드라인과 연결된 메모리 셀들은 소거 상태(E)를 가질 수 있다. 이 때, 도 3의 S110 단계에서 설명된 바와 같이, 불휘발성 메모리 장치(100)는 외부 장치로부터 커맨드(CMD), 어드레스(ADDR), 및 제1 페이지 데이터를 수신할 수 있다. 예시적으로, 커맨드(CMD)는 프로그램 커맨드이고, 어드레스(ADDR)는 선택된 워드라인과 대응되는 물리 주소일 수 있다.
- [0054] 불휘발성 메모리 장치(100)는 선택된 워드라인에 연결된 메모리 셀들이 각각 소거 상태(E) 및 프로그램 상태(P11) 중 어느 하나의 상태를 갖도록 제1 프로그램 동작을 수행할 수 있다. 예를 들어, 도 5에 도시된 바와 같이, 불휘발성 메모리 장치(100)는 증가형 스텝 펄스 프로그램(ISPP; incremental pulse step programming) 방식을 기반으로 제1 프로그램 동작을 수행할 수 있다. 좀 더 상세한 예로서, 제1 프로그램 동작은 복수의 프로그램

램 루프들을 포함하고, 복수의 프로그램 루프들 각각은 프로그램 전압들(Vp_{gm11}~Vp_{gm1n})을 인가하는 프로그램 단계 및 검증 전압(Vv_{fy11})을 인가하는 검증 단계를 포함한다. 제1 프로그램 동작 동안, 불휘발성 메모리 장치(100)는 프로그램 전압들(Vp_{gm11}~Vp_{gm1n})의 펄스폭을 제1 시간(T1)으로 조절할 수 있다.

[0055] 제1 프로그램 동작을 수행하여 제1 페이지 데이터가 선택된 워드라인과 연결된 메모리 셀들에 모두 프로그램 된 이후에, 불휘발성 메모리 장치(100)는 외부 장치로부터 커맨드(CMD), 어드레스(ADDR), 및 데이터(DATA)를 수신할 수 있다.

[0056] 불휘발성 메모리 장치(100)는 선택된 워드라인과 연결된 메모리 셀들(즉, 제1 페이지 데이터가 기입된 메모리 셀들 또는 소거 상태(E) 및 프로그램 상태(P11) 중 어느 하나의 상태를 갖는 메모리 셀들)에 제2 페이지 데이터가 프로그램되도록 제2 프로그램 동작을 수행할 수 있다. 예시적으로, 불휘발성 메모리 장치(100)는 선택된 워드라인과 연결된 메모리 셀들(즉, 제1 페이지 데이터가 기입된 메모리 셀들 또는 소거 상태(E) 및 프로그램 상태(P11) 중 어느 하나의 상태를 갖는 메모리 셀들)이 소거 상태(E) 및 프로그램 상태들(P21, P22, P23) 중 어느 하나의 상태를 갖도록 제2 프로그램 동작을 수행할 수 있다.

[0057] 예를 들어, 도 5에 도시된 바와 같이, 불휘발성 메모리 장치(100)는 증가형 스텝 펄스 프로그램(ISPP) 방식을 기반으로 제2 프로그램 동작을 수행할 수 있다. 좀 더 상세한 예로서, 제2 프로그램 동작은 복수의 프로그램 루프들을 포함하고, 복수의 프로그램 루프들 각각은 프로그램 전압들(Vp_{gm21}~Vp_{gm2m})을 인가하는 프로그램 단계 및 검증 전압들(Vv_{fy21}~Vv_{fy23})을 인가하는 검증 단계를 포함한다. 불휘발성 메모리 장치(100)는 프로그램 전압들(Vp_{gm21}~Vp_{gm2m})의 펄스폭을 제2 시간(T2)으로 조절할 수 있다. 예시적으로, 제2 시간(T2)은 제1 시간(T1)보다 길 수 있다.

[0058] 예시적으로, 제2 프로그램 동작의 검증 전압들(Vv_{fy21}~Vv_{fy23})은 제1 및 제2 페이지 데이터에 대응되는 프로그램 상태들을 검증하기 위한 검증 전압일 수 있다.

[0059] 상술된 바와 같이, 본 발명의 실시 예에 따른 불휘발성 메모리 장치(100)는 멀티-스텝 프로그램을 수행할 수 있다. 이 때, 불휘발성 메모리 장치(100)는 수행될 프로그램 동작에 따라 프로그램 전압의 펄스폭을 조절할 수 있다.

[0060] 도 6은 도 1의 불휘발성 메모리 장치의 프로그램 순서를 설명하기 위한 도면이다. 도 6을 참조하여 설명되는 멀티-프로그램 방식은 예시적인 것이며, 본 발명의 범위가 이에 한정되는 것은 아니다. 도 1 및 도 6을 참조하면, 앞서 언급된 바와 같이, 불휘발성 메모리 장치(100)에 포함된 메모리 셀들 각각은 2-비트를 저장하는 MLC이고, 불휘발성 메모리 장치(100)는 제1 및 제2 프로그램 동작들을 포함하는 멀티-스텝 프로그램 방식을 기반으로 프로그램을 수행할 수 있다.

[0061] 불휘발성 메모리 장치(100)는 도 6에 도시된 순서에 따라 메모리 셀들에 대하여 제1 및 제2 프로그램 동작들을 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(100)는 제1 워드라인(WL1)과 연결된 메모리 셀들에 대하여 제1 프로그램 동작을 수행한다. 이 후, 불휘발성 메모리 장치(100)는 제2 워드라인(WL2)과 연결된 메모리 셀들에 대하여 제1 프로그램 동작을 수행한다. 이 후, 불휘발성 메모리 장치(100)는 제1 워드라인(WL1)과 연결된 메모리 셀들에 대하여 제2 프로그램 동작을 수행한다. 마찬가지로, 불휘발성 메모리 장치(100)는 도 6에 도시된 순서에 따라 나머지 워드라인들(WL2~WL6)과 연결된 메모리 셀들에 대하여 제1 및 제2 프로그램 동작들을 수행할 수 있다.

[0062] 예시적으로, 제1 프로그램 동작은 제1 페이지 데이터(예를 들어, LSB 페이지 데이터)를 프로그램하는 동작을 가리키고, 제2 프로그램 동작은 제2 페이지 데이터(예를 들어, MSB 페이지 데이터)를 프로그램하는 동작을 가리킬 수 있다.

[0063] 예시적으로, 불휘발성 메모리 장치(100)는 플래그 비트를 기반으로 수행될 프로그램 동작이 제1 프로그램 동작인지 또는 제2 프로그램 동작인지 판별할 수 있다. 예시적으로, 불휘발성 메모리 장치(100)는 제1 프로그램 동작을 완료한 이후에, 선택된 워드라인과 연결된 메모리 셀들 중 적어도 하나의 메모리 셀에 제1 프로그램 동작이 완료되었음을 가리키는 플래그 비트를 기입할 수 있다. 이후, 선택된 워드라인에 대한 프로그램 커맨드(CMD)가 수신된 경우, 불휘발성 메모리 장치(100)는 선택된 워드라인과 연결된 메모리 셀들 중 적어도 하나에 기입된 플래그 비트를 판독하여, 수행될 프로그램 동작을 판별할 수 있다. 또는, 불휘발성 메모리 장치(100)는 외부 장치로부터 수행될 프로그램 동작의 정보를 수신하고, 수신된 정보를 기반으로 수행될 프로그램 동작을 판별할 수 있다.

[0064] 도 7 및 도 8은 제1 및 제2 프로그램 동작에서의 바이어스 전압을 보여주는 타이밍도이다. 간결한 설명 및 도면

의 간결성을 위하여, 복수의 프로그램 루프들 중 하나의 프로그램 루프에서 인가되는 프로그램 전압이 도 7 및 도 8에 도시된다. 예시적으로, 도 7은 제1 프로그램 동작의 프로그램 전압(Vpgm1)을 보여주고, 도 8은 제2 프로그램 동작의 프로그램 전압(Vpgm2)을 보여준다. 예시적으로, 도 7 및 도 8의 X축은 시간을 가리키고, Y축은 전압 레벨을 가리킨다.

- [0065] 먼저, 도 1, 도 2, 도 5, 및 도 7을 참조하면, 불휘발성 메모리 장치(100)는 제1 프로그램 동작의 하나의 프로그램 루프에 포함된 프로그램 단계에서, 도 7에 도시된 바와 같은 바이어스 전압들을 스트링 선택된 라인(SSL), 선택된 워드라인(Selected WL), 비선택된 워드라인들(Unselected WL), 비트 라인(BL), 및 접지 선택된 라인(GSL)으로 인가할 수 있다.
- [0066] 예를 들어, 제1 시점(t1)에서, 스트링 선택된 라인(SSL), 선택된 워드라인(Selected WL), 비선택된 워드라인(Unselected WL), 및 접지 선택된 라인(GSL)의 전압들은 패스 전압(Vpass) 또는 전원 전압(Vcc)으로 상승할 수 있다. 패스 전압(Vpass)은 메모리 셀들, 스트링 선택된 트랜지스터(SST), 및 접지 선택된 트랜지스터(GST)를 턴-온시킬 수 있는 고전압일 수 있다.
- [0067] 예시적으로, 프로그램 금지되는 메모리 셀들과 대응하는 비트라인(BL)의 전압은 제1 시점(t1)에 전원 전압(Vc)으로 충전된다.
- [0068] 제2 시점(t2)에서, 선택된 워드라인(Selected WL)의 전압은 프로그램 전압(Vpgm1)으로 상승하기 시작한다. 제3 시점(t3)으로부터 제4 시점(t3)까지 선택된 워드라인(Selected WL)의 전압은 프로그램 전압(Vpgm1)을 유지할 수 있다. 이후, 제4 시점(t4)으로부터 제5 시점(t5)까지 스트링 선택된 라인(SSL), 선택된 워드라인(Selected WL), 비선택된 워드라인들(Unselected WL), 비트 라인(BL), 및 접지 선택된 라인(GSL)의 전압들은 제1 전압(V1)으로 하강할 수 있다. 예시적으로, 제1 전압(V1)은 저전압 또는 접지 전압(Vss)일 수 있다.
- [0069] 다음으로, 도 1, 도 2, 도 5, 및 도 7을 참조하면, 불휘발성 메모리 장치(100)는 제2 프로그램 동작의 하나의 프로그램 루프에 포함된 프로그램 단계에서, 도 8에 도시된 바와 같은 바이어스 전압들을 스트링 선택된 라인(SSL), 선택된 워드라인(Selected WL), 비선택된 워드라인들(Unselected WL), 비트 라인(BL), 및 접지 선택된 라인(GSL)으로 인가할 수 있다.
- [0070] 예를 들어, 제6 시점(t6)에서, 스트링 선택된 라인(SSL), 선택된 워드라인(Selected WL), 비선택된 워드라인(Unselected WL), 및 접지 선택된 라인(GSL)의 전압들은 패스 전압(Vpass) 또는 전원 전압(Vcc)으로 상승할 수 있다. 패스 전압(Vpass)은 메모리 셀들, 스트링 선택된 트랜지스터(SST), 및 접지 선택된 트랜지스터(GST)를 턴-온시킬 수 있는 고전압일 수 있다. 예시적으로, 프로그램 금지되는 메모리 셀들과 대응하는 비트라인(BL)의 전압은 제6 시점(t6)에 전원 전압(Vcc)로 충전된다.
- [0071] 제7 시점(t7)에서, 선택된 워드라인(Selected WL)의 전압은 프로그램 전압(Vpgm2)으로 상승하기 시작한다. 제8 시점(t8)으로부터 제9 시점(t9)까지 선택된 워드라인(Selected WL)의 전압은 프로그램 전압(Vpgm2)을 유지할 수 있다. 이후, 제9 시점(t9)으로부터 제10 시점(t10)까지 스트링 선택된 라인(SSL), 선택된 워드라인(Selected WL), 비선택된 워드라인들(Unselected WL), 비트 라인(BL), 및 접지 선택된 라인(GSL)의 전압들은 제1 전압(V1)으로 하강할 수 있다. 예시적으로, 제1 전압(V1)은 접지 전압(Vss) 또는 저전압일 수 있다.
- [0072] 예시적으로, 도 7에 도시된 제1 프로그램 동작의 프로그램 단계의 구간(즉, 제1 시점(t1)으로부터 제5 시점(t5)까지의 구간)은 도 8에 도시된 제2 프로그램 동작의 프로그램 단계의 구간(즉, 제6 시점(t6)으로부터 제10 시점(t10)까지의 구간)보다 짧을 수 있다. 즉, 도 5를 참조하여 설명된 바와 같이, 불휘발성 메모리 장치(100)는 수행될 프로그램 동작에 따라 프로그램 전압의 펄스폭을 조절할 수 있다.
- [0073] 예시적으로, 프로그램 펄스폭은 상승 구간(rising period), 실행 구간(execution period), 및 회복 구간(recovery period)을 포함할 수 있다. 상승 구간은 선택된 워드라인으로 인가되는 전압이 제1 전압(V1) 또는 패스 전압(Vpass)으로부터 프로그램 전압(Vpgm)까지 상승하는 구간을 가리킨다. 예를 들어, 상승 구간은 도 7의 제1 시점(t1)으로부터 제3 시점(t3)까지의 시간 구간 및 도 8의 제6 시점(t6)으로부터 제8 시점(t8)까지의 시간 구간을 가리킬 수 있다. 또는 상승 구간은 도 7의 제2 시점(t2)으로부터 제3 시점까지의 시간 구간 및 도 8의 제7 시점(t7)으로부터 제8 시점(t8)까지의 시간 구간을 가리킬 수 있다. 실행 구간은 선택된 워드라인(Selected WL)으로 인가되는 전압이 프로그램 전압(Vpgm)으로 유지되는 구간을 가리킨다. 예를 들어, 실행 구간은 도 7의 제3 시점(t3)으로부터 제4 시점(t4)까지의 시간 구간 및 도 8의 제8 시점(t8)으로부터 제9 시점(t9)까지의 시간 구간을 가리킬 수 있다. 회복 구간은 선택된 워드라인(Selected WL)으로 인가되는 전압이 프로그램 전압(Vpgm)으로부터 제1 전압(V1)으로 하강하는 구간을 가리킬 수 있다. 예를 들어, 회복 구간은 도 7의 제4 시

점(t4)으로부터 제5 시점(t5)까지의 시간 구간 및 도 8의 제9 시점(t9)으로부터 제10 시점(t10)까지의 시간 구간을 가리킬 수 있다.

[0074] 예시적으로, 불휘발성 메모리 장치(100)는 수행될 프로그램 동작에 따라 프로그램 펄스폭의 각 구간들을 조절할 수 있다. 예를 들어, 불휘발성 메모리 장치(100)는 제1 프로그램 동작에서 인가되는 프로그램 전압의 펄스폭의 상승 구간을 제2 프로그램 동작에서 인가되는 프로그램 전압의 상승 구간보다 짧게 조절할 수 있다. 불휘발성 메모리 장치(100)는 제2 프로그램 동작에서 인가되는 프로그램 전압의 펄스폭의 실행 구간을 제2 프로그램 동작에서 인가되는 프로그램 전압의 실행 구간보다 짧게 조절할 수 있다. 불휘발성 메모리 장치(100)는 제1 프로그램 동작에서 인가되는 프로그램 전압의 펄스폭의 회복 구간을 제2 프로그램 동작에서 인가되는 프로그램 전압의 회복 구간보다 짧게 조절할 수 있다.

[0075] 상술된 본 발명의 실시 예에 따르면, 불휘발성 메모리 장치(100)는 멀티-스텝 프로그램 방식을 기반으로 복수의 페이지 데이터를 메모리 셀들에 프로그램할 수 있다. 이 때, 불휘발성 메모리 장치(100)는 멀티-스텝 프로그램 방식에 포함된 복수의 프로그램 동작들에 따라 프로그램 전압의 펄스폭을 조절할 수 있다. 예시적으로, 불휘발성 메모리 장치(100)는 수행될 프로그램 동작에 따라 프로그램 전압의 증가량, 시작 레벨, 프로그램 루프 횟수 등과 같은 프로그램 파라미터들을 더 조절할 수 있다.

[0076] 예시적으로, 멀티-스텝 프로그램 방식에 포함된 복수의 프로그램 동작들 각각은 복수의 프로그램 루프들을 포함하고, 다양한 조건을 기반으로 구분될 수 있다. 예를 들어, 복수의 프로그램 동작들은 프로그램될 페이지 데이터의 자리수(즉, LSB 페이지 데이터인지, MSB 페이지 데이터인지, 또는 CSB 페이지 데이터인지)에 따라 구분될 수 있다. 또는, 복수의 프로그램 동작들은 인가되는 프로그램 전압의 레벨에 따라 구분될 수 있다. 또는, 복수의 프로그램 동작들은 인가되는 검증 전압의 레벨 또는 검증 전압의 개수에 따라 구분될 수 있다. 또는, 복수의 프로그램 동작들은 하나의 워드라인에서의 실행 순서에 따라 구분될 수 있다.

[0077] 도 9 내지 도 11은 본 발명의 다른 실시 예에 따른 불휘발성 메모리 장치의 동작을 설명하기 위한 도면들이다. 도 9는 제1 내지 제3 프로그램 동작들에 따른 선택된 워드라인과 연결된 메모리 셀들의 문턱 전압 산포를 보여주는 도면이다. 도 10은 제1 내지 제3 프로그램 동작들에 따른 선택된 워드라인의 인가 전압을 보여주는 그래프이다. 도 11은 제1 내지 제3 프로그램 동작들의 순서를 보여주는 도면이다.

[0078] 예시적으로, 본 발명의 다른 실시 예에 따른 불휘발성 메모리 장치의 동작을 설명하기 위하여, 선택된 메모리 셀들 각각은 3-비트를 저장하는 삼중 레벨 셀(TLC; Triple Level Cell)이고, 불휘발성 메모리 장치(100)는 제1 내지 제3 프로그램 동작들을 수행하여 제1 내지 제3 페이지 데이터를 선택된 메모리 셀들에 프로그램하는 것으로 가정한다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니며, 메모리 셀들 각각에 저장되는 비트 수 및 불휘발성 메모리 장치(100)가 수행하는 프로그램 동작의 횟수는 다양하게 변형될 수 있다.

[0079] 먼저, 도 1, 도 9, 및 도 10을 참조하면, 불휘발성 메모리 장치(100)는 제1 프로그램 동작을 수행하여 선택된 메모리 셀들에 제1 페이지 데이터를 프로그램할 수 있다. 예를 들어, 불휘발성 메모리 장치(100)는 선택된 메모리 셀들이 소거 상태(E) 및 프로그램 상태(P11) 중 어느 하나의 상태를 갖도록 제1 프로그램 동작을 수행할 수 있다. 도 10의 제1 섹션에 도시된 바와 같이, 제1 프로그램 동작은 증가형 스텝 펄스 프로그램(ISPP) 방식을 기반으로 수행될 수 있다. 즉, 제1 프로그램 동작은 복수의 프로그램 루프들을 포함하고, 복수의 프로그램 루프들 각각은 프로그램 전압(Vp_{gm11}~Vp_{gm1n})을 인가하는 프로그램 단계; 및 검증 전압(Vv_{fy11})을 인가하는 검증 단계를 포함한다. 복수의 프로그램 루프들이 수행됨에 따라 프로그램 전압들(Vp_{grm11}~Vp_{grm1n})은 순차적으로 증가한다. 이 때, 불휘발성 메모리 장치(100)는 제1 프로그램 동작 동안 인가되는 프로그램 전압들(Vp_{gm11}~Vp_{gm1n})의 펄스폭을 제1 시간(T1)으로 조절할 수 있다.

[0080] 제1 프로그램 동작이 완료된 이후(즉, 제1 페이지 데이터가 선택된 메모리 셀들에 프로그램 된 이후), 불휘발성 메모리 장치(100)는 제2 프로그램 동작을 수행하여 제2 및 제3 페이지 데이터를 선택된 메모리 셀들(즉, 제1 페이지 데이터가 프로그램된 메모리 셀들)에 프로그램할 수 있다. 도 10의 제2 섹션에 도시된 바와 같이, 제2 프로그램 동작은 증가형 스텝 펄스 프로그램(ISPP) 방식을 기반으로 수행될 수 있다. 즉, 제2 프로그램 동작은 복수의 프로그램 루프들을 포함하고, 복수의 프로그램 루프들 각각은 프로그램 전압(Vp_{gm21}~Vp_{gm2m})을 인가하는 프로그램 단계; 및 검증 전압들(Vv_{fy21}~Vv_{fy27})을 순차적으로 인가하는 검증 단계를 포함한다. 복수의 프로그램 루프들이 수행됨에 따라 프로그램 전압들(Vp_{grm21}~Vp_{grm2m})은 순차적으로 증가한다. 이 때, 불휘발성 메모리 장치(100)는 제2 프로그램 동작 동안 인가되는 프로그램 전압들(Vp_{gm21}~Vp_{gm2n})의 펄스폭을 제2 시간(T2)으로 조절할 수 있다. 예시적으로, 제2 시간(T2)은 제1 시간(T1)보다 길 수 있다.

- [0081] 제2 프로그램 동작이 완료된 이후(즉, 제1 내지 제3 페이지 데이터가 선택된 메모리 셀들에 프로그램 된 이후), 불휘발성 메모리 장치(100)는 제3 프로그램 동작을 수행할 수 있다. 예시적으로, 제3 프로그램 동작은 제1 프로그램 동작일 수 있다. 제3 프로그램 동작은 읽기 마진 확보를 위하여 각 프로그램 상태들에 대응하는 문턱 전압 산포를 모으는 프로그램 동작일 수 있다. 마찬가지로, 도 10의 제3 섹션에 도시된 바와 같이, 제3 프로그램 동작은 증가형 스텝 펄스 프로그램(ISPP) 방식을 기반으로 수행될 수 있다. 즉, 제3 프로그램 동작은 복수의 프로그램 루프들을 포함하고, 복수의 프로그램 루프들 각각은 프로그램 전압(Vp_{gm31}~Vp_{gm3m})을 인가하는 프로그램 단계; 및 검증 전압들(Vvfy₃₁~Vvfy₃₇)을 순차적으로 인가하는 검증 단계를 포함한다. 복수의 프로그램 루프들이 수행됨에 따라 프로그램 전압들(Vp_{grm31}~Vp_{grm3m})은 순차적으로 증가한다. 이 때, 불휘발성 메모리 장치(100)는 제3 프로그램 동작 동안 인가되는 프로그램 전압들(Vp_{gm31}~Vp_{gm3n})의 펄스폭을 제3 시간(T₃)으로 조절할 수 있다. 예시적으로, 제3 시간(T₃)은 제1 시간(T₂)보다 길 수 있다.
- [0082] 도 11은 도 9 및 도 10을 참조하여 설명된 제1 내지 제3 프로그램 동작들의 순서를 설명하기 위한 도면이다. 도 1, 도 2, 및 도 11을 참조하면, 불휘발성 메모리 장치(100)는 선택된 워드라인과 연결된 선택된 메모리 셀들에 대하여 도 9 및 도 10을 참조하여 설명된 제1 내지 제3 프로그램 동작들을 순차적으로 수행할 수 있다.
- [0083] 예를 들어, 불휘발성 메모리 장치(100)는 제1 워드라인(WL1)과 연결된 메모리 셀들에 대하여 제1 프로그램 동작을 수행할 수 있다. 이 후, 불휘발성 메모리 장치(100)는 제2 워드라인(WL2)과 연결된 메모리 셀들에 대하여 제1 프로그램 동작을 수행할 수 있다. 이 후, 불휘발성 메모리 장치(100)는 제1 워드라인(WL1)과 연결된 메모리 셀들(즉, 제1 프로그램 동작이 수행된 메모리 셀들)에 대하여 제2 프로그램 동작을 수행할 수 있다. 이 후, 불휘발성 메모리 장치(100)는 제3 워드라인(WL3)과 연결된 메모리 셀들에 대하여 제1 프로그램 동작을 수행할 수 있다. 이 후, 불휘발성 메모리 장치(100)는 제1 워드라인(WL1)과 연결된 메모리 셀들(즉, 제2 프로그램 동작이 수행된 메모리 셀들)에 대하여 제3 프로그램 동작을 수행할 수 있다. 이 후, 불휘발성 메모리 장치(100)는 도 11에 도시된 순서에 따라 복수의 워드라인들(WL1~WL6)과 연결된 메모리 셀들에 대하여 제1 내지 제3 프로그램 동작들을 순차적으로 수행할 수 있다.
- [0084] 상술된 본 발명의 실시 예들은 예시적인 것이며, 본 발명의 기술적 사상이 이에 한정되는 것은 아니다. 예를 들어, 불휘발성 메모리 장치(100)는 수행될 프로그램 동작에 따라 프로그램 전압의 시작 레벨, 증가량, 펄스폭, 프로그램 루프 횟수 등과 같은 프로그램 파라미터들을 조절할 수 있다. 예시적으로, 불휘발성 메모리 장치(100)는 프로그램 전압이 증가할수록 프로그램 전압의 펄스 폭을 증가시킬 수 있다. 또한, 불휘발성 메모리 장치(100)는 프로그램 전압의 상승 구간, 실행 구간, 및 회복 구간을 각각 조절할 수 있다.
- [0085] 예시적으로, 하나의 워드라인과 연결된 메모리 셀들에 복수의 페이지 데이터를 프로그램하는 멀티-스텝 프로그램 방식은 복수의 프로그램 동작들을 포함하고, 복수의 프로그램 동작들은 다양한 기준들을 기반으로 구분될 수 있다. 예를 들어, 복수의 프로그램 동작들은 목표 문턱 전압 산포를 기반으로 분류될 수 있다. 복수의 프로그램 동작들은 인가되는 검증 전압의 레벨을 기반으로 분류될 수 있다. 복수의 프로그램 동작들은 기입될 페이지 데이터의 자릿수를 기반으로 분류될 수 있다.
- [0086] 도 12는 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 장치의 동작을 보여주는 순서도이다. 도 1 및 도 12를 참조하면, S210 단계에서, 불휘발성 메모리 장치(100)는 외부 장치로부터 커맨드(CMD), 어드레스(ADDR), 및 데이터(DATA)를 수신할 수 있다. 예시적으로, 커맨드(CMD)는 불휘발성 메모리 장치(100) 및 외부 장치 사이의 인터페이스에 의해 정의된 신호일 수 있다. 어드레스(ADDR)는 선택된 워드라인과 대응되는 물리 주소일 수 있다. 데이터(DATA)는 적어도 하나의 페이지 데이터를 포함할 수 있다.
- [0087] S220 단계에서, 불휘발성 메모리 장치(100)는 수신된 커맨드(CMD)에 응답하여 수행될 프로그램 동작을 판별할 수 있다. 예를 들어, 도 1 내지 도 11을 참조하여 설명된 바와 같이 불휘발성 메모리 장치(100)는 복수의 프로그램 동작들을 포함하는 멀티-스텝 프로그램 방식을 기반으로 데이터(DATA)를 프로그램할 수 있다. 불휘발성 메모리 장치(100)는 복수의 프로그램 동작들 중 수신된 커맨드(CMD)에 응답하여 수행될 프로그램 동작을 판별할 수 있다.
- [0088] 예시적으로, 불휘발성 메모리 장치(100)는 선택된 워드라인과 대응되는 플래그 비트를 읽어, 수행될 프로그램 동작을 판별할 수 있다. 또는 불휘발성 메모리 장치(100)는 수신된 커맨드(CMD)를 기반으로, 수행될 프로그램 동작을 판별할 수 있다.
- [0089] 예시적으로, 불휘발성 메모리 장치(100)는 선택된 워드라인과 연결된 선택된 메모리 셀들에 수행된 프로그램 횟수를 기반으로, 수행될 프로그램 동작을 판별할 수 있다. 예를 들어, 도 11을 참조하여 설명된 바와 같이, 하나

의 워드라인(예를 들어, 제1 워드라인(WL1))와 연결된 메모리 셀들에 제1 내지 제3 프로그램 동작들이 순차적으로 수행된다. 즉, 불휘발성 메모리 장치(100)는 이전에 수행된 프로그램 동작의 횟수를 기반으로, 수행될 프로그램 동작을 판별할 수 있다.

- [0090] 예시적으로, 불휘발성 메모리 장치(100)는 선택된 워드라인과 연결된 선택된 메모리 셀들의 프로그램 상태에 따라, 수행될 프로그램 동작을 판별할 수 있다. 예를 들어, 도 11을 참조하여 설명된 바와 같이, 선택된 워드라인(예를 들어, 제1 워드라인(WL1))에 대한 제1 프로그램 동작이 완료된 이후 선택된 워드라인에 대한 제2 프로그램 동작이 수행된다. 즉, 선택된 워드라인에 대한 제1 프로그램 동작이 완료된 경우, 선택된 워드라인과 연결된 메모리 셀들은 소거 상태(E) 및 프로그램 상태(P11)를 가질 것이다. 즉, 불휘발성 메모리 장치(100)는 선택된 메모리 셀들이 소거 상태(E) 및 프로그램 상태(P11)를 가질 경우, 수행될 프로그램 동작을 제2 프로그램 동작으로 판별할 수 있다.
- [0091] S230 단계에서, 불휘발성 메모리 장치(100)는 판별 결과에 따라 프로그램 파라미터를 조절할 수 있다. 예를 들어, 수행될 프로그램 동작이 도 9를 참조하여 설명된 제1 프로그램 동작인 것으로 판별된 경우, 불휘발성 메모리 장치(100)는 프로그램 전압의 펄스폭이 제1 시간(T1)이 되도록 프로그램 파라미터를 설정할 수 있다. 수행될 프로그램 동작이 도 9를 참조하여 설명된 제2 프로그램 동작인 것으로 판별된 경우, 불휘발성 메모리 장치(100)는 프로그램 전압의 펄스폭이 제2 시간(T2)이 되도록 프로그램 파라미터를 설정할 수 있다.
- [0092] 예시적으로, 불휘발성 메모리 장치(100)는 프로그램 전압의 펄스폭 뿐만 아니라, 프로그램 전압의 시작 레벨, 증가량, 프로그램 루프의 횟수 등과 같은 프로그램 파라미터들을 조절할 수 있다.
- [0093] S240 단계에서, 불휘발성 메모리 장치(100)는 조절된 프로그램 파라미터를 기반으로 프로그램 동작을 수행할 수 있다.
- [0094] 상술된 본 발명의 또 다른 실시 예에 따르면, 멀티-스텝 프로그램 방식을 기반으로 데이터를 프로그램하는 불휘발성 메모리 장치(100)는 수행될 프로그램 동작에 따라 프로그램 전압의 펄스폭, 증가량, 시작 레벨, 프로그램 루프의 횟수 등과 같은 프로그램 파라미터들을 조절하고, 조절된 프로그램 파라미터를 기반으로 프로그램 동작을 수행한다. 따라서, 프로그램 동작에 따라 프로그램 수행시간이 감축되므로, 향상된 성능을 갖는 불휘발성 메모리 장치가 제공된다.
- [0095] 도 13은 본 발명의 또 다른 실시 예에 따른 불휘발성 메모리 시스템을 보여주는 블록도이다. 도 14 및 도 15는 도 13의 불휘발성 메모리 장치의 프로그램 동작을 설명하기 위한 도면들이다.
- [0096] 도 13 내지 도 15를 참조하면, 불휘발성 메모리 시스템(200)은 메모리 컨트롤러(210) 및 불휘발성 메모리 장치(220)를 포함한다. 메모리 컨트롤러(210)는 불휘발성 메모리 장치(220)에 데이터(DATA)를 기입하거나 또는 불휘발성 메모리 장치(220)에 기입된 데이터(DATA)를 읽을 수 있다. 예를 들어, 메모리 컨트롤러(210)는 데이터(DATA)를 불휘발성 메모리 장치(220)에 기입하거나 또는 불휘발성 메모리 장치(220)에 저장된 데이터(DATA)를 읽기 위하여 커맨드(CMD), 어드레스(ADDR), 및 제어 신호(CTRL)를 불휘발성 메모리 장치(220)로 전송할 수 있다.
- [0097] 불휘발성 메모리 장치(220)는 메모리 컨트롤러(210)의 제어에 따라 메모리 컨트롤러(210)로부터 수신된 데이터(DATA)를 저장하거나 또는 저장된 데이터(DATA)를 메모리 컨트롤러(210)로 전송할 수 있다.
- [0098] 예시적으로, 불휘발성 메모리 장치(220)는 제1 저장 영역(221) 및 제2 저장 영역(222)을 포함할 수 있다. 제1 저장 영역(221)에 포함된 복수의 메모리 셀들 각각은 단일 레벨 셀(SLC)을 포함하고, 제2 저장영역(222)에 포함된 복수의 메모리 셀들 각각은 멀티 레벨 셀(MLC)을 포함할 수 있다.
- [0099] 예시적으로, 불휘발성 메모리 장치(220)는 도 14에 도시된 바와 같은 제1 프로그램 동작을 수행하여 제1 저장 영역(221)에 데이터(DATA)를 기입할 수 있다. 예를 들어, 불휘발성 메모리 장치(220)는 제1 저장 영역(221)에 포함된 복수의 메모리 셀들 중 선택된 메모리 셀들이 소거 상태(E) 및 프로그램 상태(P1)를 갖도록 제1 프로그램 동작을 수행할 수 있다.
- [0100] 예시적으로, 불휘발성 메모리 장치(220)는 도 15에 도시된 바와 같은 제2 프로그램 동작을 수행하여 제2 저장 영역(222)에 데이터(DATA)를 기입할 수 있다. 예를 들어, 불휘발성 메모리 장치(220)는 제2 저장 영역(222)에 포함된 복수의 메모리 셀들 중 선택된 메모리 셀들이 소거 상태(E) 및 프로그램 상태들(P1~P3) 중 어느 하나를 갖도록 제2 프로그램 동작을 수행할 수 있다.
- [0101] 예시적으로, 도 14의 제1 프로그램 동작은 도 5의 제1 섹션에 도시된 제1 프로그램 동작과 유사할 수 있다. 도

15의 제2 프로그램 동작은 도 5의 제2 섹션에 도시된 제2 프로그램 동작과 유사할 수 있다.

- [0102] 상술된 바와 같이, 불휘발성 메모리 장치(220)는 불휘발성 메모리 장치(220)의 저장 영역에 따라 서로 다른 프로그램 동작을 수행할 수 있다. 이 때, 불휘발성 메모리 장치(220)는 도 1 내지 도 12를 참조하여 설명된 바와 같이 수행될 프로그램 동작에 따라 프로그램 전압의 펄스폭을 조절할 수 있다. 따라서, 향상된 성능을 갖는 불휘발성 메모리 시스템이 제공된다.
- [0103] 예시적으로, 도 1 내지 도 15를 참조하여 설명된 본 발명의 실시 예들에 따르면, 불휘발성 메모리 장치는 수행될 프로그램 동작에 따라 프로그램 전압의 펄스폭(또는 프로그램 전압의 시작 레벨, 증가량, 프로그램 루프의 횟수 등)을 조절할 수 있다. 예시적으로, 수행될 프로그램 동작의 프로그램 시작 전압이 높을수록 프로그램 전압의 펄스폭이 증가할 수 있다. 수행될 프로그램 동작의 최소 또는 최대 검증 전압의 레벨이 높을수록 프로그램 전압의 펄스폭이 증가할 수 있다. 예시적으로, 불휘발성 메모리 장치는 프로그램 전압의 상승 구간, 실행 구간, 및 회복 구간을 각각 조절함으로써 프로그램 전압의 펄스폭을 조절할 수 있다.
- [0104] 도 16은 본 발명에 따른 불휘발성 메모리 장치에 포함된 제1 메모리 블록의 다른 예를 보여주는 회로도이다. 예시적으로, 도 16을 참조하여 3차원 구조의 제1 메모리 블록(BLK1)이 설명된다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니며, 다른 메모리 블록들 또한 제1 메모리 블록(BLK1)과 유사한 구조를 가질 수 있다.
- [0105] 도 16을 참조하면, 제1 메모리 블록(BLK1)은 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함한다. 복수의 셀 스트링들(CS11, CS12, CS21, CS22)은 행 방향(row direction) 및 열 방향(column direction)을 따라 배치되어 행들 및 열들을 형성할 수 있다.
- [0106] 예를 들어, 셀 스트링들(CS11, CS12)은 스트링 선택된 라인들(SSL1a, SSL1b)와 연결되어, 제1 행을 형성할 수 있다. 셀 스트링들(CS21, CS22)은 스트링 선택된 라인들(SSL2a, SSL2b)와 연결되어 제2 행을 형성할 수 있다.
- [0107] 예를 들어, 셀 스트링들(CS11, CS21)은 제1 비트라인(BL1)과 연결되어 제1 열을 형성할 수 있다. 셀 스트링들(CS12, CS22)은 제2 비트라인(BL2)과 연결되어 제2 열을 형성할 수 있다.
- [0108] 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 복수의 셀 트랜지스터들을 포함한다. 예를 들어, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 스트링 선택된 트랜지스터들(SSTa, SSTb), 복수의 메모리 셀들(MC1~MC8), 접지 선택된 트랜지스터들(GSTa, GSTb), 및 더미 메모리 셀들(DMC1, DMC2)을 포함할 수 있다.
- [0109] 예시적으로, 복수의 셀 스트링들(CS11, CS12, CS21, CS22)에 포함된 복수의 셀 트랜지스터들 각각은 전하 트랩형 플래시(CTF; charge trap flash) 메모리 셀일 수 있다.
- [0110] 복수의 메모리 셀들(MC1~MC8)은 직렬 연결되며, 행 방향 및 열 방향에 의해 형성된 평면과 수직인 방향인 높이 방향(height direction)으로 적층된다. 스트링 선택된 트랜지스터들(SSTa, SSTb)은 직렬 연결되고, 직렬 연결된 스트링 선택된 트랜지스터들(SSTa, SSTb)은 복수의 메모리 셀들(MC1~MC8) 및 비트라인(BL) 사이에 제공된다. 접지 선택된 트랜지스터들(GSTa, GSTb)은 직렬 연결되고, 직렬 연결된 접지 선택된 트랜지스터들(GSTa, GSTb)은 복수의 메모리 셀들(MC1~MC8) 및 공통 소스 라인(CSL) 사이에 제공된다.
- [0111] 예시적으로, 복수의 메모리 셀들(MC1~MC8) 및 접지 선택된 트랜지스터들(GSTa, GSTb) 사이에 제1 더미 메모리 셀(DMC1)이 제공될 수 있다. 예시적으로, 복수의 메모리 셀들(MC1~MC8) 및 스트링 선택된 트랜지스터들(SSTa, SSTb) 사이에 제2 더미 메모리 셀(DMC2)이 제공될 수 있다.
- [0112] 셀 스트링들(CS11, CS12, CS21, CS22)의 접지 선택된 트랜지스터들(GSTa, GSTb)은 접지 선택된 라인(GSL)에 공통으로 연결될 수 있다.
- [0113] 예시적으로, 동일한 행의 접지 선택된 트랜지스터들은 동일한 접지 선택된 라인에 연결될 수 있고, 다른 행의 접지 선택된 트랜지스터들은 다른 접지 선택된 라인에 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제1 접지 선택된 트랜지스터들(GSTa)은 제1 접지 선택된 라인에 연결될 수 있고, 제2 행의 셀 스트링들(CS21, CS22)의 제1 접지 선택된 트랜지스터들(GSTa)은 제2 접지 선택된 라인에 연결될 수 있다.
- [0114] 예시적으로, 도면에 도시되지는 않았으나, 기판(미도시)으로부터 동일한 높이에 제공되는 접지 선택된 트랜지스터들은 동일한 접지 선택된 라인에 연결될 수 있고, 다른 높이에 제공되는 접지 선택된 트랜지스터들은 다른 접지 선택된 라인에 연결될 수 있다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제1 접지 선택된 트랜지스터들(GSTa)은 제1 접지 선택된 라인에 연결되고, 제2 접지 선택된 트랜지스터들(GSTb)은 제2 접지 선택된 라인에 연결될 수 있다.

- [0115] 기관(또는 접지 선택된 트랜지스터(GSTa, GSTb)으로부터 동일한 높이의 메모리 셀들은 동일한 워드라인에 공통으로 연결되고, 서로 다른 높이의 메모리 셀들은 서로 다른 워드라인에 연결된다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제1 내지 제8 메모리 셀들(MC8)은 제1 내지 제8 워드라인들(WL1~WL8)에 각각 공통으로 연결된다.
- [0116] 동일한 높이의 제1 스트링 선택된 트랜지스터들(SSTa) 중 동일한 행의 스트링 선택된 트랜지스터들은 동일한 스트링 선택된 라인과 연결되고, 다른 행의 스트링 선택된 트랜지스터들은 다른 스트링 선택된 라인과 연결된다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제1 스트링 선택된 트랜지스터들(SSTa)은 스트링 선택된 라인(SSL1a)과 공통으로 연결되고, 제2 행의 셀 스트링들(CS21, CS22)의 제1 스트링 선택된 트랜지스터들(SSTa)은 스트링 선택된 라인(SSL1a)과 공통으로 연결된다.
- [0117] 마찬가지로, 동일한 높이의 제2 스트링 선택된 트랜지스터들(SSTb) 중 동일한 행의 스트링 선택된 트랜지스터들은 동일한 스트링 선택된 라인과 연결되고, 다른 행의 스트링 선택된 트랜지스터들은 다른 스트링 선택된 라인과 연결된다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제2 스트링 선택된 트랜지스터들(SSTb)은 스트링 선택된 라인(SSL1b)과 공통으로 연결되고, 제2 행의 셀 스트링들(CS21, CS22)의 제2 스트링 선택된 트랜지스터들(SSTb)은 스트링 선택된 라인(SSL2b)과 공통으로 연결된다.
- [0118] 비록 도면에 도시되지는 않았으나, 동일한 행의 셀 스트링들의 스트링 선택된 트랜지스터들은 동일한 스트링 선택된 라인에 공통으로 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 제1 및 제2 스트링 선택된 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택된 라인에 공통으로 연결될 수 있다. 제2 행의 셀 스트링들(CS21, CS22)의 제1 및 제2 스트링 선택된 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택된 라인에 공통으로 연결될 수 있다.
- [0119] 예시적으로, 동일한 높이의 더미 메모리 셀들은 동일한 더미 워드라인과 연결되고, 다른 높이의 더미 메모리 셀들은 다른 더미 워드라인과 연결된다. 예를 들어, 제1 더미 메모리 셀들(DMC1)은 제1 더미 워드라인(DWL1)과 연결되고, 제2 더미 메모리 셀들(DMC2)은 제2 더미 워드라인(DWL2)과 연결된다.
- [0120] 제1 메모리 블록(BLK1)에서, 읽기 및 쓰기는 행 단위로 수행될 수 있다. 예를 들어, 스트링 선택된 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 의해 메모리 블록(BLKa)의 하나의 행이 선택될 수 있다.
- [0121] 예를 들어, 스트링 선택된 라인들(SSL1a, SSL1b)이 턴-온 전압이 공급되고 스트링 선택된 라인들(SSL2a, SSL2b)에 턴-오프 전압이 공급될 때, 제1 행의 셀 스트링들(CS11, CS12)이 비트 라인들(BL1, BL2)에 연결된다. 스트링 선택된 라인들(SSL2a, SSL2b)에 턴-온 전압이 공급되고 스트링 선택된 라인들(SSL1a, SSL1b)에 턴-오프 전압이 공급될 때, 제2 행의 셀 스트링들(CS21, CS22)이 비트 라인들(BL1, BL2)에 연결되어 구동된다. 워드라인을 구동함으로써 구동되는 행의 셀 스트링의 메모리 셀들 중 동일한 높이의 메모리 셀들이 선택된다. 선택된 메모리 셀들에서 읽기 및 쓰기 동작이 수행될 수 있다. 선택된 메모리 셀들은 물리 페이지 단위를 형성할 수 있다.
- [0122] 제1 메모리 블록(BLK1)에서, 소거는 메모리 블록 단위 또는 서브 블록의 단위로 수행될 수 있다. 메모리 블록 단위로 소거가 수행될 때, 제1 메모리 블록(BLK1)의 모든 메모리 셀들(MC)이 하나의 소거 요청에 따라 동시에 소거될 수 있다. 서브 블록의 단위로 수행될 때, 제1 메모리 블록(BLK1)의 메모리 셀들(MC) 중 일부는 하나의 소거 요청에 따라 동시에 소거되고, 나머지 일부는 소거 금지될 수 있다. 소거되는 메모리 셀들에 연결된 워드라인에 저전압(예를 들어, 접지 전압)이 공급되고, 소거 금지된 메모리 셀들에 연결된 워드라인은 플로팅될 수 있다.
- [0123] 예시적으로, 도 4에 도시된 제1 메모리 블록(BLK1)은 예시적인 것이며, 셀 스트링들의 개수는 증가 또는 감소할 수 있으며, 셀 스트링들의 개수에 따라 셀 스트링들이 구성하는 행들 및 열들의 개수는 증가 또는 감소할 수 있다. 또한, 제1 메모리 블록(BLK1)의 셀 트랜지스터들(GST, MC, DMC, SST 등)의 개수들은 각각 증가 또는 감소될 수 있으며, 셀 트랜지스터들의 개수들에 따라 제1 메모리 블록(BLK1)의 높이가 증가 또는 감소할 수 있다. 또한, 셀 트랜지스터들의 개수들에 따라 셀 트랜지스터들과 연결된 라인들(GSL, WL, DWL, SSL 등)의 개수들이 증가 또는 감소될 수 있다.
- [0124] 예시적으로, 불휘발성 메모리 장치는 멀티-스텝 프로그램 방식을 기반으로 도 16에 도시된 제1 메모리 블록(BLK1)에 데이터를 프로그램할 수 있다. 이 때, 불휘발성 메모리 장치는 도 1 내지 도 15를 참조하여 설명된 바와 같이 수행될 프로그램 동작에 따라 인가되는 프로그램 전압의 펄스폭을 조절할 수 있다.
- [0125] 도 17은 본 발명의 실시 예들에 따른 불휘발성 메모리 시스템이 적용된 메모리 카드 시스템을 보여주는 블록도

이다. 도 17을 참조하면, 메모리 카드 시스템(1000)은 컨트롤러(1100), 불휘발성 메모리(1200), 및 커넥터(1300)를 포함한다.

- [0126] 컨트롤러(1100)는 불휘발성 메모리(1200)와 연결된다. 컨트롤러(1100)는 불휘발성 메모리(1200)를 액세스하도록 구성된다. 예를 들어, 컨트롤러(1200)는 불휘발성 메모리(1100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 배경(background) 동작은 마모도 관리, 가비지 콜렉션 등과 같은 동작들을 포함한다.
- [0127] 컨트롤러(1200)는 불휘발성 메모리(1100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 불휘발성 메모리(1100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0128] 예시적으로, 컨트롤러(1100)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에어 정정부와 같은 구성 요소들을 포함할 수 있다.
- [0129] 컨트롤러(1100)는 커넥터(1300)를 통해 외부 장치와 통신할 수 있다. 컨트롤러(1100)는 특정한 통신 규격에 따라 외부 장치(예를 들어, 호스트)와 통신할 수 있다. 예시적으로, 컨트롤러(1200)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), NVMe (Nonvolatile Memory express) 등과 같은 다양한 통신 규격들 중 적어도 하나를 통해 외부 장치와 통신하도록 구성된다.
- [0130] 불휘발성 메모리(1200)는 EPROM (Electrically Erasable and Programmable ROM), 낸드 플래시 메모리, 노어 플래시 메모리, PRAM (Phase-change RAM), ReRAM (Resistive RAM), FRAM (Ferroelectric RAM), STT-MRAM(Spin-Torque Magnetic RAM) 등과 같은 다양한 불휘발성 메모리 소자들로 구현될 수 있다.
- [0131] 예시적으로, 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(1200) 및 불휘발성 메모리(1100)는 하나의 반도체 장치로 집적되어 솔리드 스테이트 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 컨트롤러(1100) 및 불휘발성 메모리(1100)는 하나의 반도체 장치로 집적되어 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro, eMMC), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0132] 불휘발성 메모리(1200) 또는 메모리 카드 시스템(1000)은 다양한 형태의 패키지로 실장될 수 있다. 예를 들면, 불휘발성 메모리(1200) 또는 메모리 카드 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.
- [0133] 예시적으로, 불휘발성 메모리(1200)은 도 1 내지 도 15를 참조하여 설명된 프로그램 방법을 기반으로 동작할 수 있다.
- [0134] 도 18은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 SSD(Solid State Drive) 시스템을 예시적으로 보여주는 블록도이다. 도 18을 참조하면, SSD 시스템(2000)은 호스트(2100) 및 SSD(2200)를 포함한다. SSD(2200)는 신호 커넥터(2001)를 통해 호스트(2100)와 신호(SIG)를 주고 받고, 전원 커넥터(2002)를 통해 전원(PWR)을 입력 받는다. SSD(2200)는 SSD 컨트롤러(2210), 복수의 플래시 메모리들(2221~222n), 보조 전원 장치(2230), 및 버퍼 메모리(2240)를 포함한다.
- [0135] SSD 컨트롤러(2210)는 호스트(2100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(2221~222n)을 제어할 수 있다. 복수의 플래시 메모리들(2221~222n)은 SSD 컨트롤러(2210)의 제어에 따라 프로그램 동작을 수행할 수 있다. 예시적으로, 복수의 플래시 메모리들(2221~222n)은 도 1 내지 도 15를 참조하여 설명된 멀티-

템 프로그램 방식을 기반으로 프로그램 동작을 수행할 수 있다.

- [0136] 보조 전원 장치(2230)는 전원 커넥터(2002)를 통해 호스트(2100)와 연결된다. 보조 전원 장치(2230)는 호스트(2100)로부터 전원(PWR)을 입력받고, 충전할 수 있다. 보조 전원 장치(2230)는 호스트(2100)로부터의 전원 공급이 원활하지 않을 경우, SSD 시스템(2000)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(2230)는 SSD(2200) 내에 위치할 수도 있고, SSD(2200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(2230)는 메인 보드에 위치하며, SSD(2200)에 보조 전원을 제공할 수도 있다.
- [0137] 버퍼 메모리(2240)는 SSD(2200)의 버퍼 메모리로 동작한다. 예를 들어, 버퍼 메모리(2240)는 호스트(2100)로부터 수신된 데이터 또는 복수의 플래시 메모리들(2221~222n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(2221~222n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(2240)는 DRAM, SDRAM, DDR SDRAM, LPDDR SDRAM, SRAM 등과 같은 휘발성 메모리 또는 FRAM ReRAM, STT-MRAM, PRAM 등과 같은 불휘발성 메모리들을 포함할 수 있다.
- [0138] 도 19는 본 발명에 따른 불휘발성 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다. 도 19를 참조하면, 사용자 시스템(3000)은 애플리케이션 프로세서(3100), 메모리 모듈(3200), 네트워크 모듈(3300), 스토리지 모듈(3400), 및 사용자 인터페이스(3500)를 포함한다.
- [0139] 애플리케이션 프로세서(3100)는 사용자 시스템(3000)에 포함된 구성 요소들, 운영체제(OS; Operating System)를 구동시킬 수 있다. 예시적으로, 애플리케이션 프로세서(3100)는 사용자 시스템(3000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 인터페이스들, 그래픽 엔진 등을 포함할 수 있다. 애플리케이션 프로세서(3100)는 시스템-온-칩(SoC; System-on-Chip)으로 제공될 수 있다.
- [0140] 메모리 모듈(3200)은 사용자 시스템(3000)의 주메모리, 동작 메모리, 버퍼 메모리 또는 캐시 메모리로 동작할 수 있다. 메모리 모듈(3200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR SDRAM, LPDDR3 SDRAM, LPDDR3 SDRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 불휘발성 랜덤 액세스 메모리를 포함할 수 있다. 예시적으로, 메모리 모듈(3200)은 애플리케이션 프로세서(3100)와 POP 방식으로 패키징될 수 있다.
- [0141] 네트워크 모듈(3300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(3300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, WI-DI 등과 같은 무선 통신을 지원할 수 있다. 예시적으로, 네트워크 모듈(3300)은 애플리케이션 프로세서(3100)에 포함될 수 있다.
- [0142] 스토리지 모듈(3400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(3400)은 애플리케이션 프로세서(3100)로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(3400)은 스토리지 모듈(3400)에 저장된 데이터를 애플리케이션 프로세서(3100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(3400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 불휘발성 반도체 메모리 소자로 구현될 수 있다. 예시적으로, 스토리지 모듈(3400)은 복수의 불휘발성 메모리 장치들을 포함할 수 있고, 복수의 불휘발성 메모리 장치들은 도 1 내지 도 15를 참조하여 설명된 프로그램 방식을 기반으로 동작할 수 있다.
- [0143] 사용자 인터페이스(3500)는 애플리케이션 프로세서(3100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로 데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(3500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 압전 소자 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(3500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.
- [0144] 상술된 본 발명의 실시 예들에 따르면, 불휘발성 메모리 장치는 복수의 프로그램 동작들을 포함하는 멀티-스텝 프로그램 방식을 기반으로 복수의 페이지 데이터를 선택된 워드라인과 연결된 메모리 셀들에 프로그램할 수 있다. 이 때, 불휘발성 메모리 장치는 선택된 메모리 셀들에 대하여 복수의 프로그램 동작들을 순차적으로 수행하고, 불휘발성 메모리 장치는 수행될 프로그램 동작에 따라 인가되는 프로그램 전압의 펄스폭을 조절할 수 있다. 따라서, 프로그램 동작의 수행 시간이 감축되므로, 향상된 성능을 갖는 불휘발성 메모리 장치가 제공된다.
- [0145] 본 발명의 상세한 설명에서는 구체적인 실시 예들에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는

한도 내에서 여러가지 변형이 가능하다. 그러므로, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

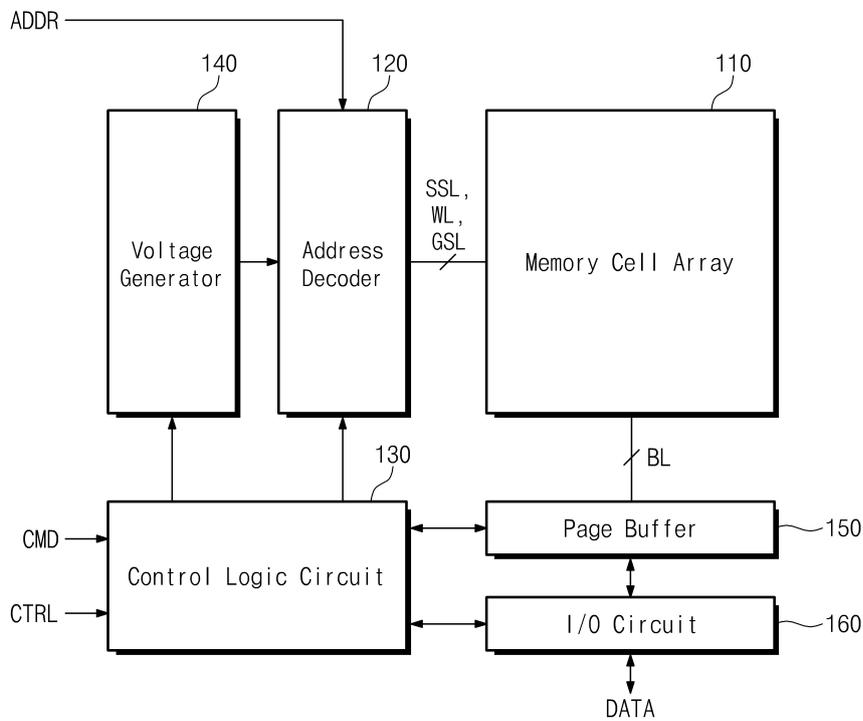
[0146]

- 100 : 불휘발성 메모리 장치
- 110 : 메모리 셀 어레이
- 120 : 어드레스 디코더
- 130 : 제어 로직 회로
- 140 : 전압 발생기
- 150 : 페이지 버퍼
- 160 : 입출력 회로
- Vpgm : 프로그램 전압
- Vvfy : 검증 전압
- T1 : 제1 펄스폭
- T2 : 제2 펄스폭

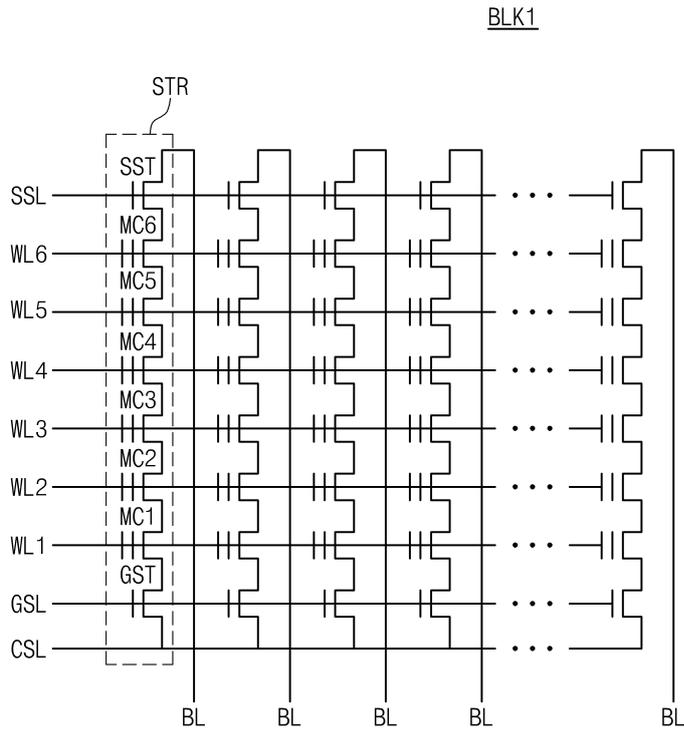
도면

도면1

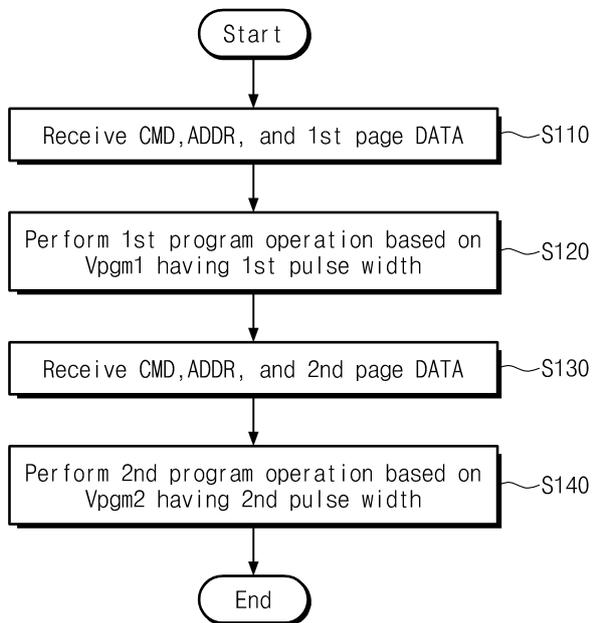
100



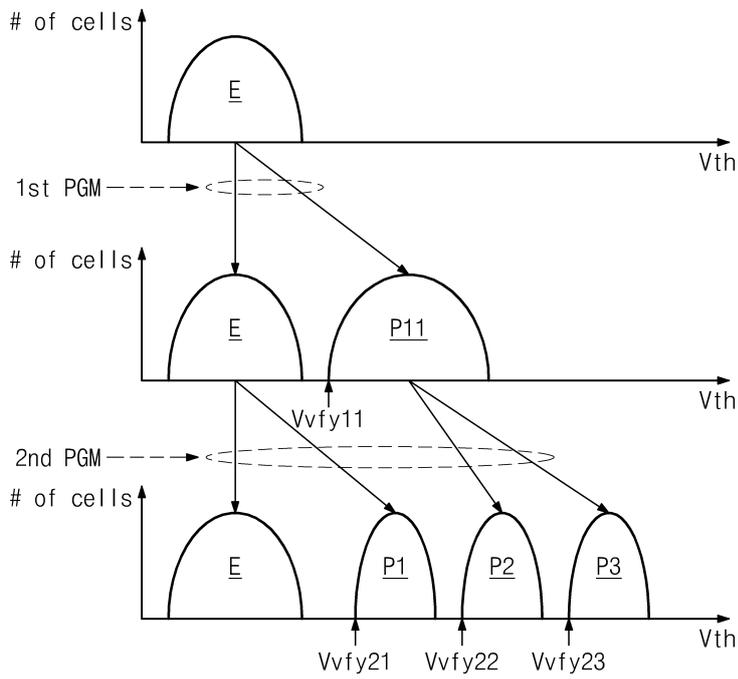
도면2



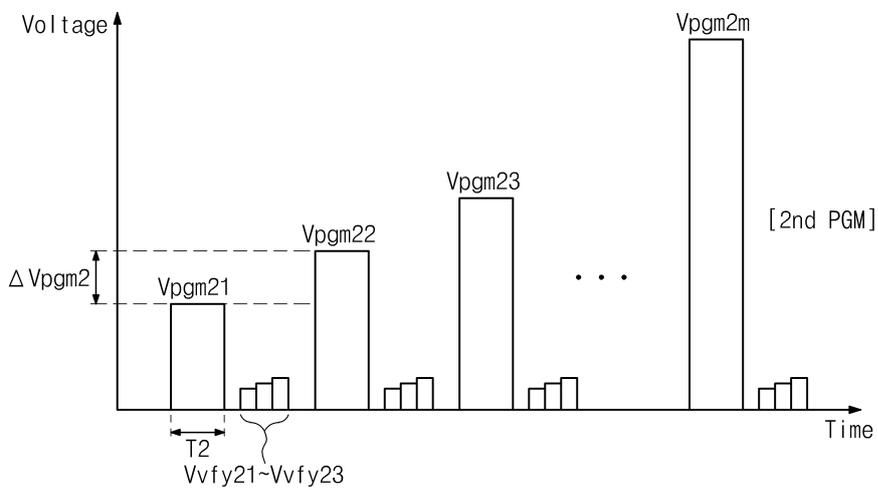
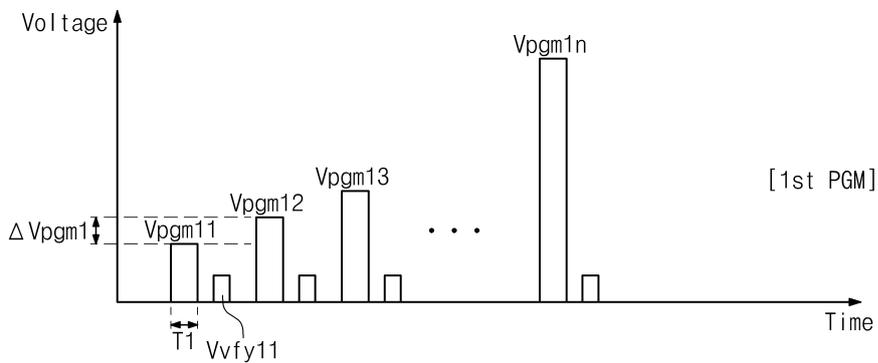
도면3



도면4



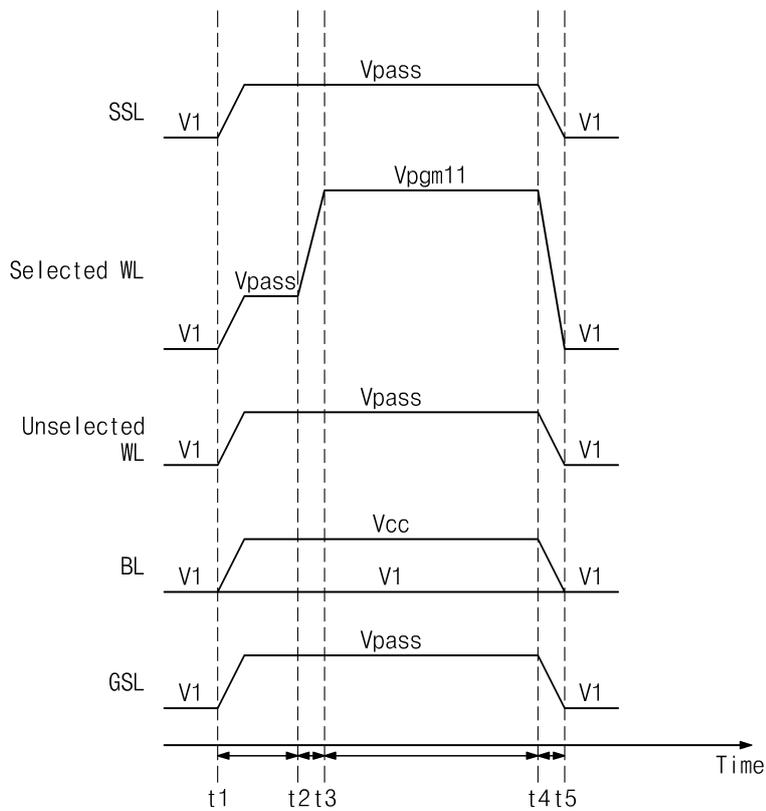
도면5



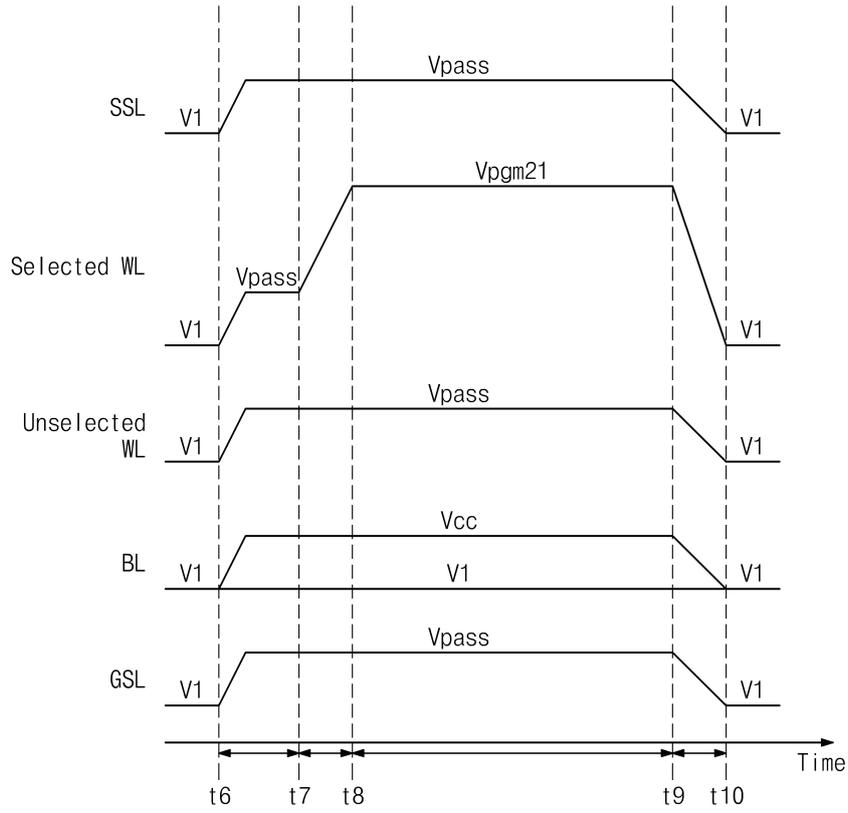
도면6

WL6	⑩	⑫
WL5	⑧	⑪
WL4	⑥	⑨
WL3	④	⑦
WL2	②	⑤
WL1	①	③
	1st PGM (LSB)	2nd PGM (MSB)

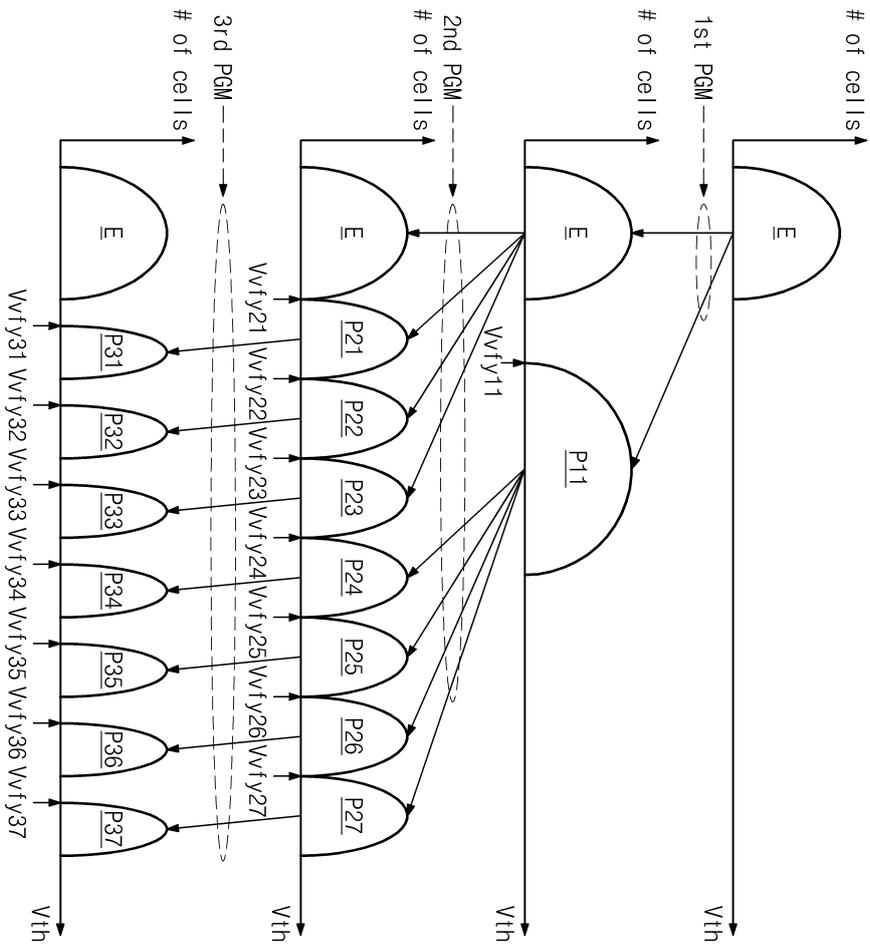
도면7



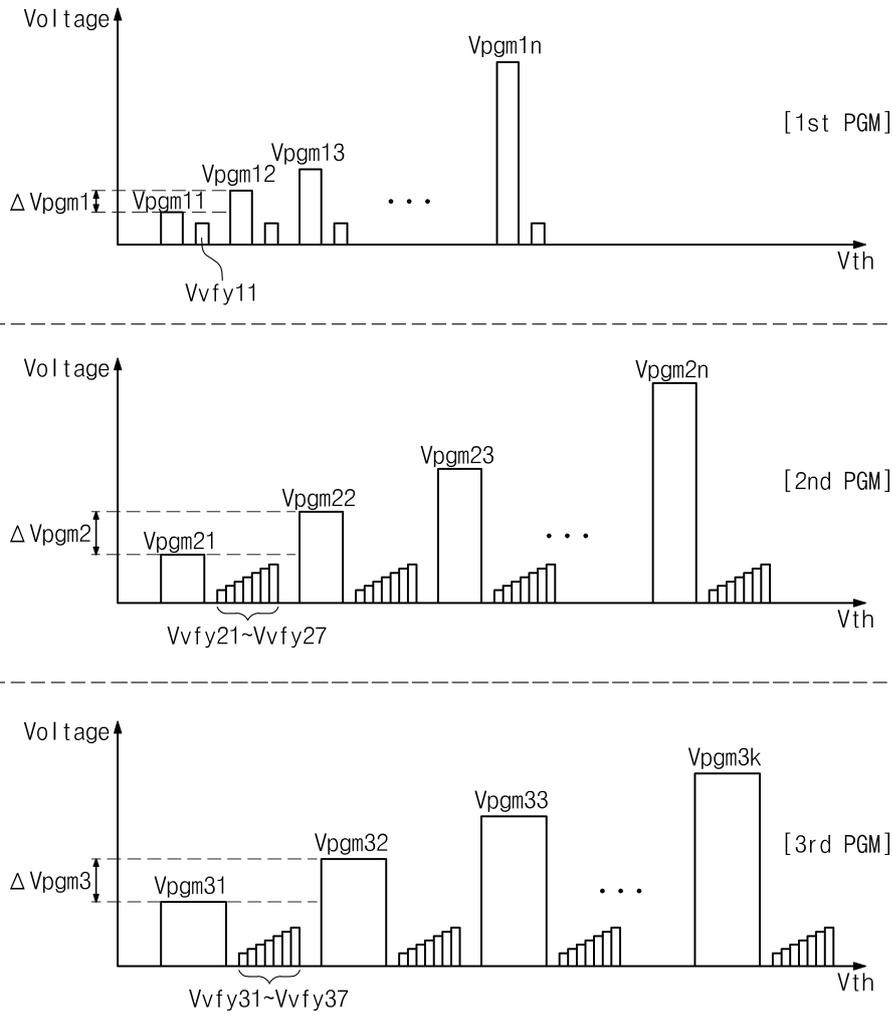
도면8



도면9



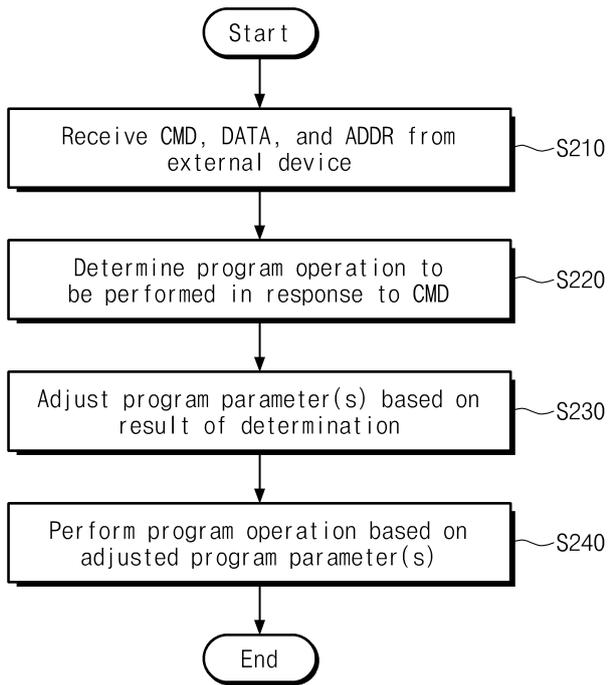
도면10



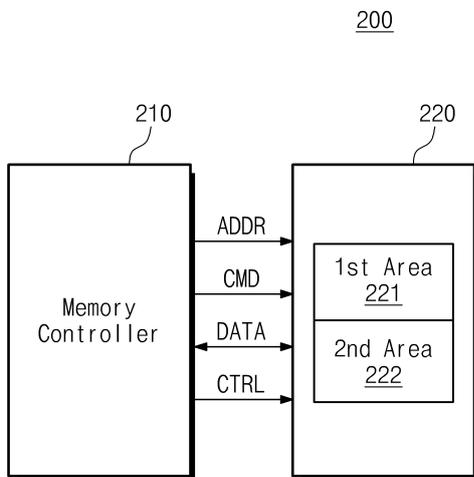
도면11

WL6	⑬	⑯	⑱
WL5	⑩	⑭	⑰
WL4	⑦	⑪	⑮
WL3	④	⑧	⑫
WL2	②	⑤	⑨
WL1	①	③	⑥
	1st PGM	2nd PGM (Coarse)	3rd PGM (Fine)

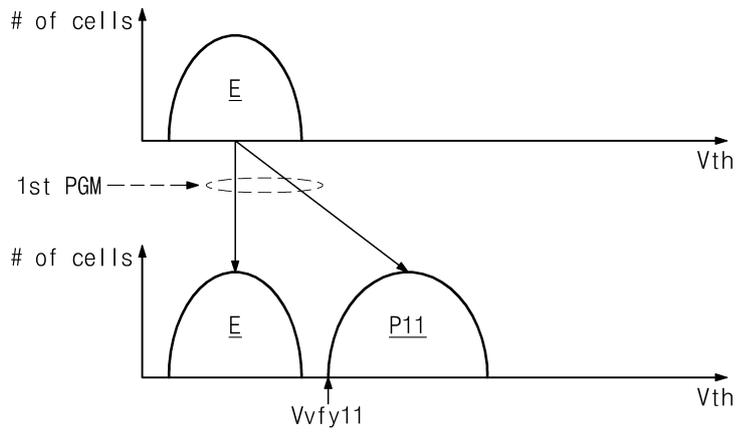
도면12



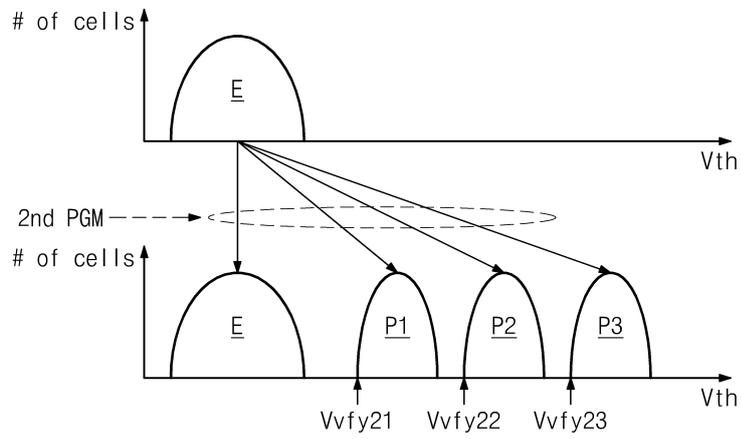
도면13



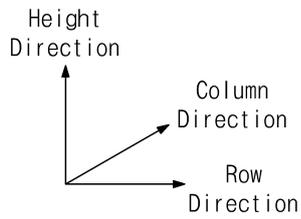
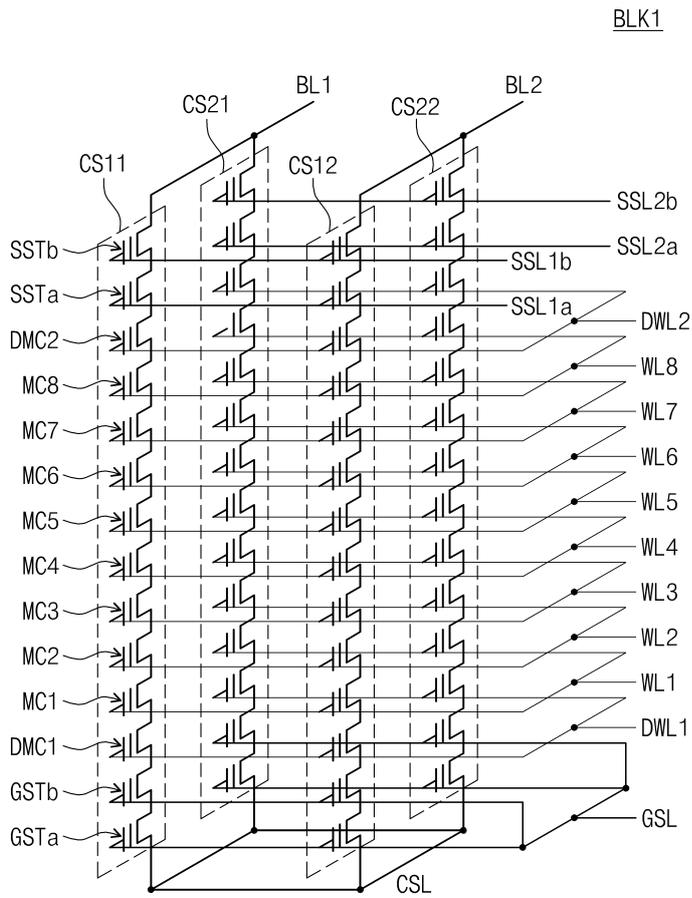
도면14



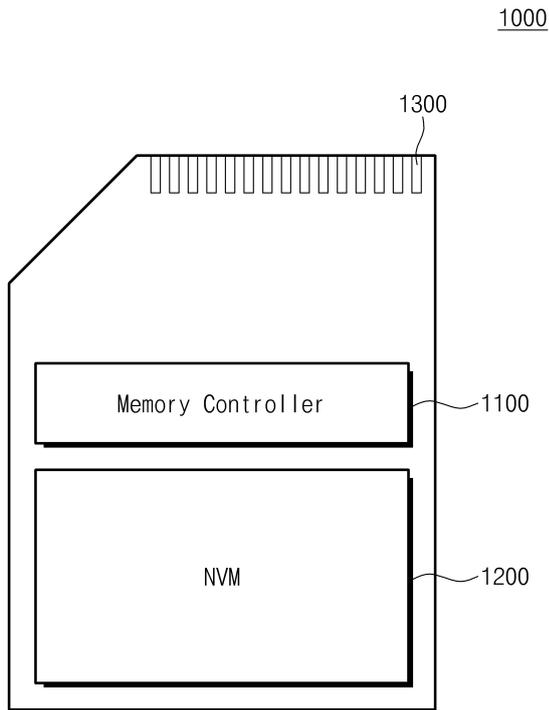
도면15



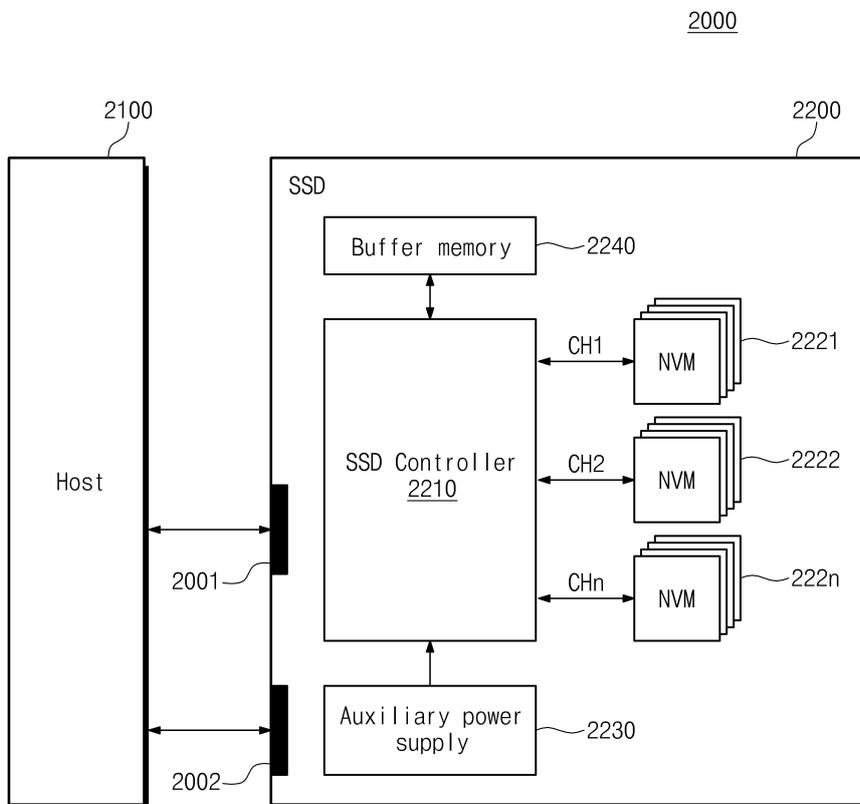
도면16



도면17



도면18



도면19

