



(12) 发明专利

(10) 授权公告号 CN 111372038 B

(45) 授权公告日 2021.06.18

(21) 申请号 201811602356.7

(22) 申请日 2018.12.26

(65) 同一申请的已公布的文献号  
申请公布号 CN 111372038 A

(43) 申请公布日 2020.07.03

(73) 专利权人 厦门星辰科技有限公司  
地址 361005 福建省厦门市火炬高新区软件园创新大厦A区1501

(72) 发明人 孙明勇 汪浩

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 祁建国

(51) Int. Cl.

H04N 7/18 (2006.01)

H04N 5/04 (2006.01)

(56) 对比文件

US 2018007334 A1, 2018.01.04

JP 2703417 B2, 1992.10.30

JP 2005006239 A, 2005.01.06

KR 20140008415 A, 2014.01.21

CN 108139975 A, 2018.06.08

CN 106101545 A, 2016.11.09

CN 1700735 A, 2005.11.23

CN 102668567 A, 2012.09.12

US 8732266 B2, 2014.05.20

US 2018176514 A1, 2018.06.21

审查员 宋雨菲

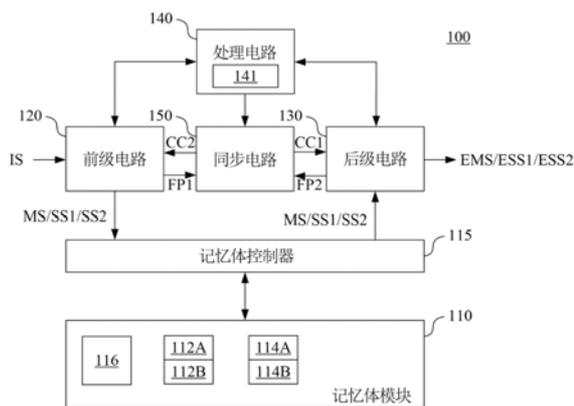
权利要求书3页 说明书9页 附图7页

(54) 发明名称

多串流影像处理装置及方法

(57) 摘要

本发明公开一种多串流影像处理方法,包含:由一前级电路产生包含一主影像串流以及至少一子影像串流的多个影像串流,且该主影像串流的分辨率高于该子影像串流的分辨率;于一影像画面处理时间区间中,由前级电路暂存第N个子影像画面于一记忆体模块中的当下子影像暂存区块,以及暂存第N个主影像画面于该记忆体模块中的主影像暂存区块;于该影像画面处理时间区间的第二子区间中,由该后级电路读取第N个主影像画面,以进行处理。



1. 一种多串流影像处理方法,其特征在于,包含:

由一前级电路根据一相同影像来源产生多个影像串流,其中该多个影像串流包含一主影像串流以及至少一子影像串流,且该主影像串流的分辨率高于该子影像串流的分辨率;

于一第N个影像画面处理时间区间中,由该前级电路暂存该子影像串流的一第N个子影像画面于一记忆体模块中的至少一当下子影像暂存区块,以及暂存该主影像串流的一第N个主影像画面于该记忆体模块中的一主影像暂存区块,其中N为大于或等于2的正整数;

于该第N个影像画面处理时间区间的一第一子区间中,由一后级电路读取该记忆体模块中的至少一现有子影像暂存区块中暂存的该子影像串流的一第N-1个子影像画面,以进行处理;以及

于该第N个影像画面处理时间区间中该第一子区间后的一第二子区间中,由该后级电路读取该主影像暂存区块中暂存的该第N个主影像画面,以进行处理。

2. 根据权利要求1所述的多串流影像处理方法,其特征在于,该主影像暂存区块的容量大于或等于该第N个主影像画面的大小。

3. 根据权利要求1所述的多串流影像处理方法,其特征在于,更包含:

由一同步电路撷取该前级电路以及该后级电路的一画面处理信息;

由该同步电路根据该画面处理信息判断该前级电路暂存该第N个主影像画面的一储存行数是否超过该后级电路读取的该第N个主影像画面的一读取行数;

在该储存行数超过该读取行数时,允许该后级电路继续读取该第N个主影像画面进行处理;以及

在该储存行数不超过该读取行数时,使该后级电路停止读取该第N个主影像画面。

4. 根据权利要求3所述的多串流影像处理方法,其特征在于,该主影像暂存区块的容量小于该第N个主影像画面的大小,且运作为一环状缓冲器,该多串流影像处理方法更包含:

由该同步电路根据该画面处理信息判断该储存行数与该读取行数的一差距是否大于该主影像暂存区块的容量;

在该差距不大于该主影像暂存区块的容量时,允许该前级电路继续暂存该第N个主影像画面;以及

在该差距大于该主影像暂存区块的容量时,使该前级电路停止暂存该第N个主影像画面。

5. 根据权利要求1所述的多串流影像处理方法,其特征在于,该第N个影像画面处理时间区间与一前一影像画面处理时间区间之间包含一同步信号时间区间,该前级电路以及该后级电路在该同步信号时间区间不进行数据处理。

6. 根据权利要求1所述的多串流影像处理方法,其特征在于,该主影像暂存区块的容量小于该第N个主影像画面的大小,且运作为一环状缓冲器,该第N个影像画面处理时间区间与一前一影像画面处理时间区间之间包含一同步信号时间区间,该多串流影像处理方法更包含:

于该同步信号时间区间以及该第N个影像画面处理时间区间中该第一子区间前的一第三子区间中,由该后级电路读取该主影像暂存区块中暂存的一第N-1个主影像画面,以进行处理;

由一同步电路撷取该前级电路以及该后级电路的一画面处理信息;

由该同步电路根据该画面处理信息计算该第N-1个主影像画面的大小与该第N-1个主影像画面的一读取行数的一差距；

由该同步电路根据该画面处理信息判断该差距与该第N个主影像画面的一储存行数的总和是否大于该主影像暂存区块的容量；

在该总和不大大于该主影像暂存区块的容量时，允许该前级电路继续暂存该第N个主影像画面；以及

在该总和大于该主影像暂存区块的容量时，使该前级电路停止暂存该第N个主影像画面。

7. 根据权利要求1所述的多串流影像处理方法，其特征在于，该前级电路为一影像信号处理器，该后级电路为一编码器。

8. 一种多串流影像处理装置，其特征在于，包含：

一记忆体模块；

一前级电路；

一后级电路；以及

一处理电路，电性耦接于该记忆体模块、该前级电路以及该后级电路，并配置以执行多个软韧体可执行指令，以执行一多串流影像处理方法，其中该多串流影像处理方法包含：

由该前级电路根据一相同影像来源产生多个影像串流，其中该多个影像串流包含一主影像串流以及至少一子影像串流，且该主影像串流的分辨率高于该子影像串流的分辨率；

于一第N个影像画面处理时间区间中，由该前级电路暂存该子影像串流的一第N个子影像画面于该记忆体模块中的至少一当下子影像暂存区块，以及暂存该主影像串流的一第N个主影像画面于该记忆体模块中的一主影像暂存区块，其中N为大于或等于2的正整数；

于该第N个影像画面处理时间区间的一第一子区间中，由一后级电路读取该记忆体模块中的至少一现有子影像暂存区块中暂存的该子影像串流的一第N-1个子影像画面，以进行处理；以及

于该第N个影像画面处理时间区间中该第一子区间后的一第二子区间中，由该后级电路读取该主影像暂存区块中暂存的该第N个主影像画面，以进行处理。

9. 根据权利要求8所述的多串流影像处理装置，其特征在于，该主影像暂存区块的容量大于或等于该第N个主影像画面的大小。

10. 根据权利要求8所述的多串流影像处理装置，其特征在于，更包含一同步电路，电性耦接于该处理电路、该前级电路以及该后级电路，该多串流影像处理方法更包含：

由该同步电路撷取该前级电路以及该后级电路的一画面处理信息；

由该同步电路根据该画面处理信息判断该前级电路暂存该第N个主影像画面的一储存行数是否超过该后级电路读取的该第N个主影像画面的一读取行数；

在该储存行数超过该读取行数时，允许该后级电路继续读取该第N个主影像画面进行处理；以及

在该储存行数不超过该读取行数时，使该后级电路停止读取该第N个主影像画面。

11. 根据权利要求10所述的多串流影像处理装置，其特征在于，该主影像暂存区块的容量小于该第N个主影像画面的大小，且运作为一环状缓冲器，该多串流影像处理方法更包含：

由该同步电路根据该画面处理信息判断该储存行数与该读取行数的一差距是否大于该主影像暂存区块的容量；

在该差距不大于该主影像暂存区块的容量时，允许该前级电路继续暂存该第N个主影像画面；以及

在该差距大于该主影像暂存区块的容量时，使该前级电路停止暂存该第N个主影像画面。

12. 根据权利要求8所述的多串流影像处理装置，其特征在于，该第N个影像画面处理时间区间与一前一影像画面处理时间区间之间包含一同步信号时间区间，该前级电路以及该后级电路在该同步信号时间区间不进行数据处理。

13. 根据权利要求8所述的多串流影像处理装置，其特征在于，更包含一同步电路，电性耦接于该处理电路、该前级电路以及该后级电路，其中该主影像暂存区块的容量小于该第N个主影像画面的大小，且运作为一环状缓冲器，该第N个影像画面处理时间区间与一前一影像画面处理时间区间之间包含一同步信号时间区间，该多串流影像处理方法更包含：

于该同步信号时间区间以及该第N个影像画面处理时间区间中该第一子区间前的一第一子子区间中，由该后级电路读取该主影像暂存区块中暂存的一第N-1个主影像画面，以进行处理；

由一同步电路撷取该前级电路以及该后级电路的一画面处理信息；

由该同步电路根据该画面处理信息计算该第N-1个主影像画面的大小与该第N-1个主影像画面的一读取行数的一差距；

由该同步电路根据该画面处理信息判断该差距与该第N个主影像画面的一储存行数的一总和是否大于该主影像暂存区块的容量；

在该总和不大大于该主影像暂存区块的容量时，允许该前级电路继续暂存该第N个主影像画面；以及

在该总和大于该主影像暂存区块的容量时，使该前级电路停止暂存该第N个主影像画面。

14. 根据权利要求8所述的多串流影像处理装置，其特征在于，该前级电路为一影像信号处理器，该后级电路为一编码器。

## 多串流影像处理装置及方法

### 技术领域

[0001] 本发明涉及多串流影像处理技术,尤其涉及一种多串流影像处理装置与方法。

### 背景技术

[0002] 在部分影像技术的应用中,会根据同一个影像来源产生多个影像串流。举例而言,网络监控摄影机(IP camera)可在撷取环境的影像后,产生相应的多个影像串流。部分影像串流的分辨率较高,可在对应的显示器上显示高画质的显示画面。而部分影像串流的分辨率较低,可显示于较低分辨率的显示器上提供例如,但不限于即时的监看。

[0003] 然而,多个影像串流往往需要多个相应的电路来进行处理,而造成电路成本设置的高昂。

### 发明内容

[0004] 鉴于现有技术的问题,本发明的一目的在于提供一种多串流影像处理装置与方法,以改善现有技术。

[0005] 本发明的另一目的在于提供一种多串流影像处理装置与方法,可使多个影像串流藉由分时的方式以单一后级电路进行处理,避免多个后级电路的高昂设置成本。

[0006] 本发明包含一种多串流影像处理方法,包含:由一前级电路根据一相同影像来源产生多个影像串流,其中该影像串流包含一主影像串流以及至少一子影像串流,且该主影像串流的分辨率高于该子影像串流的分辨率;于一影像画面处理时间区间中,由一前级电路暂存该子影像串流的第N个子影像画面于一记忆体模块中的至少一当下子影像暂存区块,以及暂存该主影像串流的第N个主影像画面于该记忆体模块中的一主影像暂存区块;于该影像画面处理时间区间的第N个子区间中,由一后级电路读取该记忆体模块中的至少一现有子影像暂存区块中暂存的该子影像串流的第N-1个子影像画面,以进行处理;于影像画面处理时间区间中第N个子区间后的第N+1个子区间中,由该后级电路读取该主影像暂存区块中暂存的第N个主影像画面,以进行处理。

[0007] 本发明另包含一种多串流影像处理装置,包含:一记忆体模块、一前级电路、一后级电路以及一处理电路。该处理电路电性耦接于该记忆体模块、该前级电路以及该后级电路,并配置以执行软韧体可执行指令,以执行一多串流影像处理方法,该多串流影像处理方法的步骤包含:由该前级电路根据一相同影像来源产生多个影像串流,其中影像串流包含一主影像串流以及至少一子影像串流,且该主影像串流的分辨率高于子影像串流的分辨率;于一影像画面处理时间区间中,由该前级电路暂存该子影像串流的第N个子影像画面于该记忆体模块中的至少一当下子影像暂存区块,以及暂存该主影像串流的第N个主影像画面于该记忆体模块中的主影像暂存区块;于该影像画面处理时间区间的一第N个子区间中,由该后级电路读取该记忆体模块中的至少一现有子影像暂存区块中暂存的子影像串流的第N-1个子影像画面,以进行处理;于影像画面处理时间区间中该第N个子区间后的一第N+1个子区间中,由该后级电路读取该主影像暂存区块中暂存的第N个主影像画面,以进行处理。

[0008] 以下结合附图和具体实施例对本发明进行详细描述,但不作为对本发明的限定。

### 附图说明

- [0009] 图1显示本发明的一实施例中,多串流影像处理装置的方框图;
- [0010] 图2显示本发明的一实施例中,一种多串流影像处理方法的流程图;
- [0011] 图3显示本发明的一实施例中,多串流影像处理装置进行影像处理的时序图;
- [0012] 图4显示本发明一实施例中,同步电路的方框图;
- [0013] 图5显示本发明一实施例中,同步电路运作时进行的同步流程的流程图;
- [0014] 图6显示本发明一实施例中,主影像画面的示意图;
- [0015] 图7显示本发明另一实施例中,同步电路的方框图;
- [0016] 图8显示本发明另一实施例中,同步电路运作时进行的同步流程的流程图;
- [0017] 图9显示本发明另一实施例中,多串流影像处理装置进行影像处理的时序图;
- [0018] 图10显示本发明又一实施例中,同步电路的方框图;以及
- [0019] 图11显示本发明又一实施例中,同步电路运作时进行的同步流程的流程图。
- [0020] 其中,附图标记
- |        |      |             |
|--------|------|-------------|
| [0021] | 100  | 多串流影像处理装置   |
| [0022] | 110  | 记忆体模块       |
| [0023] | 112  | 主影像暂存区块     |
| [0024] | 114A | 当下第一子影像暂存区块 |
| [0025] | 114B | 现有第一子影像暂存区块 |
| [0026] | 116A | 当下第二子影像暂存区块 |
| [0027] | 116B | 现有第二子影像暂存区块 |
| [0028] | 115  | 记忆体控制器      |
| [0029] | 120  | 前级电路        |
| [0030] | 130  | 后级电路        |
| [0031] | 140  | 处理电路        |
| [0032] | 141  | 软韧体可执行指令    |
| [0033] | 150  | 同步电路        |
| [0034] | 200  | 多串流影像处理方法   |
| [0035] | 400  | 第一比较模块      |
| [0036] | 402  | 第二比较模块      |
| [0037] | 404  | 同步处理模块      |
| [0038] | 406  | 第一计算模块      |
| [0039] | 408  | 第二计算模块      |
| [0040] | 500  | 同步流程        |
| [0041] | 600  | 主影像画面       |
| [0042] | 800  | 同步流程        |
| [0043] | 1100 | 同步流程        |
| [0044] | CC1  | 后级电路控制信号    |

[0045]	CC2	前级电路控制信号
[0046]	CR1	第一比较结果
[0047]	CR2	第二比较结果
[0048]	DR	差距
[0049]	EMS	处理后主影像串流
[0050]	ESS1	处理后第一子影像串流
[0051]	ESS2	处理后第二子影像串流
[0052]	F1	前级画面数
[0053]	F2	后级画面数
[0054]	FP1、FP2	画面处理信息
[0055]	IS	影像来源
[0056]	MS	主影像串流
[0057]	RR	读取行数
[0058]	RW	储存行数
[0059]	SN、SN+1	同步信号
[0060]	SS1	第一子影像串流
[0061]	SS2	第二子影像串流
[0062]	SUM	总和
[0063]	S210~S240	步骤
[0064]	S510~S570	步骤
[0065]	S810~S840	步骤
[0066]	S1110~S1140	步骤
[0067]	TN-1、TN、TN+1	影像画面处理时间区间
[0068]	TS1	第一子区间
[0069]	TS2	第二子区间
[0070]	TS3	第三子区间
[0071]	TSN、TSN+1	同步信号时间区间

### 具体实施方式

[0072] 下面结合附图对本发明的结构原理和工作原理作具体的描述：

[0073] 本发明的一目的在于提供一种多串流影像处理装置与方法，可使多个影像串流藉由分时的方式以单一后级电路进行处理，避免多个后级电路的高昂设置成本。

[0074] 请参照图1。图1为本发明的一实施例中，多串流影像处理装置100的方框图。多串流影像处理装置100可对环境进行影像的拍摄，以根据相同的影像来源IS产生多个影像串流MS（主影像串流）、SS1（第一子影像串流）、SS2（第二子影像串流），并对影像串流MS、SS1、SS2进行后续的处理，产生处理后主影像串流EMS、处理后第一子影像串流ESS1、处理后第二子影像串流ESS2。

[0075] 一多串流影像处理装置100包含：一记忆体模块110、一前级电路120、一后级电路130、一处理电路140以及一同步电路150。

[0076] 于一实施例中,记忆体模块110具有不同的区块,以储存多串流影像处理所需的不同数据。记忆体模块110可由速度较快的记忆体实现,例如,但不限于双倍数据率同步动态随机读取记忆体(double data rate synchronous dynamic random access memory;DDR SDRAM)。

[0077] 于一实施例中,一多串流影像处理装置100可更包含一记忆体控制器115。记忆体控制器115可由例如,但不限于记忆体介面单元(memory interface unit;MIU)实现。在多串流影像处理装置100中的其他电路模块,如前级电路120以及后级电路130,可通过记忆体控制器115对记忆体模块110进行读取与写入,以将数据储存于记忆体模块110,或是自记忆体模块110读取数据。

[0078] 前级电路120于一实施例中,为影像信号处理器(image signal processor;ISP),配置以根据一相同影像来源IS产生多个影像串流MS、SS1、SS2。其中,影像来源IS可为例如,但不限于网络监控摄影机的感光元件(未绘示)。在感光元件感测影像后,前级电路120将据以产生不同分辨率的影像串流MS、SS1、SS2,并通过记忆体控制器115储存于记忆体模块110中。

[0079] 其中,影像串流MS为主影像串流,影像串流SS1、SS2为第一及第二子影像串流。主影像串流MS的分辨率较子影像串流SS1、SS2的分辨率为高。于一实施例中,主影像串流MS的分辨率为4K,第一子影像串流SS1的分辨率为1280×720,第二子影像串流SS2的分辨率为720×576。需注意的是,上述子影像串流的数目以及各影像串流的分辨率数值仅为一范例,本发明并不限于此。于一实施例中,子影像串流的数目可为一个或多个。

[0080] 后级电路130于一实施例中,为编码器,配置以通过记忆体控制器115自记忆体模块110读取影像串流MS、SS1、SS2来进行编码程序,并产生完成编码的处理后主影像串流EMS、处理后第一子影像串流ESS1、处理后第二子影像串流ESS2。于不同实施例中,编码程序可依照例如,但不限于H264、H265或是其他的编码标准进行。

[0081] 同步电路150电性耦接于前级电路120、后级电路130以及处理电路140,配置以根据处理电路140的控制,使前级电路120对影像串流暂存于记忆体模块110的储存速度以及后级电路130将影像串流自记忆体模块110读取的读取速度能够达到平衡。

[0082] 处理电路140电性耦接于记忆体模块110、前级电路120、后级电路130以及同步电路150。处理电路140可执行一软韧体可执行指令141,以执行多串流影像处理装置100的功能。更详细来说,处理电路140可从一多串流影像处理装置100中包含的储存模块(未绘示)撷取一软韧体可执行指令141,且该软韧体可执行指令141包含例如但不限于前级电路120、后级电路130以及同步电路150的韧体以及其他用以操作与控制前级电路120、后级电路130以及同步电路150的相关指令,进一步操作与控制前级电路120、后级电路130以及同步电路150,达到前述对影像串流影像串流MS、SS1、SS2进行暂存、读取及编码,并产生处理后主影像串流EMS、处理后第一子影像串流ESS1、处理后第二子影像串流ESS2的功效。

[0083] 需注意的是,储存模块于一实施例中,是以与记忆体模块110相独立的另一记忆体来实现。举例而言,储存模块可由例如,但不限于光碟、随机读取记忆体(random access memory;RAM)、只读记忆体(read only memory;ROM)、软碟、硬碟或光学磁碟片。于另一实施例中,储存模块亦可与记忆体模块110藉由同一记忆体实现。

[0084] 请同时参照图2。以下将搭配图1及图2,对于多串流影像处理装置100的详细功能

进行更详细的说明。

[0085] 图2为本发明的一实施例中,一种多串流影像处理方法200的流程图。多串流影像处理方法200可应用于图1所示的多串流影像处理装置100中。多串流影像处理方法200的一实施例如图2所示,包含下列步骤。

[0086] 于步骤S210:由一前级电路120根据一相同影像来源IS产生多个影像串流MS、SS1、SS2。如上所述,该多个影像串流包含一主影像串流MS以及第一及第二子影像串流SS1、SS2,且该主影像串流MS的分辨率高于该子影像串流SS1、SS2的分辨率。

[0087] 于步骤S220:于一影像画面处理时间区间中,由该前级电路120暂存子影像串流SS1、SS2的第N个子影像画面于该记忆体模块110中的当下第一及第二子影像暂存区块114A及116A,以及暂存主影像串流MS的第N个主影像画面于该记忆体模块110中的主影像暂存区块112。其中,N为正整数。

[0088] 请同时参照图3。图3为本发明的一实施例中,多串流影像处理装置100进行影像处理的时序图。

[0089] 多串流影像处理装置100在处理的时序上,包含多个影像画面处理时间区间,例如第3图范例性绘示的连续三个影像画面处理时间区间TN-1、TN及TN+1。各两个邻接的影像画面处理时间区之间包含一同步信号时间区间,例如影像画面处理时间区间TN-1及TN之间的同步信号时间区间TSN以及影像画面处理时间区间TN及TN+1之间的同步信号时间区间TSN+1。同步信号时间区间TSN以及同步信号时间区间TSN+1是分别对应同步信号SN以及同步信号SN+1的传送,以分别标示影像画面处理时间区间TN及TN+1的起始。

[0090] 在本实施例中,在同步信号时间区间TSN以及同步信号时间区间TSN+1中,前级电路120和后级电路130均不进行数据处理,而仅在影像画面处理时间区间TN-1、TN及TN+1中进行数据处理。

[0091] 在图3中,前级电路120的处理时序是以斜线区块表示。由于前级电路120可以同时产生影像串流MS、SS1以及SS2,因此在影像画面处理时间区间TN起始后,前级电路120即开始同步暂存子影像串流SS1、SS2的第N个子影像画面于当下第一及第二子影像暂存区块114A及116A,以及暂存主影像串流MS的第N个主影像画面于主影像暂存区块112。

[0092] 于步骤S230:于影像画面处理时间区间TN的第一子区间TS1中,由后级电路130优先读取记忆体模块110中的现有第一及第二子影像暂存区块114B及116B中暂存的子影像串流SS1及SS2的第N-1个子影像画面,以进行处理。

[0093] 于一实施例中,如图3所示,在影像画面处理时间区间TN-1中,子影像串流SS1及SS2的第N-1个子影像画面即已由前级电路120通过记忆体控制器115,分别被暂存于现有第一及第二子影像暂存区块114B及116B中。

[0094] 后级电路130的处理时序是以点状区块表示。后级电路130是以分时的方式运作,一次针对一个画面影像进行处理。因此如图3所示,后级电路130在第一子区间TS1中,将优先通过记忆体控制器115读取现有第一子影像暂存区块114B中,对应于第一子影像串流SS1的第N-1个子影像画面并进行处理,以产生处理后第一子影像串流ESS1中对应的影像画面。接着,后级电路130在第一子区间TS1剩下的时间中,再通过记忆体控制器115读取现有第二子影像暂存区块116B,对应于第二子影像串流SS2的第N-1个子影像画面并进行处理,以产生处理后第二子影像串流ESS2中对应的影像画面。

[0095] 于步骤S240:于影像画面处理时间区间TN中第一子区间TS1后的第二子区间TS2中,由后级电路130读取主影像暂存区块112中暂存的第N个主影像画面,以进行处理。

[0096] 于一实施例中,主影像暂存区块112的容量大于或等于第N个主影像画面的大小。于部分实施例中,后级电路130的运作速度可能较前级电路120为快。因此为了避免后级电路130自主影像暂存区块112读取数据的读取速度超过前级电路120暂存数据至主影像暂存区块112的储存速度,同步电路150将可进行前级电路120与后级电路130的协调与同步。

[0097] 请参照图4。图4为本发明的一实施例中,同步电路150的方框图。

[0098] 如图4所示,同步电路150包含第一比较模块400、第二比较模块402及同步处理模块404。

[0099] 第一比较模块400及第二比较模块402可自前级电路120以及后级电路130撷取其画面处理信息FP1及FP2的内容。其中,画面处理信息FP1包含前级电路120正在暂存的影像画面的前级画面数F1,以及正在暂存的影像画面的储存行数RW,画面处理信息FP2包含后级电路130正在读取的影像画面的后级画面数F2,以及正在读取的影像画面的读取行数RR。

[0100] 于一实施例中,第一比较模块400根据前级电路120正在暂存的影像画面的前级画面数F1以及后级电路130正在读取的影像画面的后级画面数F2进行比较,以判断前级电路120正在暂存的影像画面以及后级电路130正在读取的影像画面是否为相同。第二比较模块402则根据前级电路120正在暂存的影像画面的储存行数RW以及后级电路130正在读取的影像画面的读取行数RR进行比较,以判断后级电路130正在读取的影像画面的读取行数RR是否超过前级电路120正在暂存的影像画面的储存行数RW。

[0101] 同步处理模块404进一步根据第一比较模块400以及第二比较模块402的比较结果,判断前级电路120以及后级电路130的运作状况,进一步决定采用的同步机制。

[0102] 请同时参照图5。图5为本发明的一实施例中,同步电路150运作时进行的一同步流程500的流程图。以下将根据图4及图5,对于同步电路150的运作机制进行更详细的说明。

[0103] 如图5所示,于步骤S510,第一比较模块400自前级电路120以及后级电路130撷取其画面处理信息FP1及FP2中的前级画面数F1以及后级画面数F2进行比较。

[0104] 于步骤S520,同步处理模块404根据第一比较模块400的第一比较结果CR1,进一步判断前级电路120正在暂存的影像画面以及后级电路130正在读取的影像画面是否为相同的。

[0105] 当影像画面是不同的,例如在影像画面处理时间区间TN的第一子区间TS1中的情形,后级电路130读取的是第N-1个子影像画面而前级电路120储存的是第N个主影像画面,则于步骤S530,同步处理模块404不启动同步电路150的同步机制。

[0106] 当影像画面是相同的,例如在影像画面处理时间区间TN的第二子区间TS2中的情形,前级电路120储存的以及后级电路130读取的均是第N个主影像画面时,同步处理模块404启动同步机制的运作,并于步骤S540,由第二比较模块402自前级电路120以及后级电路130撷取其画面处理信息FP1及FP2中的储存行数RW以及读取行数RR进行比较。

[0107] 请同时参照图6。图6为本发明的一实施例中,主影像画面600的示意图。

[0108] 于步骤S550,同步处理模块404根据第二比较模块402的第二比较结果CR2,判断前级电路120正在暂存的主影像画面600的储存行数RW是否超过后级电路130读取的主影像画面600的读取行数RR。

[0109] 在储存行数RW超过读取行数RR时,表示后级电路130读取的内容尚未超过前级电路120储存的内容。因此,于步骤S560,同步处理模块404藉由后级电路控制信号CC1允许后级电路130继续读取第N个主影像画面进行处理。反之,在储存行数RW不超过读取行数RR时,表示后级电路130读取的内容将超过前级电路120储存的内容。因此,于步骤S570,同步处理模块404藉由后级电路控制信号CC1使后级电路130停止读取第N个主影像画面,以避免读取到错误的的数据内容。

[0110] 因此,后级电路130将在同步电路150的协调与同步下,依序读取第N个主影像画面的内容,并进行处理以产生处理后主影像串流EMS对应的主影像画面。需注意的是,在本实施例中,后级电路130是在下一个同步信号时间区间TSN+1前即完成对于第N个主影像画面的处理。

[0111] 进一步地,在影像画面处理时间区间TN+1中,前级电路120可依照上述的方式暂存子影像串流SS1、SS2的第N+1个子影像画面,以及暂存主影像串流MS的第N+1个主影像画面。后级电路130则可依照上述的方式先读取子影像串流SS1及SS2的第N个子影像画面进行处理后,再读取主影像串流MS的第N+1个主影像画面进行处理。

[0112] 需注意的是,于一实施例中,前级电路120在影像画面处理时间区间TN中,用以暂存子影像串流SS1、SS2的第N个子影像画面的当下第一及第二子影像暂存区块114A及116A,对于影像画面处理时间区间TN+1来说则成为现有子影像暂存区块。而在影像画面处理时间区间TN中的现有第一及第二子影像暂存区块114B及116B,对于影像画面处理时间区间TN+1来说则做为当下子影像暂存区块,并用来储存子影像串流SS1、SS2的第N+1个子影像画面。

[0113] 上述的实施方式是以主影像暂存区块112的容量大于或等于第N个主影像画面的大小为范例进行说明。于另一实施例中,主影像暂存区块112的容量亦可小于第N个主影像画面的大小,且运作为环状缓冲器(ring buffer)。亦即,当前级电路120对主影像画面的暂存到主影像暂存区块112的最高地址时,将把更新的影像数据取代主影像暂存区块112的最低地址进行储存。而当后级电路130对主影像画面的读取到主影像暂存区块112的最高地址时,亦将回到主影像暂存区块112的最低地址继续读取。

[0114] 请同时参照图7及图8。图7为本发明的另一实施例中,同步电路150的方框图。图8为本发明的另一实施例中,同步电路150运作时进行的一同步流程800的流程图。以下将根据图7及图8,对于以环状缓冲器运作的主影像暂存区块112的实施方式进行更详细的说明。

[0115] 图7所绘示的同步电路150与图4所绘示的同步电路150大同小异,包含第一比较模块400、第二比较模块402及同步处理模块404。于本实施例中,图7的同步电路150更包含第一计算模块406。第一计算模块406配置以根据画面处理信息FP1及FP2,计算储存行数RW与读取行数RR的差距DR。

[0116] 图7所绘示的同步电路150所进行的同步机制除了与图5相同的步骤S510至S570外,可更同时执行图8的流程,以进行步骤S810,由第一计算模块406计算储存行数RW与读取行数RR的差距DR。

[0117] 于步骤S820,同步处理模块404判断差距DR是否大于主影像暂存区块112的容量。

[0118] 在差距DR不大于主影像暂存区块112的容量时,表示主影像暂存区块112的内部有效未编码内容尚未占用完用完主影像暂存区块112的容量。因此,于步骤S830,同步处理模块404藉由前级电路控制信号CC2允许前级电路120继续暂存第N个主影像画面。反之,在差

距大于主影像暂存区块112的容量时,表示前级电路120储存的速度超过后级电路130读取的速度,如果继续储存,将覆盖掉后级电路130尚未读取到的主影像画面的数据。因此,于步骤S840,同步处理模块404藉由前级电路控制信号CC2将使前级电路120停止暂存第N个主影像画面,进一步暂缓对于主影像画面数据的储存。

[0119] 因此,藉由上述的机制,在以环状缓冲器运作的主影像暂存区块112的实施方式中,除可避免后级电路130读取的速度过快读到错误的的数据外,亦可避免前级电路120储存的速度过快而覆盖后级电路130尚未读取的数据。

[0120] 请同时参照图9。图9为本发明另一实施例中,多串流影像处理装置100进行影像处理的时序图。

[0121] 多串流影像处理装置100在处理的时序上,包含多个影像画面处理时间区间,例如图5范例性绘示的连续三个影像画面处理时间区间TN-1、TN及TN+1。各两个邻接的影像画面处理时间区之间包含同步信号时间区间,例如影像画面处理时间区间TN-1及TN之间的同步信号时间区间TSN以及影像画面处理时间区间TN及TN+1之间的同步信号时间区间TSN+1。同步信号时间区间TSN以及同步信号时间区间TSN+1是分别对应同步信号SN以及同步信号SN+1的传送,以分别标示影像画面处理时间区间TN及TN+1的起始。

[0122] 在本实施例中,在影像画面处理时间区间TN的第一子区间TS1中,依旧是由后级电路130读取子影像串流SS1及SS2的第N-1个子影像画面进行处理,且在影像画面处理时间区间TN的第二子区间TS2中,也依旧是由后级电路130读取第N个主影像画面进行处理。

[0123] 然而,在本实施例中,除了主影像暂存区块112是以环状缓冲器的方式实现外,影像画面处理时间区间TN在第一子区间TS1前更包含第三子区间TS3。对于影像画面处理时间区间TN-1所对应的第N-1个主影像画面,后级电路130除了在影像画面处理时间区间TN-1中的后半部进行处理外,也被允许在同步信号时间区间TSN以及第三子区间TS3中进行处理。以此类推,后级电路130亦被允许在影像画面处理时间区间TN中的后半部、同步信号时间区间TSN+1以及影像画面处理时间区间TN+1的第三子区间TS3中,处理第N个主影像画面。

[0124] 然而,对于前级电路120来说,依旧是在影像画面处理时间区间TN起始时,即开始暂存子影像串流SS1、SS2的第N个子影像画面以及主影像串流MS的第N个主影像画面。因此,主影像暂存区块112将在第三子区间TS3中,同时进行第N-1个主影像画面的读取以及第N个主影像画面的暂存。增加此Ts3也具有的优点是后级电路的处理速度可以较慢,亦即可以较省电。

[0125] 请同时参照图10及图11。图10为本发明的又一实施例中,同步电路150的方框图。图11为本发明的又一实施例中,同步电路150运作时进行的一同步流程1100的流程图。以下将根据图10及图11,对于以环状缓冲器运作的主影像暂存区块112的实施方式进行更详细的说明。

[0126] 图10所绘示的同步电路150与图7所绘示的同步电路150大同小异,包含第一比较模块400、第二比较模块402、同步处理模块404及第一计算模块406。于本实施例中,图10的同步电路150更包含第二计算模块408,配置以在前级电路120正在暂存的影像画面以及后级电路130正在读取的影像画面不同时运作。

[0127] 图10所绘示的同步电路150所进行的同步机制具有与图5相同的步骤S510、S520以及S540至S570,以及与图8相同的步骤S810至S840。然而,在本实施例中,当图5的步骤S520

判断前级电路120正在暂存的影像画面以及后级电路130正在读取的影像画面是不同的,例如第三子区间TS3的情形时,图10所绘示的同步电路150将执行图11的流程,以启动同步机制的运作。

[0128] 于步骤S1110,由第二计算模块408根据画面处理信息FP1及FP2先计算第N-1个主影像画面的大小FR与第N-1个主影像画面的读取行数RR的差距。此差距代表第N-1个主影像画面中,剩下还未由后级电路130读取并进行处理的数据量。接着,第二计算模块408计算此差距与第N个主影像画面的储存行数RWN的总和SUM。其中,储存行数RW代表第N个主影像画面中,前级电路120已暂存的数据量。

[0129] 于步骤S1120,同步处理模块404判断总和SUM是否大于主影像暂存区块112的容量。

[0130] 在总和SUM不大于主影像暂存区块112的容量时,表示前级电路120的储存速度并未超过后级电路130的读取速度。因此,于步骤S1130,同步处理模块404藉由前级电路控制信号CC2允许前级电路120继续暂存第N个主影像画面。反之,在总和SUM大于主影像暂存区块112的容量时,表示前级电路120储存的速度超过后级电路130读取的速度,如果继续储存,将覆盖掉后级电路130尚未读取到的主影像画面的数据。因此,于步骤S1140,同步处理模块404藉由前级电路控制信号CC2将使前级电路120停止产生第N个主影像画面,进一步暂缓对于主影像画面数据的储存。

[0131] 因此,本发明的多串流影像处理装置100可使前级电路所产生的多个影像串流,藉由分时的方式以单一后级电路进行处理,避免多个后级电路的高昂设置成本。

[0132] 并且,藉由上述分时的方式,记忆体模块仅需要对于因分辨率较低而数据量较小的子影像画面进行第N-1个子影像画面以及第N个子影像画面的暂存。对于分辨率高而数据量大的主影像画面,则不需要额外设置两个暂存区块进行暂存。对于记忆体模块的空间成本来说,也将大幅下降。

[0133] 进一步地,通过同步电路的设置,记忆体模块可使主影像暂存区块以环状缓冲器的方式实现,容量将因而缩减,更进一步降低记忆体模块的空间成本。

[0134] 需注意的是,上述的实施方式仅为一范例。于其他实施例中,本领域的通常知识者当可在不违背本发明的精神下进行更动。

[0135] 综合上述,本发明中的多串流影像处理装置及方法可达到降低后级电路硬件设置成本以及降低记忆体空间成本的功效。

[0136] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

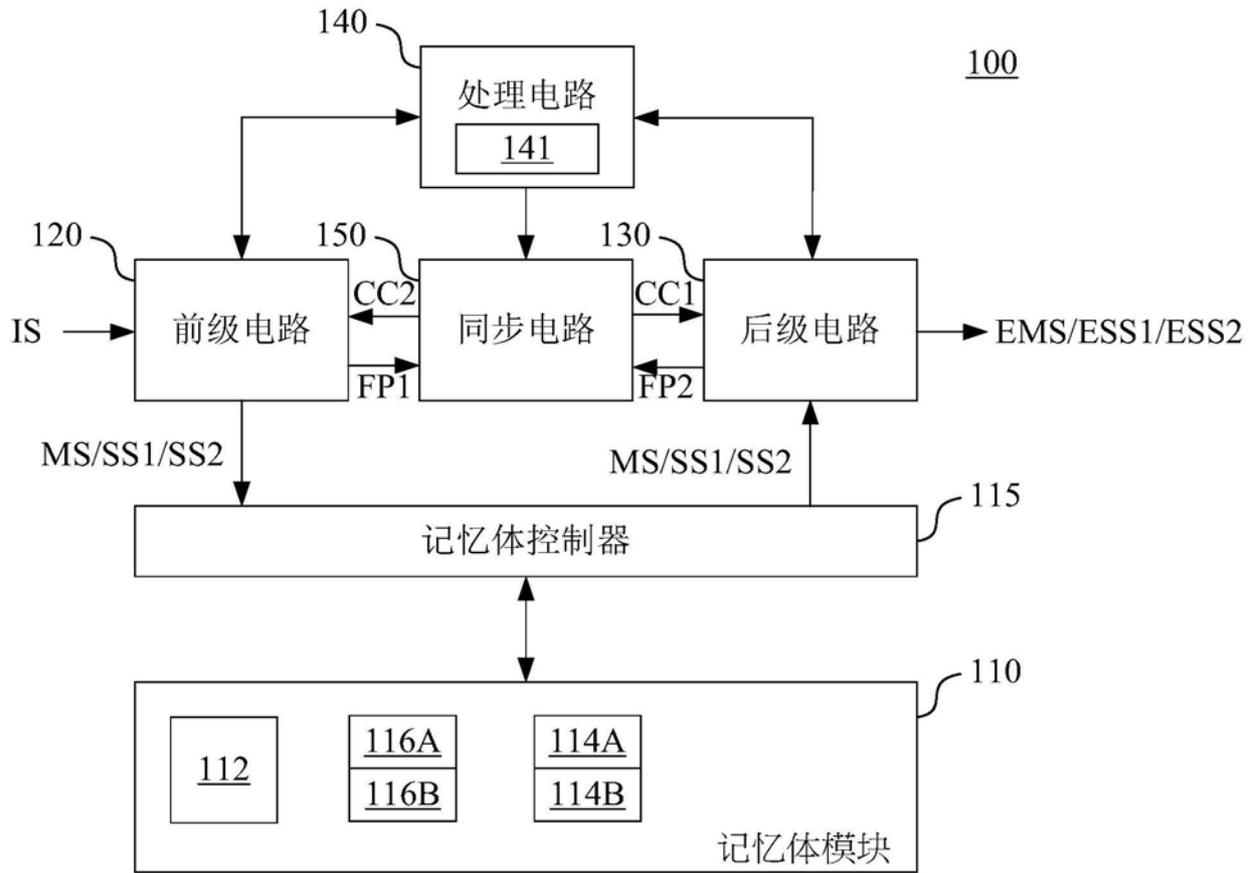


图1

200

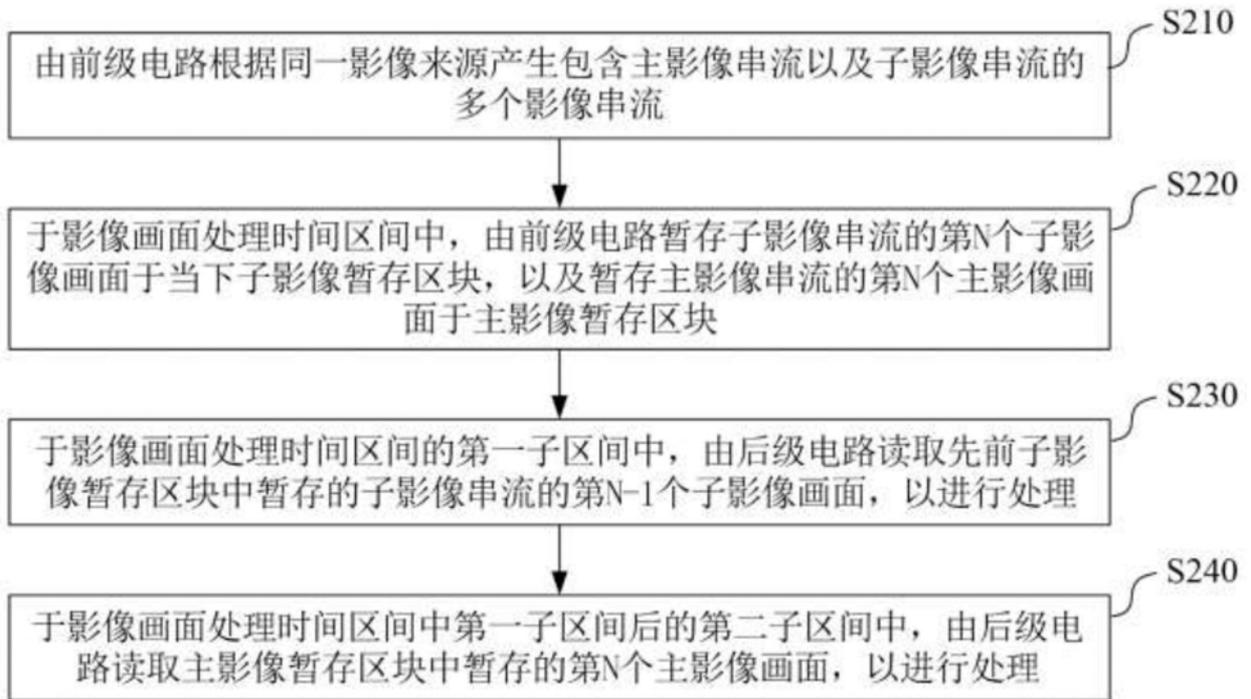


图2

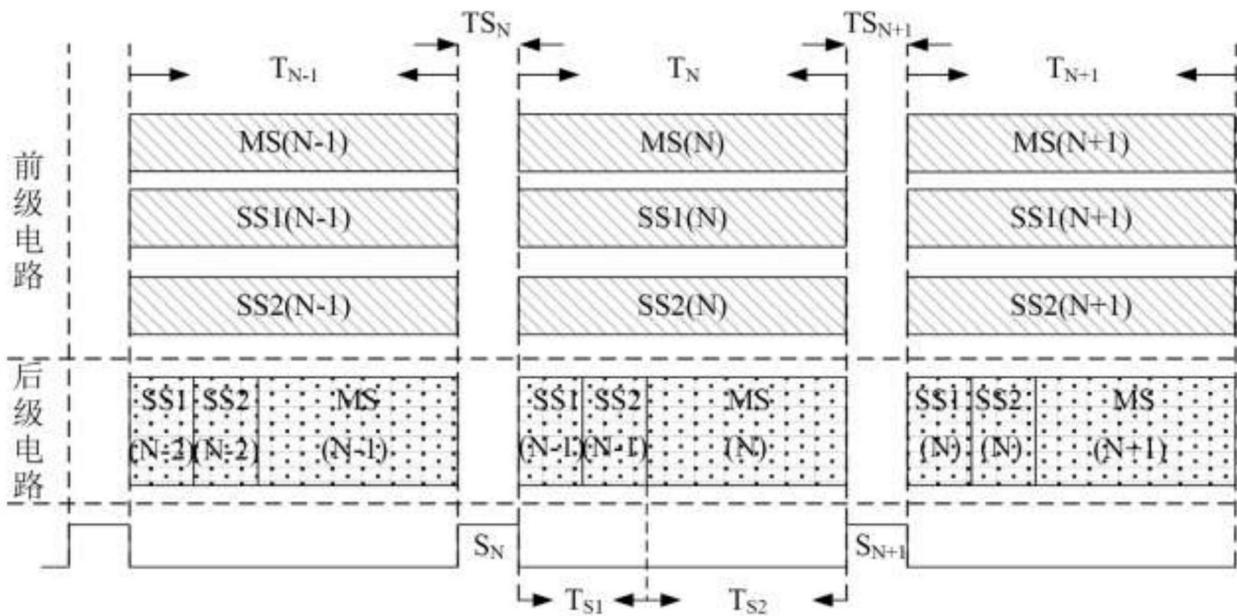


图3

150

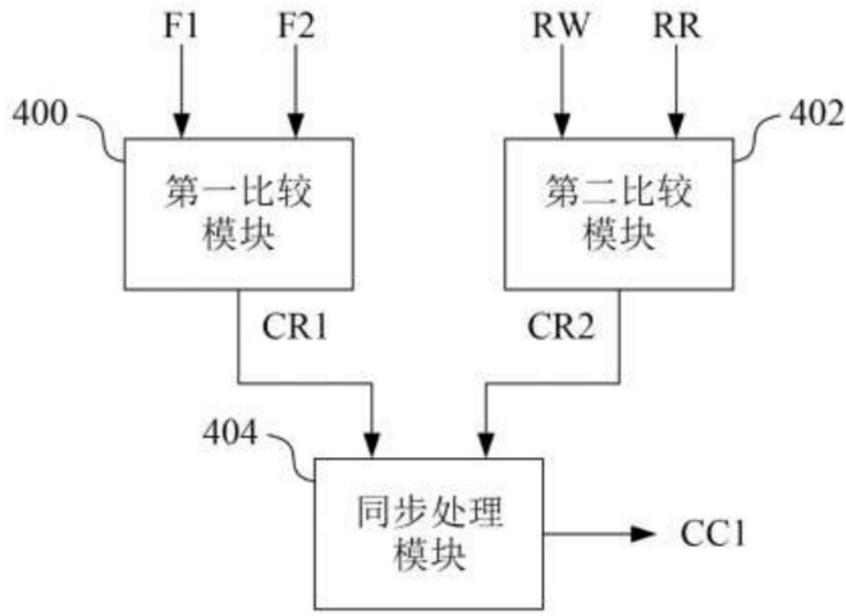


图4

500

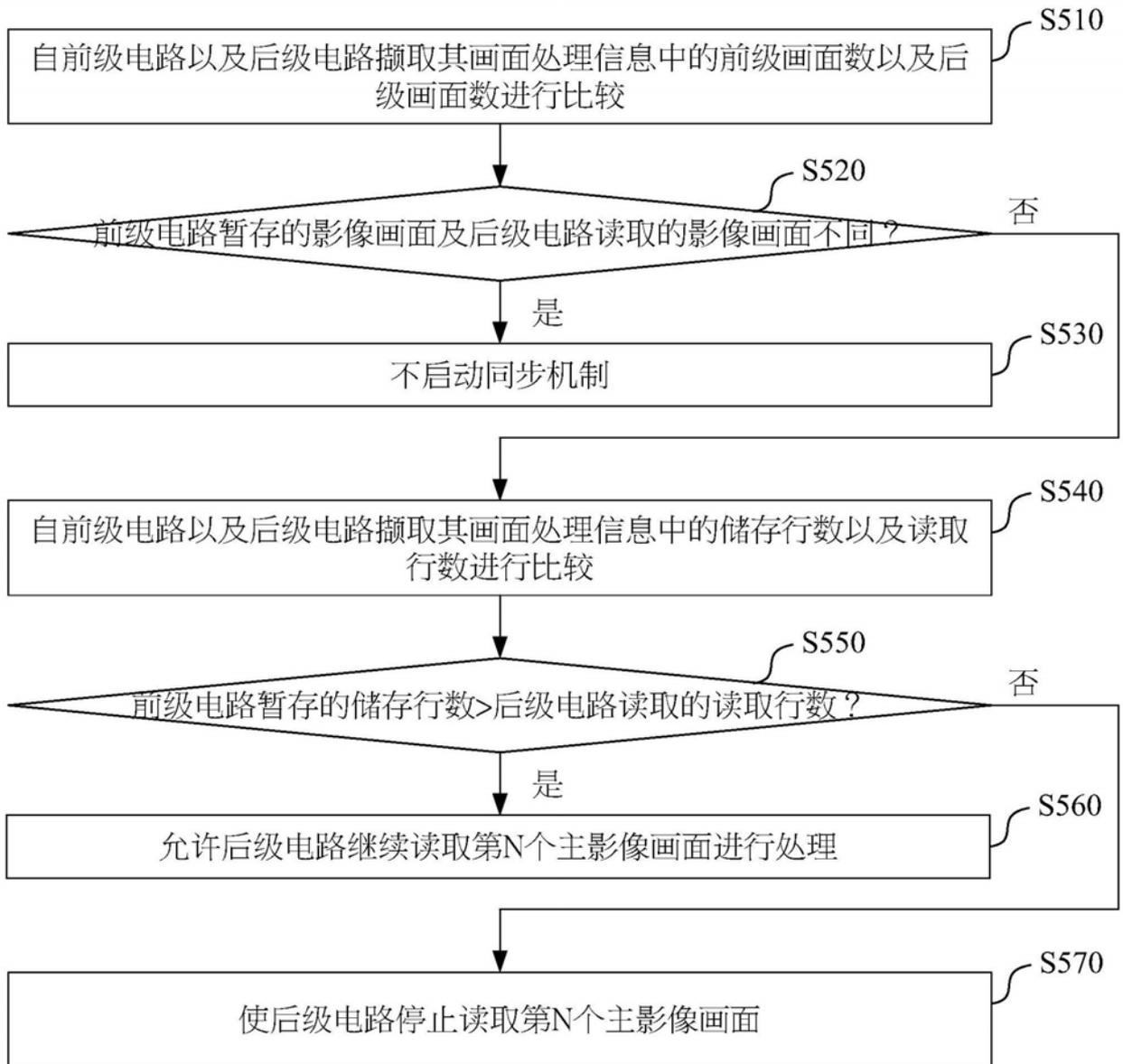


图5

600

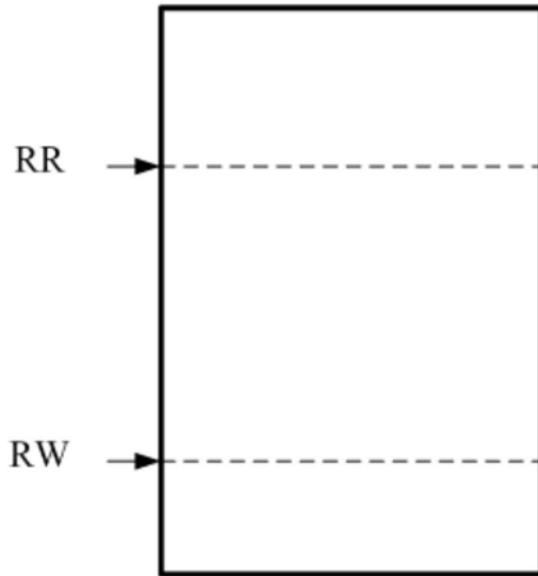


图6

150

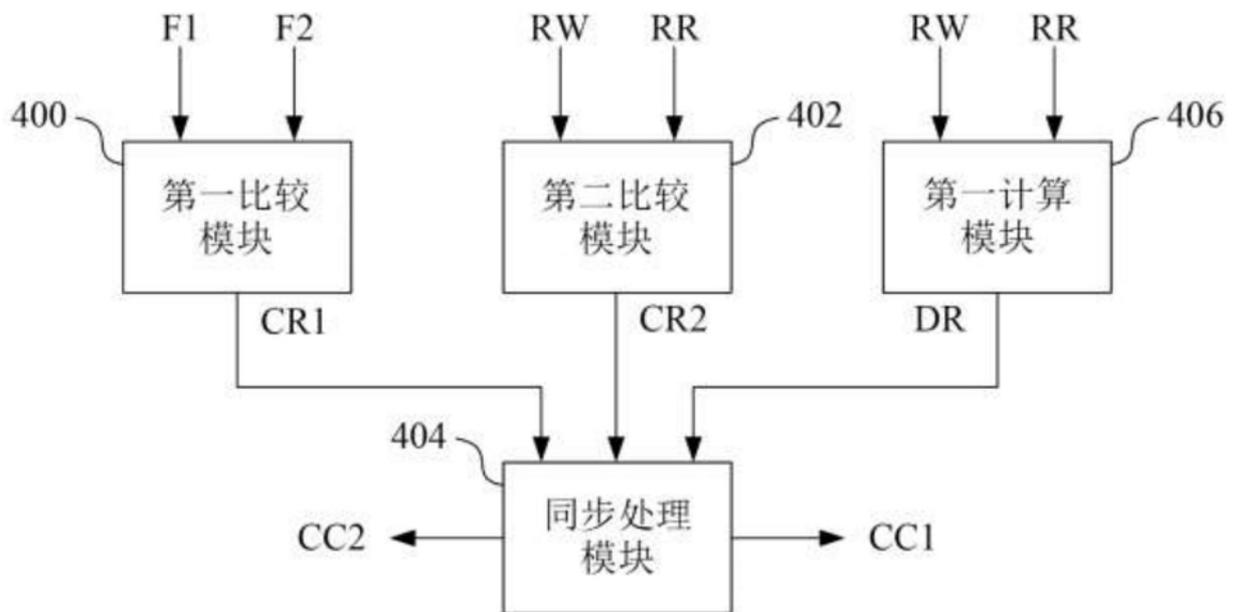


图7

800

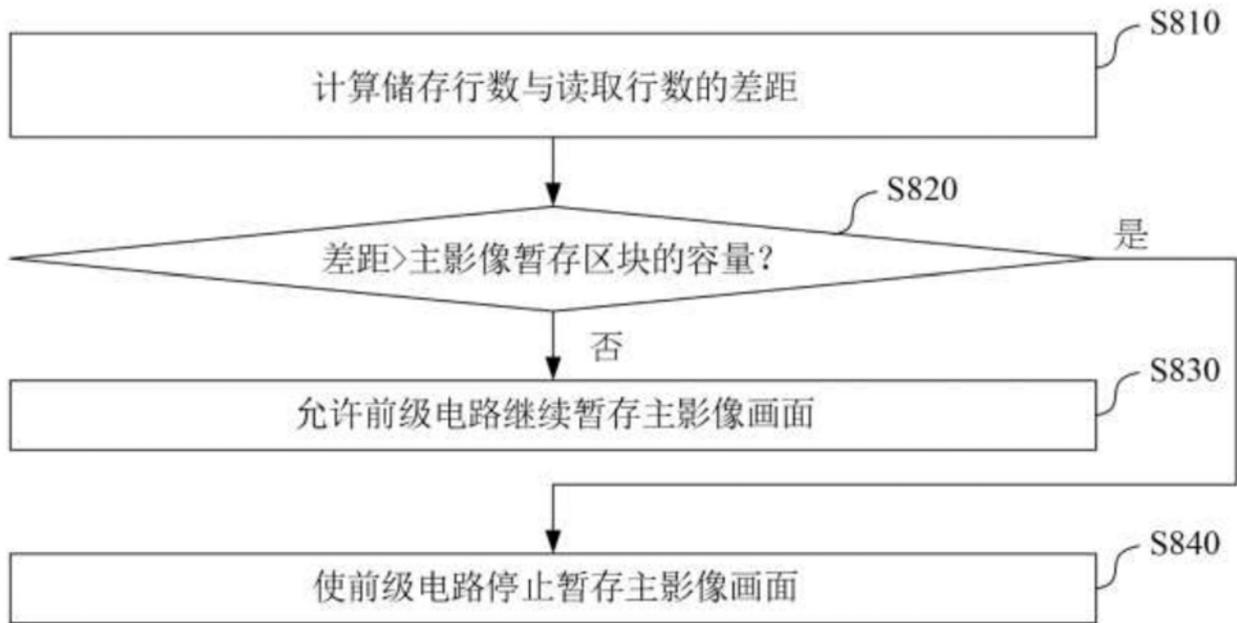


图8

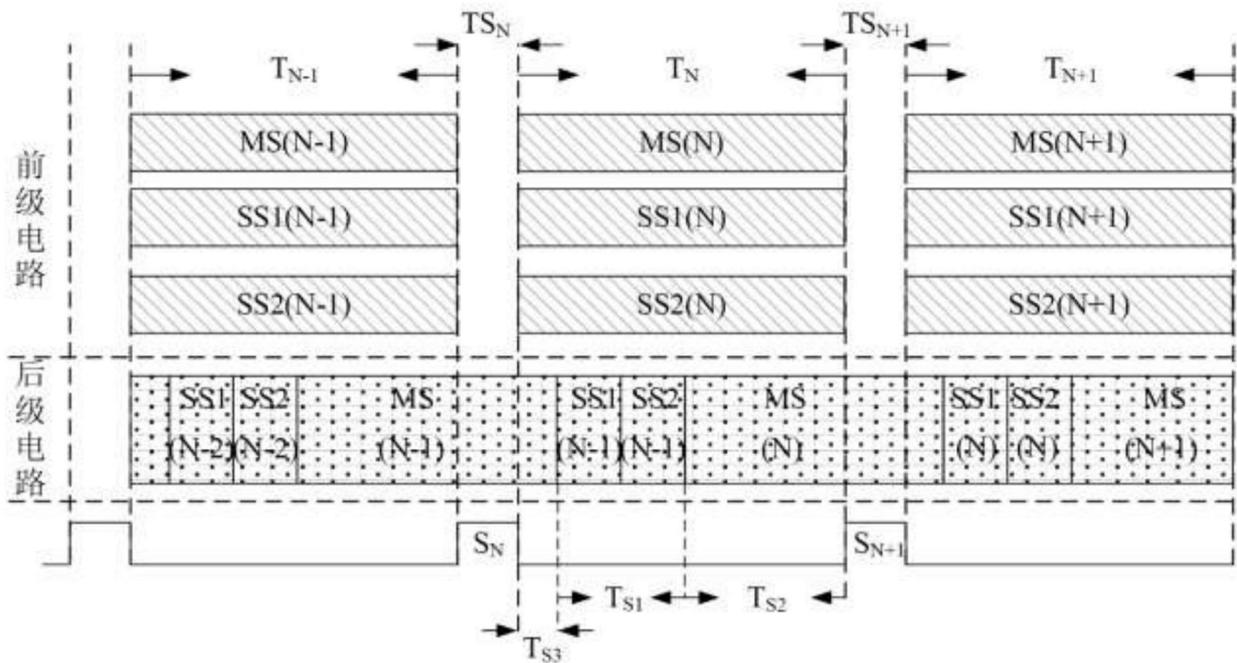


图9

150

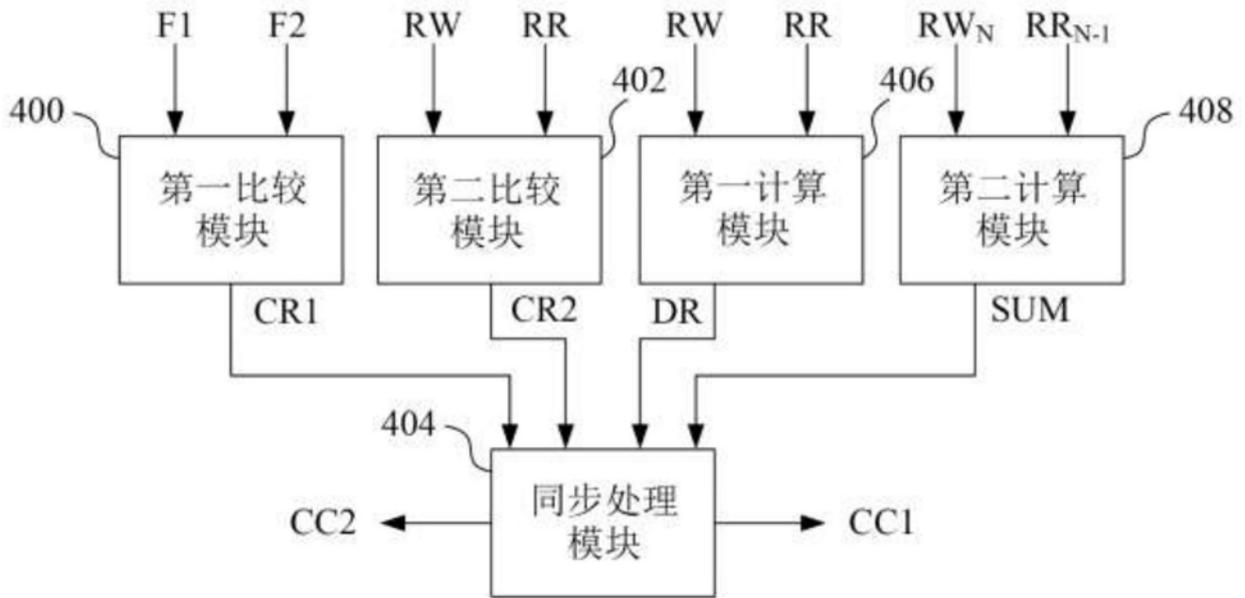


图10

1100

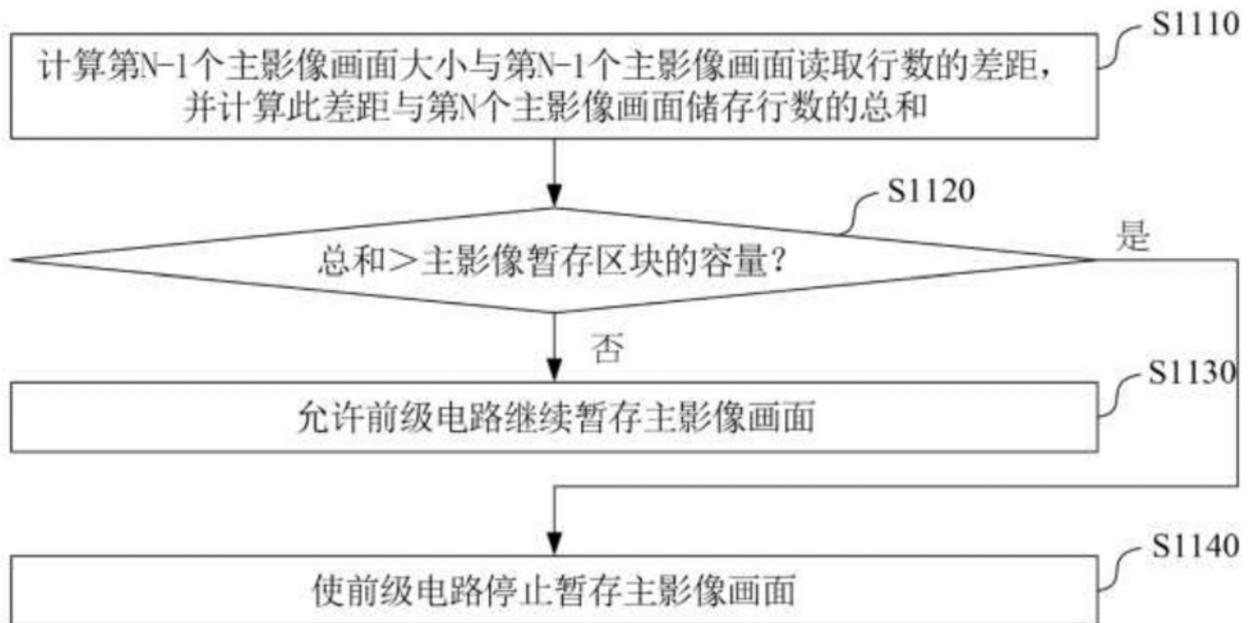


图11