

.I303424

**國 籍：**(中文/英文)

- 1、美國/U.S.A.
- 2、印度/India
- 3、美國/U.S.A.
- 4、美國/U.S.A.
- 5、美國/U.S.A.
- 6、中國大陸/P.R.C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、10/18/2005、11/252,461

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於非揮發性可程式半導體記憶體 (nonvolatile programmable semiconductor memory)，特別係關於一 3.5 電晶體記憶胞 (3.5 transistor memory cell)，使用互補式金屬氧化半導體邏輯製程 (CMOS logic processes)。

### 【先前技術】

當電源移除時，非揮發性記憶體能維持儲存的資料，此項特性在許多不同種類的電子裝置中非常令人滿意。

快閃記憶體 (Flash memory) 與熔絲為基礎之記憶體 (fuse based memory) 是非揮發性記憶體的兩種類型。然而，非發性記憶胞需要特殊化的製程，此特殊製程是不相容於互補式金屬氧化半導體邏輯製程 (CMOS logic processes)。

各種應用於非揮發性記憶體的製程改良趨向逐漸衰減，例如互補式金屬氧化半導體邏輯製程。例如快閃電子可抹除可程式化唯讀記憶體 (flash EEPROM) 的製程，使用比標準增進互補式金屬氧化半導體邏輯製程更多的遮罩 (mask) 步驟，以產出下述各特別部分，三重井 (triple well)、浮動閘 (floating gate)、二氧化矽層 (ONO layers) 與需高壓產生電路之結構，以及於上述元件中之特別的源極、汲極接面。因此，快閃記憶元件的製程傾向標準先進互補式金屬氧化半導體邏輯製程之後的第一或第二代製程。另一例，反熔絲 (anti-fuse) 的製程必須是適合製造各種反熔絲之結構與高電壓電路，因此也趨向有關標準先進互補式金屬氧化半導體邏輯製程之後的第一代製程。

就上述普遍指出之觀察結果，在每一個先前的記憶體技術上仍有許多缺失。

**【發明內容】**

為解決前述之問題，本發明於是生焉。本發明主要係揭露一種可程式化記憶胞 (memory cell)，有效的形成於一具有行位元線 (column bitlines) 與列字語線 (row wordlines) 之記憶體陣列 (memory array) 中。上述之記憶胞包含一崩潰電晶體 (breakdown transistor) 具有閘極連接至一程式字語線 (program wordline)；一寫入電晶體 (write transistor) 自一感測節點串聯至該崩潰電晶體，該寫入電晶體具有閘極連結至一寫入字語線 (write wordline)；一第一感測電晶體 (sense transistor) 具有閘極連結至該感測節點；及一第二感測電晶體串聯至該第一感測電晶體，且具有閘極連結至一讀取字語線 (read wordline)，該第二感測電晶體具有源極連結至一行位元線。

**【實施方式】**

本發明將配合其較佳實施例與隨附之圖示詳述於下，應理解者為本發明中所有之較佳實施例僅為例示之用，因此除文中之較佳實施例外，本發明亦可廣泛地應用在其他實施例中。且本發明並不受限於任何實施例，應以隨附之申請專利範圍及其同等領域而定。

貫穿本專利說明書中，『一較實施例』意指描述關於較佳實施例之一特殊特徵、結構或一特性，在本發明中，其較佳實施例數目，至少為一個。因此，本說明書中出現『一較佳實施例中』，不必完全參照同一實施例。再者，其特殊特徵、結構或特性可使用任何適當方法混合於較佳實施例中。

本發明係與本案相同受讓人之非揮發性記憶體設計發展為基礎之其他類型閘極氧化層崩潰 (gate oxide breakdown) 有關。如美國專利號 6940751、6777757 和 6667902 為例。上述專利所述之閘極氧化層崩潰結構，得以做為如本發明下述之崩潰電晶體元件。

第一圖係顯示一例，依照本發明所形成之一記憶體陣列 (memory array) 100。上述之記憶體陣列 100 係一  $2 \times 2$  之陣列，然而，由上述之陣列可察知，該陣列可以是任意的尺寸。上述之記憶體陣列 100 包含四記憶胞 (memory cell) 102。上述之記憶胞每一列有三連接線：一讀取字語線 (read wordline) WR、一程式字語線 (program wordline) WP 和一寫入字語線 (write wordline) WW。上述之記憶體胞每一行有二連接線：一行源極線 (sourceline) SL 和一行位元線 (bitline) BL。

參照第二圖，上述之每一記憶胞 102 包含一崩潰電晶體 (breakdown transistor) M0、一寫入電晶體 (write transistor) M1、第一感測電晶體 (sense transistor) M2 和第二感測電晶體 M3。上述之崩潰電晶體 M0 係為“半”個電晶體，可被藉由閘極氧化層崩潰所程式化。在另外實施例中，可察知上述之半個電晶體可用一金屬氧化半導體 (MOS) 電容代替 (或一複晶矽氧化半導體 (polysilicon-oxide-semiconductor) 電容代替) 或甚至用一具有浮動源極之完整電晶體代替。因此，該詞彙：『崩潰電晶體』在申請專利範圍裡當做一使用閘極氧化層崩潰現象之程式化元件。上述待程式化之元件，應使用閘極氧化層崩潰使之程式化。

參照第一圖，在上述記憶體陣列 100 內，利於我們將上述崩潰電晶體 M0 當做一資料儲存裝置，因為當製造電晶體時，可使用許多常見的互補式金屬氧化半導體 (CMOS) 製程，且只需一單一複晶矽沉積步驟 (polysilicon deposition step)，不用增加任何遮罩步驟 (mask step)。此為『浮動閘』 (floating gate) 之差異。典型的快閃記憶體至少需要兩個複晶矽層。再者，隨著現代科技進步，電晶體尺寸越來越小。例如，現在流行的 0.13 微米、0.03 微米和更小的線寬 (line width) 製程大大地增

加了積體電路的密度。

雖然只提供上述二乘二之記憶體陣列 100 電路圖，實際上，製造上述此類的記憶體陣列大約包含三萬兩千位元至十億位元個記憶胞。例如一先進 0.09 微米之互補式金屬氧化半導體邏輯製程 (CMOS logic process)。甚至較大的記憶體被認為是更提升了互補式金屬氧化半導體邏輯製程。實際上，上述之記憶體陣列 100 被組織成位元組 (bytes) 和頁 (pages)，且多餘列 (未圖示) 可以採用任何方式製作。許多適合的記憶體結構係為已知。

參照第二圖，寫入電晶體 M1 串聯至崩潰電晶體 M0。上述之崩潰電晶體 M0 閘極連接至程式字語線 WP。上述之寫入電晶體 M1 閘極連結至寫入字語線 WW。上述之寫入電晶體汲極連接至行源極線 SL。

一感測點 SN 介於前述崩潰電晶體 M0 與寫入電晶體 M1 之間，連至第一感測電晶體 M2 閘極。上述第一感測電晶體 M2 源極連至前述之行源極線 SL，且其第一感測電晶體 M2 汲極連至第二感測電晶體 M3，使得 M2 與 M3 為串聯。上述第二感測電晶體 M3 閘極連至讀取字語線 WR，其第二感測電晶體 M3 汲極連至行位元線 BL。

程式化記憶胞 102，將前述之行源極線 SL 設定至低準位，並提供一個程式脈波至程式字語線 WP。另外，藉著寫入字與線 WW 偏壓寫入電晶體 M1，使其導通。一較佳實施例，偏壓電位大約等於  $V_{PP}/2$ 。這結果使得上述崩潰電晶體 M0 之閘極氧化層崩潰形成一導通路徑。上述的程式脈波也可藉由控制其振幅與寬度得到改變。此外，穿越崩潰電晶體 M0 之程式電流總數，也可依據前述行源極線 SL 上的一電流趨動電晶體 (未顯

示)控制。值得注意的是當程式化期間上述之讀取字語線 WR 電位係為 0 伏特。

請參照表一，表上信號線偏壓方式，除了上述被程式化之崩潰電晶體 M0，無任何電晶體偏壓大於  $V_{PP}/2$ 。

另外，描述一讀取操作狀態。假定第一圖上坐標 (0,0) 之記憶胞將係為讀取狀態。上述之行位元線 BL 將充電至 VDD。在讀取操作期間，被讀取之記憶胞寫入字語線 WW 被維持在電位 0 伏特，被讀取之程式字語線 WP 電壓為 VRD，被讀取字語線 WR 被偏壓至 VDD。

假定於坐標 (0,0) 上之被讀取記憶體胞被程式化，其儲存點 SN 電壓升至一足以導通第一感測電晶體 M2。在此情形下，前述之行位元線 BL 透過感測電晶體 M3 和 M2 放電。當呈讀取狀態之記憶胞，其行位元線 BL 上電壓下降至一預設之參考電壓下，則一感測放大器(未顯示)則發出信號。

然而，若上述之記憶胞係非處於程式化，則感測點 SN 維持趨近 0 伏特電壓。因此，即使第二感測電晶體 M3 係導通，第一感測電晶體 M2 維持關閉，因此行位元線 BL 上電荷維持充電狀態。

不被讀取之記憶體胞(未被選擇之行與列)，其電壓數據提供於表一。

表一

列偏壓		被選擇列(列[0])		未被選擇列(列[1])	
信號	敘述	程式狀態 M0	讀取狀態 M0	程式狀態 M0	讀取狀態 M0
WP	程式字語線	VPP	VRD	VPP/2	VRD
WW	寫入字語線	VPP/2	0V	VPP/2	0V
WR	讀取字語線	0V	VDD	VDD	0V

行偏壓		被選擇行(行[0])		未被選擇行(行[1])	
信號	敘述	程式狀態 M0	讀取狀態 M0	程式狀態 M0	讀取狀態 M0
SL	源極線	0V	0V	VPP/2	0V
BL	位元線	VDD	VDD (Pre-Q)	VDD	VDD

通常第一感測電晶體 M2 小的足使崩潰電晶體 M0 之程式化電阻能夠快速地驅動上述第一感測電晶體 M2 閘極。

施加其上之精確電壓振幅與閘極氧化層的厚度與其他因素相關。因此，例如一 0.9 微米之互補式金屬氧化半導體製程，其閘極氧化層厚度一般較薄，由此，需一較低程式化電壓。

再者，上述電晶體之尺寸也可以因各種設計、考慮因素與需求作改變。一較佳實施例，一 0.13 微米之互補式金屬氧化半導體邏輯製程，其電晶體可以有下述之 W/L 率：

電晶體	寬度 (線寬)	長度 (微米)
M0	0.32	0.24



M1	0.32	0.18
M2	0.3	0.13
M3	0.3	0.13

其他尺寸與比率亦可適用，其仍包含於本發明之精神與範圍內。

一較佳實施例，一程式化之記憶胞，觀看第三圖各種電壓參數。在此實施例內， $V_{PP}$  係為 6.5 伏特， $V_{DD}$  係 1.2 伏特。一考慮因素係一程式化半電晶體 (M0) 導致之電阻與元件 B(M1) 之阻抗應該導致一比率，使得於感測點 SN 上之信號不超過  $V_{PP}/2$ 。

參照第四圖，於選擇行與列上，一記憶胞之讀取電壓。零伏特準位施加於寫入字語線。一 1.8 伏特之讀取電壓  $V_{RD}$  施加於上述之程式字語線，1.2 伏特施於前述之讀取字語線與行位元線。在此實施例中，行源極線維持零伏特準位。處於此偏壓下，若前述之記憶胞已經程式化，則電荷流過崩潰電晶體 M0 至感測點 SN 上。這導致行位元線上電荷會通過上述之第一感測電晶體 M2 與第二感測電晶體 M3 至上述之行源極線上。一行位元線上之感測放大器，將感測到指示一程式化記憶胞之電壓落差。若上述之記憶體胞係非程式化，則其崩潰電晶體 M0 將不放置電荷於上述感測點 SN 上，且前述之行位元線將無壓降。

參照第五圖，記憶胞位於被選擇列與未被選擇行內，一程式化程序期間，未被選擇行會有一 3.25 伏特供給。以上所述

將放置大約 3. 伏特電荷至源極點 SN，這將造成跨於崩潰電晶體兩端之電壓不足，且上述之崩潰電晶體 M0 係未被程式化。

參照第六圖，記憶胞位於被選擇列與未被選擇行內，於讀取操作期間，假若被選擇行與被選擇列內記憶體胞係呈讀取狀態，則供給電壓與效果相同。然而，因為感測放大器係沿著行位元線，且行位元線係未被選擇，以上所述是為一『可忽視』狀態。

參照第七圖，係表示位於一未被選擇列和被選擇行之一記憶胞，其程式化之供給電壓參數。在此情況下，崩潰電晶體 M0 不能程式化。

參照第八圖，係表示位於一未被選擇列與被選擇行，讀取期間，一記憶胞之供給電壓參數。在此情況下，其崩潰電晶體 M0 係程式化與否係不重要。在此情況，感測點上電壓沒有影響，因為其讀取字語線係維持 0 伏特。

參照第九圖，一未被選擇列與未被選擇行內，一記憶胞程式化期間，其程式字語線係 3.25 伏特，且其寫入字語線係 0 伏特。若其崩潰電晶體 M0 已經預先地程式化，則感測點 SN 將向上地充電，但以上所述並不造成影響。若上述之崩潰電晶體 M0 已經不被程式化，感測點 SN 可透過 M1 電晶體累積電荷與盡可能地透過其崩潰電晶體，但在讀取周期操作。

特別地參照第十圖，未被選擇列與未被選擇記憶胞內讀取週期間，若其崩潰電晶體 M0 係程式化，則感測點 SN 將向上地充電。但以上所述在此情況並無影響。若其崩潰電晶體 M0 係未被程式化，則上述之感測點可能地透過其崩潰電晶體 M0 接收一些之電荷，但以上將於被選擇行與被選擇列之讀取週期

操作。

再參閱第四圖，被選擇行與被選擇列之情況，於讀取字語線確定前，寫入字語線上信號可以有一短暫持續期間之正向脈波，此脈波設計用於移除任何位於感測點上之漏電荷。以上所述將解決任何位於感測點 SN 上雜散電荷問題。若其崩潰電晶體 M0 係被程式化，則上述感測點將被下拉，且透過程式化之崩潰電晶體 M0 再次充電。此通常為一非常短暫時間常數，因此其寫入字語線上之正向脈波可以快速地產生。以上所述執行後，其讀取字語線確定。

對熟悉此領域技藝者，本發明雖以較佳實例闡明如上，然其並非用以限定本發明之精神。在不脫離本發明之精神與範圍內所作之修改與類似的配置，均應包含在下述之申請專利範圍內，此範圍應覆蓋所有類似修改與類似結構，且應做最寬廣的詮釋。

舉例而言，本發明提及之各種電壓參數雖以較佳實例闡明如上，但自一範圍之電壓內選取一精確電壓值應自有斟酌，選取之電壓參數應依據每一裝置之特性。本文所述之詞彙列字語線與行位元線普遍地被描述於記憶體內線段類型，但一些記憶體可能有其他的選擇名稱。再者，各種半導體所參雜雜質類型可以相反，本文上述之 n 通道電晶體可採 p 通道電晶體代替。上述之與其較佳實施例所揭露其他變化與修改，並不違背本發明之範圍與精神。

### 【圖式簡單說明】

第一圖係一電路圖，用以說明本發明中記憶體陣列部分電路。

第二圖係一佈局圖，用以說明由第一圖代表之記憶體陣列部分佈局圖。

第三圖至第十圖係為佈局圖，用以說明程式規劃、所選取之讀取電壓與不被選取之單元。

**【主要元件符號說明】**

M 0	崩潰電晶體
M 1	寫入電晶體
M 2	第一感測電晶體
M 3	第二感測電晶體
W R	讀取字語線
W P	程式字語線
W W	寫入字語線
S L	源極線
B L	位元線
S N	感測點
1 0 0	記憶體陣列
1 0 2	記憶胞

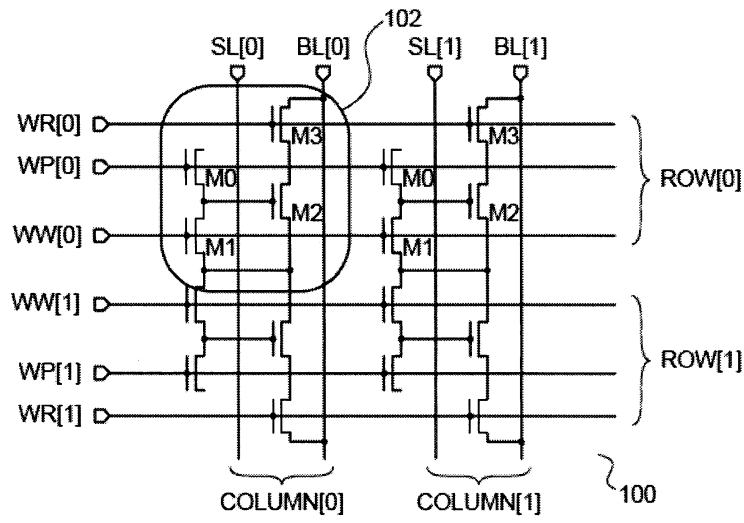
## 五、中文發明摘要：

本發明揭露一種可程式化記憶胞 (memory cell) 有效的形成於一具有行位元線 (column bitlines) 與列字語線 (row wordlines) 之記憶體陣列 (memory array) 中。該記憶胞包含一崩潰電晶體 (breakdown transistor) 具有閘極連接至一程式字語線 (program wordline)；一寫入電晶體 (write transistor) 自一感測節點串聯至該崩潰電晶體。該寫入電晶體之閘極連結至一寫入字語線 (write wordline)。再者，一第一感測電晶體 (sense transistor) 具有閘極，連結至該感測點。一第二感測電晶體串聯至該第一感測電晶體，且具有閘極連結至一讀取字語線 (read wordline)。該第二感測電晶體有源極連結至行位元線。

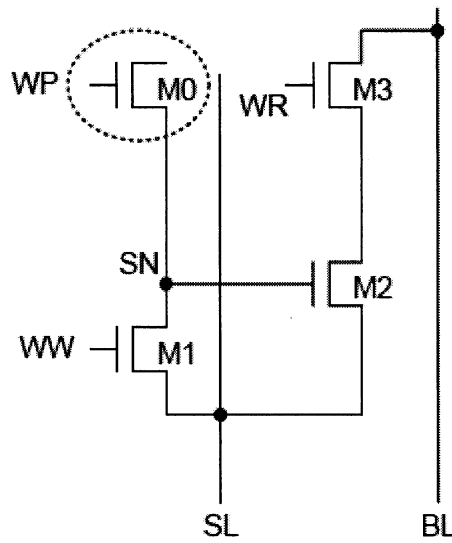
## 六、英文發明摘要：

A programmable memory cell formed useful in a memory array having column bitlines and row wordlines is disclosed. The memory cell comprises a breakdown transistor having its gate connected to a program wordline and a write transistor connected in series at a sense node to said breakdown transistor. The gate of the write transistor is connected to a write wordline. Further, a first sense transistor has its gate connected to the sense node. A second sense transistor is connected in series to the first sense transistor and has its gate connected to a read wordline. The second sense transistor has its source connected to a column bitline.

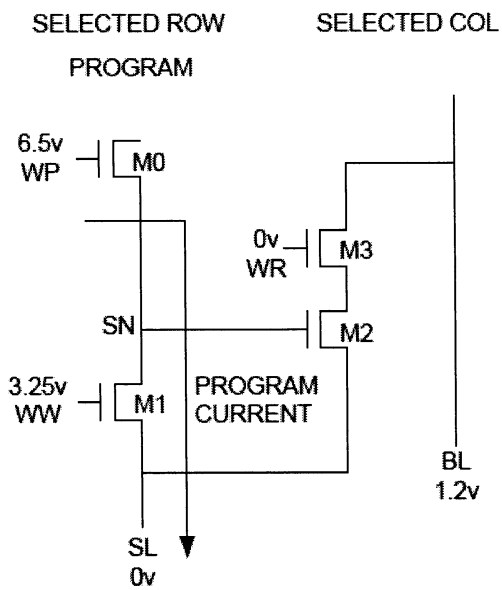
十一、圖式：



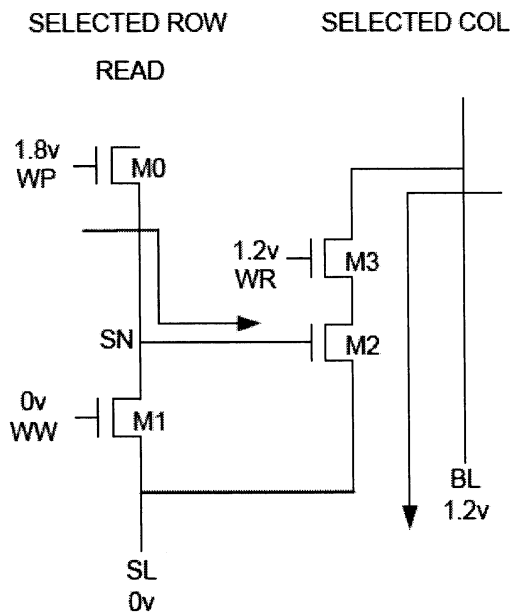
第一圖



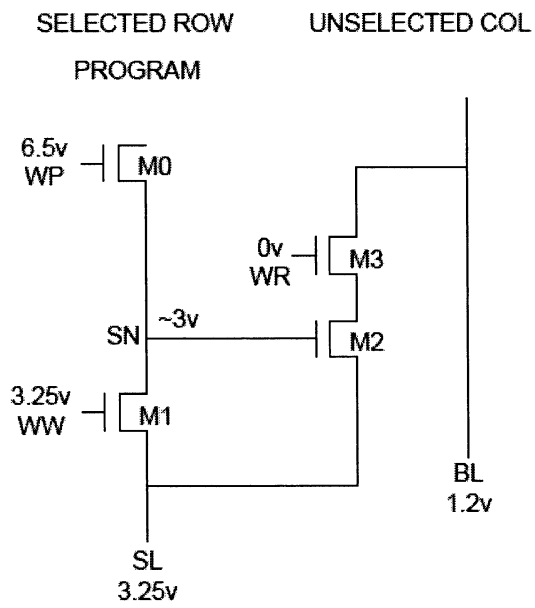
第二圖



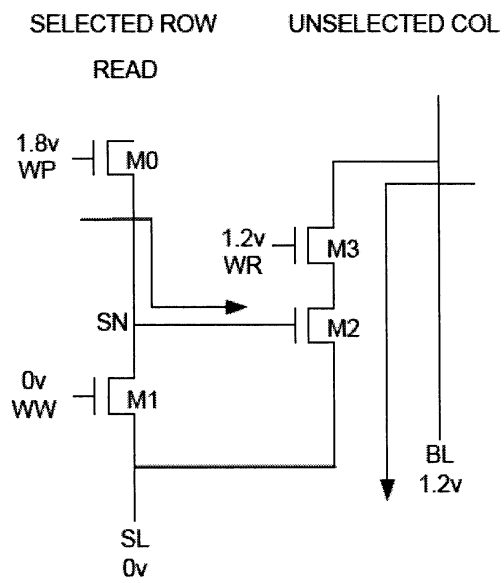
第三圖



第四圖

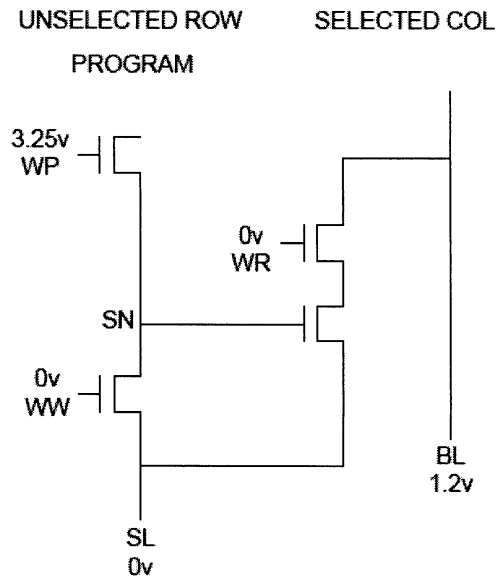


第五圖

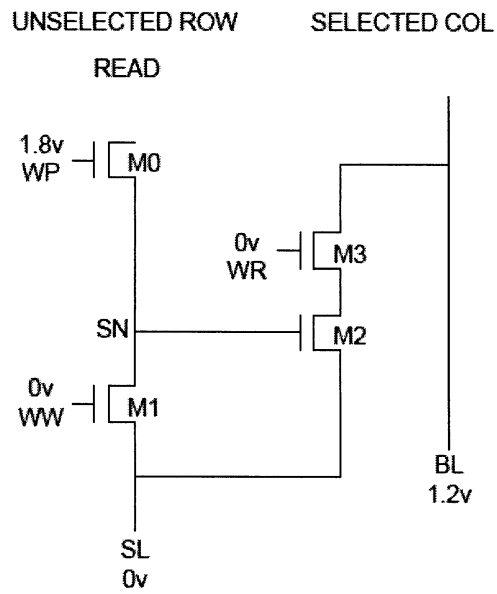


第六圖





第七圖



第八圖



七、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

M 0	崩潰電晶體
M 1	寫入電晶體
M 2	第一感測電晶體
M 3	第二感測電晶體
W R	讀取字語線
W P	程式字語線
W W	寫入字語線
S L	源極線
B L	位元線
1 0 0	記憶體陣列
1 0 2	記憶胞

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95108467

G11C 11/34 (2006.01)

G11C 11/34 (2006.01)

※申請日期：95.3.13

※IPC 分類：G11C 11/401(2006.01)

G11C 16/02 (2006.01)

H03K 19/117 (2006.01)

## 一、發明名稱：(中文/英文)

使用閘極崩潰現象之 3.5 電晶體非揮發記憶體晶胞/3.5 Transistor

Non-Volatile Memory Cell Using Gate Breakdown Phenomena

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商奇洛帕司科技公司/Kilopass Technology, Inc.

代表人：(中文/英文) 希德尼 S. 福克納/Sidney S. Faulkner

住居所或營業所地址：(中文/英文)

美國 95054 加州聖塔克萊拉市澳克泰維絲道 3333 號/3333 Octavius Drive, Santa Clara, California 95054 U.S.A.

國籍：(中文/英文) 美國/U.S.A.

## 三、發明人：(共 6 人)

姓名：(中文/英文)

1、約翰 M. 卡拉漢/John M. Callahan

2、希曼絲哈 T. 佛奈克/Hemanshu T. Vernenker

3、蜜雪兒 D. 佛萊瑟/Michael D. Fliesler

4、葛倫 A. 羅聖代爾/Glen A. Rosendale

5、哈利 S. 路安/Harry S. Luan

6、劉中山/Liu, Zhongshang

## 十、申請專利範圍：

年 月 日修正替換頁  
97. 6. 4.

1. 一種可程式化記憶胞 (memory cell)，有效的形成於一具有行位元線與列字語線之記憶體陣列 (memory array) 中，該記憶體胞包含：
  - 一崩潰電晶體 (breakdown transistor)，具有閘極連接至一程式字語線 (program wordline)；
  - 一寫入電晶體 (write transistor)，自一感測節點串聯至該崩潰電晶體，該寫入電晶體具有閘極連結至一寫入字語線 (write wordline)；
  - 一第一感測電晶體 (sense transistor)，具有閘極連結至該感測節點；及
  - 一第二感測電晶體，串聯至該第一感測電晶體，且具有閘極連結至一讀取字語線 (read wordline)，該第二感測電晶體具有源極連結至一行位元線。
2. 如申請範圍第 1 項之可程式記憶胞，其中所述之寫入電晶體有源極連結至一行源極線。
3. 如申請範圍第 2 項之可程式記憶胞，其中所述之第一感測電晶體有源極連結至一行源極線。
4. 如申請範圍第 1 項之可程式記憶胞，其中所述之第一感測電晶體，其汲極連結至該第二感測電晶體之源極。
5. 如申請範圍第 1 項之可程式記憶胞，其中所述之崩潰電晶體可被一金屬氧化半導體 (MOS) 電容或複晶矽氧化半導體 (polysilicon-oxide-semiconductor) 電容所取代，且該程式字語線連結至該電容之一複晶矽 (polysilicon) 或金屬層。

6. 如申請範圍第 1 項之可程式記憶體胞，其中所述之記憶體胞，藉由供給一程式電壓  $V_{PP}$  至該程式字語線使之程式化且導通該寫入電晶體，允許程式化電流流通該崩潰電晶體且至一行源極線之上。
  
7. 如申請範圍第 1 項之可程式記憶體胞，其中所述之記憶體胞藉由關閉該寫入電晶體而讀取，供給一讀取電壓  $V_{RD}$  至該程式字語線上；供給電壓  $V_{DD}$  至該第二感測電晶體之閘極，其中所述之行位元線電位遞減，若該記憶體胞被程式化；反之，若未被程式化，則保持一穩定電壓。