

貫通電極を用いたチップ積層技術の開発

加藤 理

LSIシステムの高密度化、高機能化のためにこれまでさまざまな実装技術が開発されてきた。しかし、LSIチップを並べて配置する2次元実装では限界に達しつつあるため、これを3次元に積層実装する技術が必須になっている。3次元実装技術として、半導体基板を貫通して形成する貫通電極(Through Silicon Via: TSV)があり、チップ間を最短距離で接続できることで高機能、高速動作のLSIシステムの実現が可能である^{1) 2) 3) 4)}。

このような背景のもと、エルピーダメモリ^{*1)}、NECエレクトロニクス^{*2)}、OKIの3社は、高速かつ大容量で小型化を同時に実現する積層DRAM(Dynamic Random Access Memory)を2004年より共同で開発している^{5) 6) 7)}。メモリの積層化は、携帯電話などに搭載するモジュールを劇的に縮小することが可能であり、他のLSIを混載積層することによって高機能化も実現できる。本稿では、次世代の実装技術として現在OKIで取り組んでいる積層DRAMに適用した貫通電極技術と積層技術について解説する。

積層DRAMの開発

図1に積層DRAMの開発目標を示す。従来のコア部とインタフェース部を別チップに分離した上で、貫通電極(TSV)を有する512Mbit容量のDRAMコア層を8積層して4GbitDARMにする。そして、DRAMコア層とは別に外部入出力機能をインタフェースチップに集約し、高速動作を実現させる。

DRAMコア層を開発するにあたり、貫通電極の形成方法と材料の選択は、プロセス技術開発を行う上で重要な要素であった。表1に各種貫通電極形成方法の比較を示す。形成方法としては、DRAM素子を形成する前に貫通電極を形成するVia First法と、DRAM素子を形成した後に貫通電極を形成するVia Last法に大別され、Via Last法は基板表面側から加工する方法と基板裏面側から加工する方法がある。Via Last法は、Via First法よりプロセスの自由度があることが優れているが、金属の汚染や後工程のプロセス温度に制限があるという課題がある。一方、

*1) エルピーダメモリ株式会社 Technology & Development Office 〒229-1197 神奈川県相模原市南橋本3-1-35
*2) NECエレクトロニクス株式会社 先端デバイス開発事業部 〒229-1198 神奈川県相模原市下九沢1120

Via First法は、Poly-Siが金属より高抵抗であることとその充填時間は非常に長いという課題があるが、DRAMのプロセスに最も適合しやすい。以上のことから、プロセスはVia First法を選択することにして、課題である貫通電極技術の開発とその電気抵抗の確認および積層技術の開発を行った。

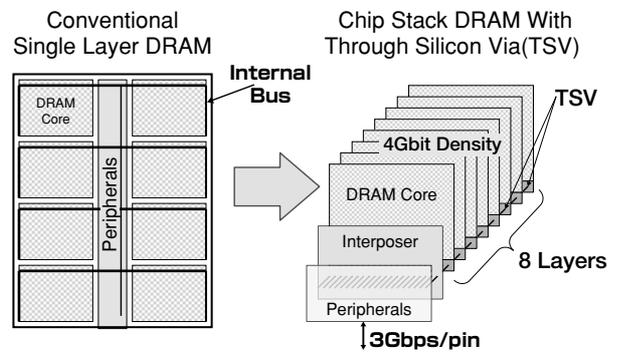


図1 積層型DRAMの開発目標

表1 各種貫通電極形成方法の比較

	Via First	Via Last	
		From Front side	From Back side
Filling materials	Poly-Si	Cu, W, Al	Cu, Al
Contamination	None	Sensitive	Sensitive
Temperature restriction	None	Must be low	Must be low
Cascaded interconnect	Easy	Difficult	Easy

プロセスフロー

図2にVia First法のプロセスフローを示す。プロセスフローは、①SiO₂をハードマスクにしてドライエッチングでSiをエッチングする、②CVD (Chemical Vapor Deposition) で側壁絶縁膜を形成する、③CVDで高P

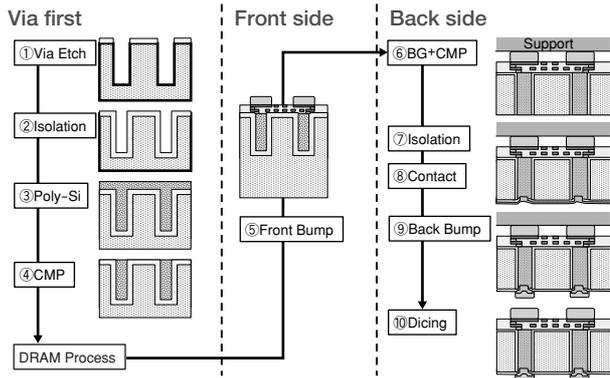


図2 Via First法のプロセスフロー

(リン)濃度のPoly-Siを充填する，④CMP（Chemical Mechanical Polishing）で表面のPoly-Siを除去する，⑤DRAM素子形成後に電解めっきで表面側にマイクロバンプを形成する，⑥基板をハンドリングしやすいように支持体を表面側に貼り付け，基板をBG（Back Grinding）とCMPで50μmまで薄化する，⑦支持体を剥離させないように低温のCVDで窒化膜を形成する，⑧ドライエッチングで貫通電極部を開口して配線を形成する，⑨電解めっきで裏面側にマイクロバンプを形成する，⑩支持体を分離してダイシングである。

Poly-Si貫通電極

CVDによるPoly-Siの成長速度は非常に遅いことから，充填時間の大幅な短縮が必要であった。そこで，貫通電極の構造を工夫した。図3にPoly-Si貫通電極の構造，図4にその表面SEM（Scanning Electron Microscope：走査型電子顕微鏡）像を示す。貫通電極は2.5μmのSiポストを2μmの間隔で配置したものであり，たとえば20μm径の貫通電極よりPoly-Siの充填時間を1/10にしている。さらに，寄生容量を低減させるために外周リングを配置している。

図5にエッチング時間とトレンチ深さおよびハードマスクエッチング量の関係，図6に1700秒エッチング後（a）とCMP後（b）のPoly-Si貫通電極の断面SEM像を示す。

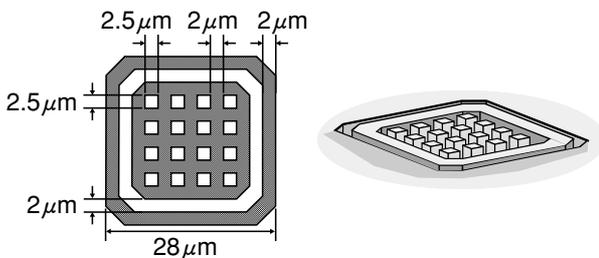


図3 Poly-Si貫通電極の構造

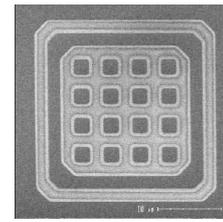


図4 Poly-Si貫通電極の表面SEM像

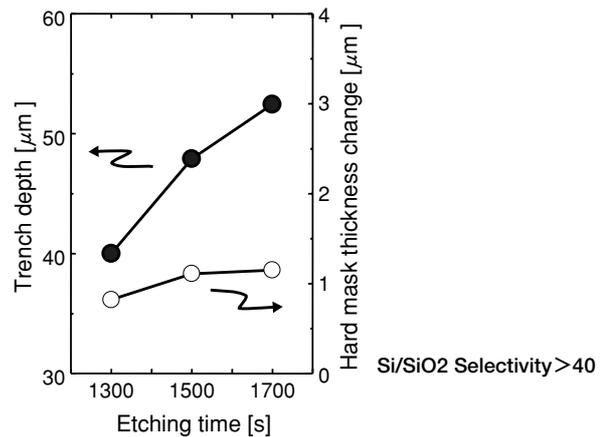


図5 エッチング時間とトレンチ深さおよびハードマスクエッチング量の関係

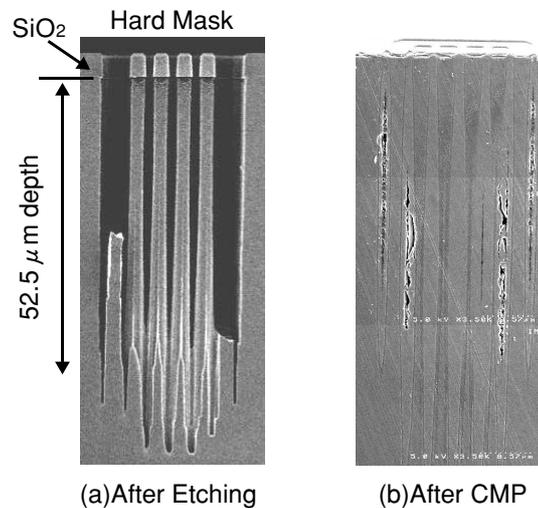


図6 Poly-Si貫通電極の断面SEM像
1700秒エッチング後（a）とCMP後（b）

1500～1700秒のエッチング時間で約50μmの深さになることがわかり，本プロセスのSi/SiO₂のエッチング選択比は40以上を示して十分な選択比が得られていた。

マイクロバンプと積層

マイクロバンプの接合不良やその接合時の荷重圧による下層配線の破壊を防ぐため、マイクロバンプの構造を工夫して接合条件を最適にした。図7にマイクロバンプの断面構造を示す。マイクロバンプは $50\mu\text{m}$ の間隔で配置しており、表面側はSn-Ag/Cu構造、裏面側はAu/Ni構造にしてCuの表面酸化を抑制した。図8にマイクロバンプの斜めSEM像と断面SEM像を示す。マイクロバンプは、通常の薬液でCuめっきした平型バンプ (a) と、促進剤、抑制剤の添加剤を入れた薬液でCuめっきした凸型バンプ (b) を作製した。平型バンプは、余分なSn-Agがはみ出して窒化膜上まで流れており、不必要な寄生容量を発生させる要因になっていた。一方、凸型バンプは、Sn-Agのはみ出しはなく、良好な断面状態が得られていた。図9に積層TEG (Test Element Group) の斜めSEM像と断面SEM像を示す。マイクロバンプは凸型バンプを採用し、FC (Flip Chip) 接合は加熱温度、荷重圧を最適にしたことで、Sn-Agのはみ出しやクラックのない最大9層のチップ積層を実現した。

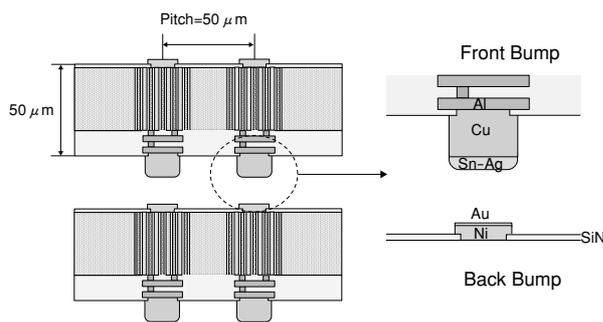


図7 マイクロバンプの断面構造

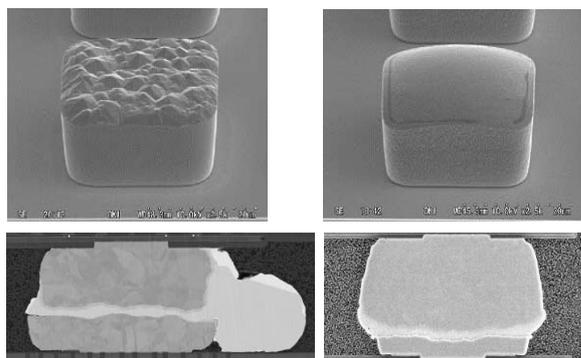


図8 マイクロバンプの斜めSEM像と断面SEM像
平型バンプ (a) と凸型バンプ (b)

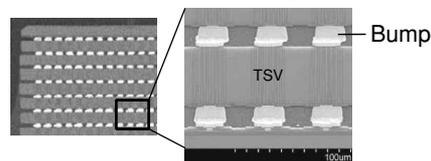
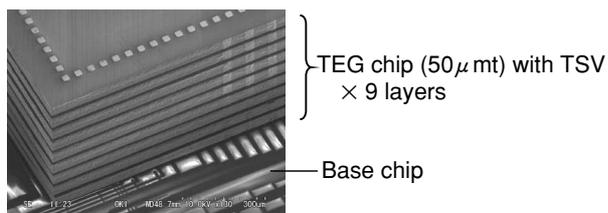


図9 積層TEGの斜めSEM像と断面SEM像

貫通電極の電気抵抗

図10に、2層、4層、8層貫通電極TEGの電気抵抗を示す。測定した構造は、デイジーチェーンを組んでおり、インタフェースTEG上に貫通電極TEGチップを積層し、最上層に折り返し接続のためのTEGチップが搭載されている。抵抗値は積層数に応じて比例しており、貫通電極1個あたりで約 4.1Ω が得られた。これは、8層DRAMの信号ピンとして問題のない値である。

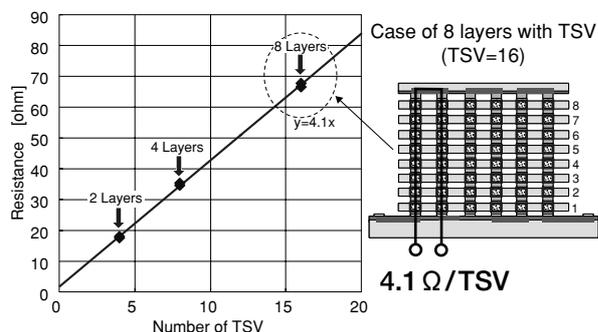


図10 2層、4層、8層貫通電極TEGの電気抵抗

プロトタイプDRAMの積層結果

図11にプロトタイプDRAMのコア層レイアウト図とその写真、図12に積層プロトタイプDRAMの断面SEM像を示す。プロトタイプDRAMのコア層部を観察したところ、クラックなどなく8層のチップ積層ができていることを確認した。現在は積層プロトタイプDRAMの組み立ておよび評価を行っており、その実用化を進めている。

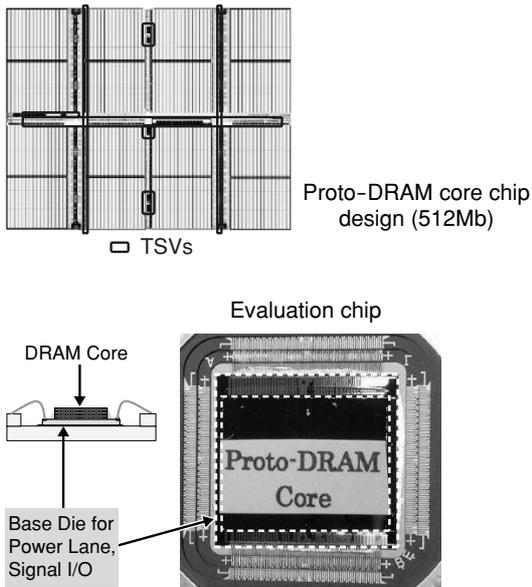


図11 プロトタイプDRAMのコア層レイアウト図とその写真

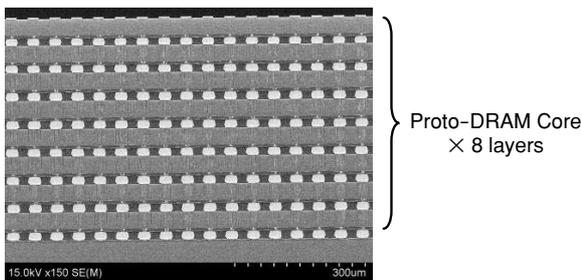


図12 積層プロトタイプDRAMの断面SEM像

あ と が き

積層DRAMを開発するにあたり、貫通電極にSiポストを配置したことでPoly-Siの充填時間を大幅に短縮することができ、電気抵抗はDRAMの動作上で問題のない値が得られてVia First法の貫通電極を確立することができた。さらに、マイクロバンプの構造を工夫してFC接合条件を最適にしたことで、最大9層のチップ積層を実現した。

このような3次元実装技術は、システムの高密度化、高機能化を実現する技術として貢献できるものであることから、今後も実用化を進めていく。◆◆

■参考文献

- 1) 富坂学 他：“3次元実装に用いるチップ貫通電極形技術”，デ
ンソーテクニカルレビュー，Vol.6 No.2，2001年
- 2) K. Takahashi *et al.*：“Process Integration of 3D Chip Stack
with Vertical Interconnection” in Proc. 2004 Electronic

Components and Technology Conference (ECTC) ,
pp.601-609

3) Philip Garrou：“3D Integration: A Status Report” in
Proc. 3D Architectures for Semiconductor Integration and
Packaging, Tempe, Arizona, June, 2005

4) T. Fukushima *et al.*：“New Three-Dimensional
Integration Technology Using Self-Assembly Technique” ,
International Electron Devices Meeting Technical Digest
(IEDM), pp.348-351, Dec. 2005

5) H. Ikeda *et al.*：“Stacked Memory Chip Technology
Development” , SEMI Technology Symposium (STS)
2005 Proceedings, Session 9, pp.37-42.

6) M. Kawano *et al.*：“A 3D Packaging Technology for 4
Gbit Stacked DRAM with 3 Gbps Data Transfer”,
International Electron Devices Meeting Technical Digest
(IEDM), pp.581-584, Dec. 2006

7) T. Mitsuhashi *et al.*：“Development of 3D-Packaging
Process Technology for Stacked Memory Chips” , Mater.
Res. Soc. Symp. Proc., Vol.970, 0970-Y03-06, 2007

●筆者紹介

加藤理：Osamu Kato. シリコンマイクロデバイスカンパニー
ATP生産本部 実装開発部