

# РАЗВИТИЕ СХЕМОТЕХНИКИ ЦАР: некоторые итоги

Часть 2

В.Слюсар, д.т.н. / swadim@inbox.ru

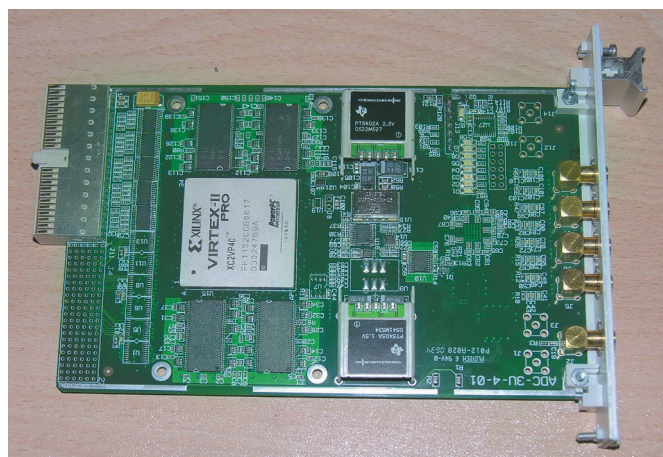
УДК 621.396.9, DOI: 10.22184/2070-8963.2018.71.2.76.80

В первой части статьи дан экскурс в историю многоканального анализа, выделены четыре этапа развития схемотехники цифровых антенных решеток (ЦАР). Рассмотрим примеры реализации схемотехнических технологий ЦАР в наше время.

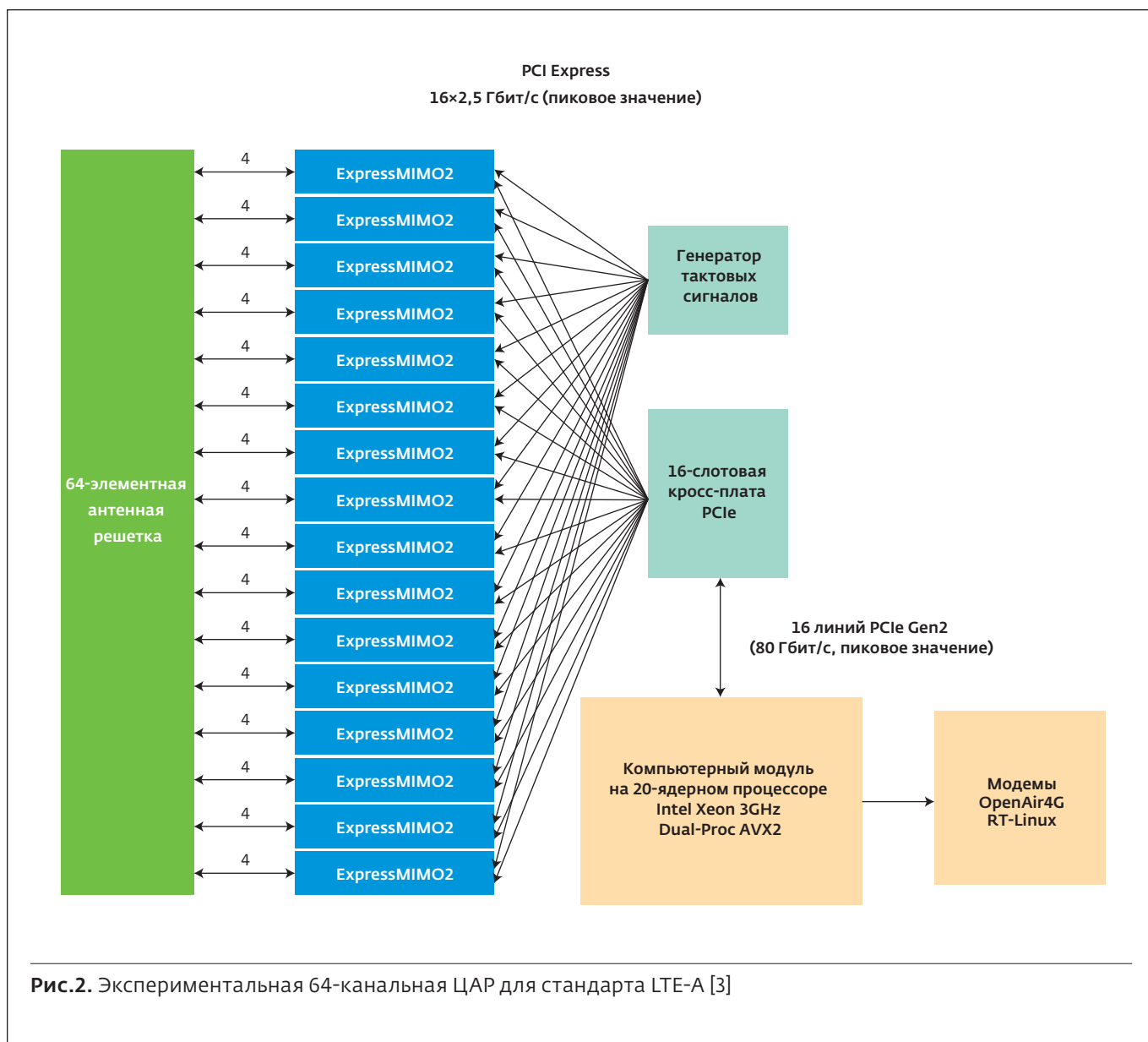
Схемотехнические технологии четырех этапов, отмеченных в первой части статьи, нередко сосуществуют на рынке и продолжают совершенствоваться коллективами разработчиков, успешно их освоившими и масштабирующими на новую элементную базу сообразно имеющимся финансовым ресурсам и конкретно решаемым задачам. Характерный пример – широкое применение плат формата 3U в стандарте CompactPCI (рис.1), а также схемотехника приемопередающих модулей, рассмотренная в [1, 2]. Особенно указанному многообразию способствует интенсивное внедрение ЦАР

в телекоммуникационных технологиях с использованием принципов MIMO для решеток с небольшим количеством элементов. Здесь можно выделить реализацию OpenAirInterface Software Alliance (OSA) экспериментальной 64-канальной ЦАР для сотовой связи LTE-A на основе интегрированных аналого-цифровых модулей ExpressMIMO2 стандарта PCI Express (рис.2) [3]. По сути, если не брать во внимание использование интерфейса PCI Express и применение ASIC LTE-A в составе модулей, этот подход соответствует концепции второго этапа в развитии схемотехники ЦАР. Однако и здесь необходимость перехода к Massive MIMO неизбежно поставит вопрос освоения новых решений, характерных именно для четвертого схемотехнического этапа ЦАР. Конкретные их варианты будут унифицироваться под давлением массового производства оборудования базовых станций сотовой связи 5G, интеграции радарных и телекоммуникационных систем в радарно-коммуникационные комплексы.

Следует отметить, что переход к интерфейсам PCI Express Gen 2 и Gen 3, несмотря на возникшие проблемы, позволил существенно нарастить скорость передачи данных, что в сочетании с появлением многоядерных высокопроизводительных процессоров сократило время на их обработку. По этой причине в схемотехнике ЦАР четвертого этапа сформировался тренд в сторону использования в качестве объединительных



**Рис.1.** 4-канальный модуль аналого-цифрового преобразования сигналов формата 3U стандарта CompactPCI



**Рис.2.** Экспериментальная 64-канальная ЦАР для стандарта LTE-A [3]

модулей, характерных для предшествующего периода, обычных сетевых коммутаторов (свитчей). Примером тому является техническое решение, предложенное в [4]. Существенно, что для малоэлементных антенн при использовании 32-канальных модулей аналого-цифрового преобразования результаты обработки сигналов с учетом операции децимации отсчетов могут напрямую передаваться по интерфейсам Ethernet в процессорный модуль. Такой подход уместен, например, в случае применения двух 32-канальных плат АЦП, обеспечивающих оцифровку квадратурных составляющих напряжений аналоговых сигналов по выходам 32-элементной антенны MIMO формата 4x8. Для передачи отсчетов сигналов в процессорный модуль при этом достаточно

задействовать лишь пару линий Ethernet на скорости 10 Гбит/с (по одной линии на каждый модуль АЦП). Поскольку на процессорной плате обычно устанавливают не более двух высокоскоростных портов Ethernet, в рамках рассматриваемой схмотехнической концепции при увеличении комплекта модулей АЦП свыше двух необходимо прибегнуть к помощи упомянутого сетевого коммутатора [4]. Традиционные устройства такого рода имеют четыре и более входных порта Ethernet, поэтому для 128 антенных элементов (формат антенной решетки 16x8) требуется использовать четыре 32-канальных платы АЦП и один свитч. Естественно, для 256-канальной ЦАР указанный комплект оборудования необходимо удвоить.

Если модули АЦП имеют недостаточную канальность (например, из-за необходимости применения формфактора плат 3U и других ограничений), то сетевые коммутаторы могут образовывать иерархическую многоуровневую структуру, подобно предложенной для объединительных модулей. Кроме того, в качестве Ethernet-интерфейсов могут использоваться линии PCI Express. По такому пути пошли, например, разработчики компании National Instruments и университета в Лунде (Швеция). В их проекте 128-канальной системы Massive MIMO [5, 6], демонстрирующей техническую концепцию, использованы серийные модули от National Instruments спецификации PXI Express. В частности, речь идет о программно реконфигурируемых радиомодулях (SDR), содержащих по два канала АЦП и ЦАП с общей ПЛИС предварительной обработки сигналов, синхронизаторах, свитчах и процессорных блоках, размещаемых в нескольких многослотовых крейтах (корпусах). В целом система получилась чрезмерно громоздкой и может служить в основном для отработки алгоритмического обеспечения и оптимизации схемотехники.

Более компактные решения позволяет получить переход к применению стандарта OpenVPX. Одним из ключевых факторов при этом является доступность на рынке многоканальных модулей АЦП или ЦАП в формфакторах 6U и 3U VPX. Так, компания ApisSYS серийно выпускает 3U VPX-модули AV113 на основе ПЛИС FPGA Virtex 7 с восемью 14-битными АЦП, частота дискретизации которых равна 1,25 ГГц при спектральной полосе аналоговых сигналов свыше 2,3 ГГц. Интерфейс VPX поддерживает стандарт PCI Express Gen2. Модуль AV119 этой же фирмы отличается наличием пары 12-битных АЦП с частотой дискретизации 2,5 ГГц для оцифровки сигналов в полосе до 5,5 ГГц и выше, а также четырех ЦАП, обеспечивающих формирование квадратурных сигналов для двух передающих каналов с разрядностью 16 бит и частотой тактирования 2,5 ГГц. При этом полоса синтезированных аналоговых сигналов может превышать 4,5 ГГц.

Очевидно, что разработчики ApisSYS преследуют амбициозную даже по нынешним меркам цель реализации аналого-цифрового преобразования сигналов непосредственно на несущих частотах для наиболее востребованных диапазонов сотовой связи 4G и 4G+. При этом рекордная частота дискретизации в АЦП (до 4 ГГц) достигнута в четырехканальном модуле

AV121, содержащем четыре канала 12-битных АЦП с входной полосой аналоговых сигналов более 3,5 ГГц. Эти технические решения демонстрируют эффективность применения ПЛИС Virtex7 для обработки высокоскоростных потоков данных, в то время как используемые АЦП на частотах дискретизации свыше 1 ГГц теряют более 3 бит эффективной разрядности. Например, для 12-битных АЦП в составе AV121 этот показатель равен 8,6 бит, а для модуля AV113 снижается с 14 разрядов до 10,1. Не отличаются эффективностью и 16-разрядные ЦАП в модуле AV119, для которых величина SFDR в полосе частот 1 ГГц не превышает 55 dBc. Наряду с характеристиками самих АЦП такое резкое снижение эффективности, как показывает опыт, объясняется соседством АЦП с микросхемами ПЛИС и шинным интерфейсом VPX.

Один из путей улучшения соответствующих показателей производители видят в размещении АЦП и ЦАП отдельно от ПЛИС на специальных мезонинных платах FMC (стандарт VITA 57.1-2008), которые стыкуются с несущим модулем OpenVPX, содержащим ПЛИС и разъем шинного интерфейса [7]. На самом деле такой подход скорее всего позволяет лишь тщательно отработать топологию плат, упрощая электродинамическое моделирование и экспериментальную проверку принятого варианта компоновки, тогда как свойства АЦП и ЦАП по-прежнему остаются определяющими.

Подтверждением тому являются мезонинные модули FMC компании Nutaq под названием ADAC250, в состав которых входят две микросхемы 14-разрядных АЦП ADS62P49 и пара 16-битных ЦАП DAC5682Z. Примечательно, что так же, как и у модулей компании ApisSYS, при частоте тактирования 1 ГГц величина SFDR для ЦАП снижается с 72 до 50 dBc, что обусловлено ограничениями микросхем ЦАП.

Более качественное оборудование в классе FMC-мезонинов может быть получено при переходе от аналогового к цифровому сегменту и, наоборот, на промежуточных частотах. Усложнение реализации аналоговой обработки сигналов при этом компенсируется возможностью применения многоканальных модулей АЦП (ЦАП). В ассортименте продукции Nutaq таковыми являются, например, FMC-платы MI250 с восемью каналами 14-разрядных АЦП ADS62P49 (Texas Instruments), имеющими максимальную частоту дискретизации 250 МГц. Nutaq также предлагает рекордные по количеству каналов АЦП мезонины FMC-типа

MI125, которые обеспечивают оцифровку 16 аналоговых сигналов с частотой 125 МГц с помощью 14-битных АЦП LTM9012 или LTC2175. При этом возможен вариант использования стека из двух подобных мезонинных плат (задействован другой тип мезонинных разъемов) для получения 32-канального модуля нестандартной высоты. Вместо второго мезонина могут применяться платы ЦАП MO1000-8-E, что создает комбинацию 16 каналов АЦП и восьми каналов ЦАП.

Конкурирующие решения аналогичного типа рекламируются компанией AbacoSystems. На базе АЦП фирмы Linear Technology построены модули FMC168 (восемь каналов 16-битных АЦП с частотой дискретизации 250 МГц) и FMC116 (16 каналов 14-разрядных АЦП LTC2175-14 с частотой дискретизации 125 МГц). В числе модулей ЦАП выделяются 16-канальные платы FMC216 с 16-битными DAC39J84 (Texas Instruments), имеющими в данном случае предельную частоту тактирования 312,5 МГц (максимальная 2,8 ГГц). Характерно, что указанные платы представлены и в ассортименте продукции Sundance Multiprocessor Technology.

Как показывают публикации разработчиков Nutaq (в частности, [8]), FMC-мезонины могут применяться не только совместно с модулями Open VPX, но и с мезонинными платами AMC, стандартизированными в других упоминавшихся выше спецификациях – ATCA и MicroTCA [9]. Такой симбиоз базируется на совместимости предельных габаритов указанных плат по ширине и представляется уникальным случаем в истории встраиваемых компьютерных систем. Комбинация "мезонин FMC + мезонин AMC" как самостоятельный конструктивный элемент от компании Nutaq позволила реализовать проект TitanMIMO, представляющий собой систему Massive MIMO структуры 100x100 [8]. При этом указывается на возможность масштабировать соответствующее оборудование на случай 1000-элементных антенных систем [10]. В качестве AMC-плат используются модули семейства Perseus.

Как альтернативный подход следует рассматривать и самостоятельное применение модулей AMC, стандартизированных в спецификациях ATCA и MicroTCA в качестве плат АЦП (ЦАП). При этом удлиненные габариты AMC по сравнению с FMC позволяют снизить электромагнитное воздействие ПЛИС и шинного интерфейса на АЦП (ЦАП). Впрочем, отказываясь от использования FMC-карт, производители

предпочитают использовать вместо них нестандартные мезонинные платы. По такому принципу Фраунгоферовским институтом (Германия) разработан AMC-модуль, содержащий четыре приемо-передающих канала (четыре АЦП и четыре ЦАП) для систем MIMO 4x4 [11], а компанией Octasic – модуль OCBTBS 5000 для MIMO 2x2 на основе пары сдвоенных радиотрансиверов AD9631.

Таким образом, проведенный анализ позволяет сделать вывод, что наиболее приспособленными для реализации систем Massive MIMO являются аппаратные решения на основе стандарта Open VPX и соответствующих мезонинных модулей FMC, а также спецификации MTCA с модулями AMC. Оборудование спецификации PXI Express от компании National Instruments до появления соответствующих многоканальных модулей АЦП (ЦАП) на этом фоне выглядит неубедительно. По этой же причине рассчитывать в перспективе на использование стандартов CompactPCI Serial или CompactPCI PlusIO для решения подобных задач не стоит и вовсе. В конечном счете, ключевую роль в выборе тех или иных аппаратных платформ, если не принимать во внимание их лоббирование, должна сыграть ценовая политика.

Коль скоро речь зашла о стоимости оборудования, следует также упомянуть и необходимость совершенствования алгоритмических средств обработки сигналов. Например, снижению стоимости ЦАП в системах Massive MIMO в пересчете на один канал могло бы способствовать применение комбинированных методов децимации отсчетов АЦП, сочетающих снижение темпа поступления данных с их предварительной (anti aliasing) фильтрацией, смещением по частоте и квадратурной (I/Q) демодуляцией. В общем случае, применительно к сигналам OFDM (N-OFDM), такую процедуру децимации с целочисленным фактором M можно, по мнению автора, представить в виде:

$$y[n] = \sum_{k=0}^{M-1} x[nM+k]h[k]e^{-j2\pi nfkT}$$

где  $x[nM+k]$  – напряжения сигнальных отсчетов по выходу АЦП,  $h[k]$  – весовые коэффициенты,  $f$  – центральная частота пакета OFDM-сигналов,  $T$  – период дискретизации АЦП,  $k$  – порядковый номер отсчетов АЦП,  $n$  – порядковый номер отсчетов после децимации (номер строка).

Согласно [10], минимизации вычислительных затрат без существенного ухудшения эффективности

работы приемного сегмента каналов связи способствует также комбинация алгоритмов MMSE (minimum mean-square error) и ZF (zero forcing) на уровне восьмиэлементных подрешеток (в первом слое сигнальной обработки) с алгоритмом цифрового диаграммообразования (maximum-ratio combining, MRC) – по их выходам. Интенсивный научный поиск подобных квазиоптимальных решений, в том числе для передающего сегмента, продолжается.

В заключение следует отметить, что несмотря на значительные схемотехнические новации в развитии технологии ЦАР, актуальной проблемой все еще остается расширение ассортимента специализированных микросхем, объединяющих в себе аналоговые приемные модули, многоканальные АЦП (ЦАП), процессоры первичной цифровой обработки сигналов (например, на базе ПЛИС со встроенными высокоскоростными интерфейсами передачи цифровых данных). В этом смысле важным трендом стало появление нового семейства ПЛИС Zynq UltraScale+RFSocS компании Xilinx, которые содержат до 16 АЦП и ЦАП, интегрированных в их структуру. К примеру, микросхемы ZU25DR, ZU27DR и ZU28DR содержат по восемь 12-битных АЦП с частотой дискретизации 4 ГГц и столько же каналов 14-разрядных ЦАП с частотой преобразования отсчетов 6,4 ГГц. Рекордсменом семейства по числу каналов АЦП и ЦАП является ZU29DR, имеющая 16 указанных ЦАП и 16 12-битных АЦП с частотой дискретизации 2 ГГц. Помимо программируемой логики, в состав указанных ПЛИС входят также 64-разрядный четырехъядерный процессор ARM Cortex-A53 с тактовой частотой 1,5 ГГц и двухъядерный процессор ARM Cortex-R5 с частотой тактирования 553 МГц.

Все это создает обширный плацдарм для многоканальной обработки сигналов с децимацией их отсчетов. Вполне ожидаемо, что новые модули цифровой обработки сигналов на этой элементной базе появятся уже в 2018 году. Возможно, именно Massive MIMO станет тем стимулом, который ускорит соответствующие процессы и даст в итоге толчок развитию новых схемотехнических подходов к созданию ЦАР различного назначения, ознаменовав начало следующего, пятого этапа в развитии соответствующей схемотехники.

#### ЛИТЕРАТУРА

1. **Малахов Р.Ю.** Модуль бортовой цифровой антенной решетки. Дисс. к.т.н. по специальности 05.12.07. – Москва, 2015. <https://www.mai.ru/upload/iblock/1ef/1ef2888186036ed1cef4a04d49c186db.pdf>.
2. **Пономарев Л.И., Вечтомов В.А., Милосердов А.С.** Бортовые цифровые многолучевые антенные решетки для систем спутниковой связи – М.: МГТУ им. Н.Э. Баумана. 2016. 216 с.
3. **Jiang Xiwen, Kaltenberger Florian, Knopp Raymond, Maatallah Housseem.** OpenAirInterface Massive MIMO Testbed: a 5G Innovation Platform. [http://www.openairinterface.org/?page\\_id=1760](http://www.openairinterface.org/?page_id=1760).
4. Патент України на корисну модель № 119000. МПК G01S 7/00, G01S 13/00. Система обробки сигналів цифрової антенної решітки. **Волощук І.В., Шацман Л.Г., Слюсар В.І., Нікітін М.М., Солощев О.М., Корольов М.О., Шраєв Д.В.** // Заявка на видачу патенту України на корисну модель № 201701406 від 15.02.2017. – Опубл. 11.09.2017, бюл. № 17.
5. **Vieira Joao, Malkowsky Steffen, Nieman Karl, Miers Zachary, Kundargi Nikhil, Liu Liang, Wong Ian, Öwall Viktor, Edfors Ove, Tufvesson Fredrik.** A flexible 100-antenna testbed for Massive MIMO // Paper presented at IEEE Globecom Workshop. 2014, Austin, Texas, United States. DOI: 10.1109/GLOCOMW.2014.7063446. – <http://www.eit.lth.se/fileadmin/eit/group/74/LuMaMi.pdf>.
6. **Malkowsky Steffen, Vieira Joao, Liu Liang, Harris Paul, Nieman Karl, Kundargi Nikhil, Wong Ian, Tufvesson Fredrik, Öwall Viktor, Edfors Ove.** The World's First Real-Time Testbed for Massive MIMO: Design, Implementation, and Validation // IEEE Access. Vol.5, 18 May 2017. p. 9073–9088. DOI: 10.1109/ACCESS.2017.2705561. <http://ieeexplore.ieee.org/document/7931558>.
7. **Слюсар В.И.** Встраиваемые компьютерные системы для жестких условий: стандарты VITA 65 и VITA 46 // Электроника: наука, технология, бизнес. 2010. № 6. С.86–92.
8. **Brown Michael, Turgeon Martin.** TitanMIMO: a 100x100 Massive MIMO Testbed Based on xTC Standards. White paper, Nutaq Inc. [www.nutaq.com](http://www.nutaq.com).
9. **Слюсар В.И.** Новые стандарты промышленных компьютерных систем // Электроника: наука, технология, бизнес. 2005. № 6. С.50–53. [http://www.electronics.ru/files/article\\_pdf/0/article\\_938\\_218.pdf](http://www.electronics.ru/files/article_pdf/0/article_938_218.pdf).
10. **Roy Sébastien.** Two-Layer Linear Processing for Massive MIMO on the TitanMIMO Platform. White paper, Nutaq Inc. <https://nutaq.com/sites/default/files/whitepapers/Two-Layer%20Linear%20Processing%20for%20Massive%20MIMO.pdf>.
11. SDR radio front-end MIMO – 2x2 / 4x4. [https://www.hhi.fraunhofer.de/fileadmin/PDF/WN/SDR/FraunhoferHHI\\_WN\\_SDRRadioFrontEnd.pdf](https://www.hhi.fraunhofer.de/fileadmin/PDF/WN/SDR/FraunhoferHHI_WN_SDRRadioFrontEnd.pdf).

